



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Υλοποίηση του αλγορίθμου Learning Vector Quantization σε αναλογικά ολοκληρωμένα κυκλώματα χαμηλής κατανάλωσης για διαθεματικές εφαρμογές

Διπλωματική Εργασία

του

Σερλή Εμμανουήλ -
Αναστάσιου

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Οκτώβριος 2023



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Υλοποίηση του αλγορίθμου Learning Vector Quantization σε αναλογικά ολοκληρωμένα κυκλώματα χαμηλής κατανάλωσης για διαθεματικές εφαρμογές

Διπλωματική Εργασία

του

Σερλή Εμμανουήλ -
Αναστάσιου

Επιβλέπων: Παύλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 17^η Οκτωβρίου
2023:

.....
Παύλος Π. Σωτηριάδης
Καθηγητής
Ε.Μ.Π.

.....
Νεκτάριος Κοζύρης
Καθηγητής
Ε.Μ.Π.

.....
Γεώργιος Στάμου
Καθηγητής
Ε.Μ.Π.

Αθήνα, Οκτώβριος 2023

.....
Σερλής Εμμανουήλ - Αναστάσιος

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών, Ε.Μ.Π.

Copyright © Σερλής Εμμανουήλ - Αναστάσιος, 2023.
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Στόχος της παρούσας διπλωματικής εργασίας είναι η υλοποίηση του αλγορίθμου μηχανικής μάθησης Learning Vector Quantization σε πολύ χαμηλής κατανάλωσης αναλογικά ολοκληρωμένα κυκλώματα. Η προτεινόμενη αρχιτεκτονική του ταξινομητή - η οποία βασίζεται στην δομή του αλγορίθμου - παρουσιάζεται αναλυτικά παρακάτω, ενώ πραγματοποιείται και ανάλυση των επιμέρους κυκλωματικών μερών τα οποία δομούν το σύστημα ταξινόμησης. Συγκεκριμένα, τα βασικά κυκλώματα του ολοκληρωμένου είναι αυτό του Bump για τον σχηματισμό εύρωστων πολυδιάστατων μετρικών απόστασης, καθώς και του Winner-Take-All για την λήψη της τελικής απόφασης ταξινόμησης. Η εν λόγω αρχιτεκτονική αντιπαραβάλεται με μία εναλλακτική υλοποίηση του αλγορίθμου η οποία περιλαμβάνει ένα κύκλωμα ευκλείδειας απόστασης, με την λήψη της τελικής απόφασης να λαμβάνεται από ένα Loser-Take-All κύκλωμα. Επιπλέον, σε πρόβλημα ταξινόμησης των οποίων οι είσοδοι απαιτείται να είναι ψηφιακές, ο αναλογικός ταξινομητής μπορεί να επεκταθεί, μέσω της ενσωμάτωσης ψηφιακών κυκλωμάτων χαμηλής κατανάλωσης, όπως Digital-to-analog converters και decoders. Η υλοποίηση και εκπαίδευση του μοντέλου, με σκοπό τον καθορισμό των παραμέτρων για την κυκλωματική υλοποίηση γίνεται με τη βοήθεια της γλώσσας python και της βιβλιοθήκης scikit-learn. Οι αρχιτεκτονικές δοκιμάζονται σε 3 διαφορετικά σύνολα δεδομένων με τα συγκριτικά αποτελέσματα ανάμεσα σε υλικό και λογισμικό να παρουσιάζονται. Η υλοποίηση και προσομοίωση των κυκλωμάτων έγινε με τη βοήθεια του προγράμματος σχεδίασης Cadence IC Suite σε τεχνολογία TSMC 90 nm CMOS process.

Λέξεις κλειδιά: Learning Vector Quantization, Αρχιτεκτονικές ταξινόμησης, σχεδίαση μεικτού-σήματος κυκλωμάτων, χαμηλή κατανάλωση, περιοχή υπο-κατωφλίου, Γκαουσιανά κυκλώματα, Κυκλώματα ευκλείδειας απόστασης, μετατροπέας ψηφιακού σήματος σε αναλογικό, μετρικές απόστασης, Winner-Take-All κυκλώματα, Loser-Take-All κυκλώματα

Abstract

The goal of this diploma thesis is the implementation of the machine learning algorithm Learning Vector Quantization on ultra low-power analog integrated circuits. The designed architecture of the circuit - based on the algorithm's structure - is presented in detail below, along with an analysis of the individual circuit components that constitute the classification system. Specifically, the fundamental elements of the integrated classifier are the Bump circuit for robust multidimensional distance metric generation, as well as the Winner-Take-All circuit for the final classification decision. This architecture is contrasted with an alternative implementation of the algorithm which includes a Euclidean distance circuit, with the final decision being made by a Loser-Take-All circuit. Furthermore, in classification tasks where the inputs need to be digital, the analog classifier can be extended through the incorporation of low-power digital circuits such as Digital-to-Analog converters and decoders. The implementation and training of the model, with the aim of determining the parameters for circuit implementation, are carried out using the Python programming language and the scikit-learn library. The hardware classifier is validated using three datasets and the comparative results between hardware and software are presented. The implementation and simulation of the circuit were conducted using the Cadence IC Suite design software in TSMC 90 nm CMOS process technology..

Keywords: Learning Vector Quantization, Analog Classification Architectures, Mixed-Signal Circuit Design, Low Power Consumption, Sub-threshold Region, Gaussian Circuits, Euclidean Distance Circuits, Digital-to-analog converter, Distance Metrics, Winner-Take-All Circuits, Loser-Take-All Circuits

Ευχαριστίες

Αρχικά, Θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου, κ. Παύλο Πέτρο Σωτηριάδη για την πολύτιμη καθοδήγηση του, τις συμβουλές του καθώς και το πραγματικό ενδιαφέρον που επέδειξε για μένα ως φοιτητή και για το αντικείμενο της Διπλωματικής μου Εργασίας. Με αυτόν τον τρόπο, μου δόθηκε έτσι η πολύτιμη ευκαιρία να ασχοληθώ με ένα ιδιαίτερα ενδιαφέρον ερευνητικό θέμα σε ένα πολύ υποστηρικτικό περιβάλλον.

Επιπλέον, θα ήθελα να ευχαριστήσω θερμά τους υποψήφιους διδάκτορες Βασίλειο Αλιμήση και Γεώργιο Γέννη για την ανεκτίμητη συνεισφορά τους. Η τακτική συμβολή τους στην πραγμάτωση της εν λόγω εργασίας, από την σύλληψη της ιδέας μέχρι και την συγγραφή της σχετικής δημοσίευσης η οποία μεσολάβησε της διπλωματικής εργασίας, είναι ανεκτίμητη και σίγουρα όχι κάτι που μπορεί να βρεθεί εύκολα σε μία ερευνητική ομάδα. Συνεπώς, δεν μπορώ να κάνω κάτι λιγότερο από το να τους ευχαριστήσω θερμά για όλη την υποστήριξη που προσέφεραν τον τελευταίο χρόνο.

Τέλος, θα ήθελα να ευχαριστήσω την οικογένεια και το φιλικό μου περιβάλλον, οι οποίοι με στήριξαν καθ'όλη την διάρκεια των σπουδών μου και κατέστησαν την ολοκλήρωσή τους μία εφικτή και μη επίπονη διαδικασία.

Σερλής Εμμανουήλ - Αναστάσιος,
Οκτώβριος 2023

Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	13
Κατάλογος Πινάκων	17
1 Εισαγωγή	19
1.1 Τεχνητή Νοημοσύνη και Μηχανική Μάθηση	19
1.2 Υλοποίηση αλγορίθμων μηχανικής μάθησης σε hardware	20
1.3 Αναλογικές αρχιτεκτονικές για μηχανική μάθηση	21
2 Learning Vector Quantization	25
2.1 Prototype-based Μηχανική Μάθηση	25
2.1.1 Gaussian Mixture Model	25
2.1.2 k-Means	27
2.1.3 k-Nearest Neighbors	28
2.2 Ανταγωνιστική Μηχανική Μάθηση	29
2.2.1 Generative Adversarial Networks (GANs)	29
2.2.2 Reinforcement Learning	31
2.2.3 Self Organizing Maps (SOMs)	32
2.3 Μαθηματική μοντελοποίηση LVQ	33
2.3.1 LVQ1	34
2.3.2 LVQ2.1	35
2.3.3 LVQ3	36

3	Προτεινόμενα Κυκλώματα	37
3.1	To transistor MOSFET	37
3.1.1	Saturation region	37
3.1.2	Triode region	39
3.1.3	Saturation region	40
3.1.4	To MOSFET ως ψηφιακός διακόπτης	41
3.2	Bump Circuits	42
3.2.1	Delbrucks' Bump	42
3.2.2	Improved Bump	44
3.2.3	Double-differential Bump	45
3.3	Winner-Take All Circuit	47
3.4	Κύκλωμα ευκλείδειας απόστασης	49
3.5	Loser-Take-All	52
3.6	Digital-to-Analog Converter	53
3.7	Digital Decoder	59
3.8	Low-Dropout Regulators	61
3.9	Προτεινόμενη αρχιτεκτονική συστήματος	65
4	Εφαρμογές και αποτελέσματα	73
4.1	Ταξινόμηση χειρόγραφων ψηφίων	73
4.2	Ανίχνευση ελατωματικών κινητήρων	74
4.3	Πρόωρη ανίχνευση καρδιαγγειακών παθήσεων	83
4.3.1	Εισαγωγή	83
4.3.2	Εφαρμογή ταξινομητή	83
5	Συμπεράσματα και Μελλοντική Δουλειά	91

Ευρετήριο Εικόνων

1.3.1 Neuromorphic Architecture	22
2.2.1 GAN Architecture	30
2.2.2 Reinforcement Learning Architecture	31
2.2.3 Self Organizing Maps	32
2.3.1 Bayesian vs LVQ boundary decisions	35
3.1.1 The MOSFET Transistor	38
3.1.2 Saturation vs Linear Region	40
3.1.3 Subthreshold Region	41
3.2.1 Simple Bump	43
3.2.2 Output of Simple Bump	45
3.2.3 Voltage Neuron Bump	46
3.2.4 Voltage Neuron Bump Parametric Analysis	46
3.2.5 Double Differential Bump Circuit	48
3.2.6 Parametric analysis for Double Differential Bump circuit	49
3.3.1 PMOS Winner-Take-All circuit	50
3.3.2 Cascaded Winner-Take-All circuit	51
3.3.3 DC Analysis of WTA topologies	52
3.4.1 Euclidean distance circuit	53
3.4.2 Κύκλωμα ευκλείδιας απόστασης	53
3.4.3 Αποτελέσματα παραμετρικής ανάλυσης για τον χαρακτηρισμό του κυκλώματος ευκλείδιας απόστασης	54
3.5.1 Loser-Take-All circuit	55
3.5.2 DC Analysis of LTA	56
3.6.1 R-2R resistor ladder	57
3.6.2 CMOS 8-bit DAC	58
3.6.3 Αποτελέσματα προσομοίωσης του 8-bit DAC	59
3.7.1 2-to-4 Digital Decoder	60

3.7.2 CMOS πύλες τύπου NOR και NOT που χρησιμεύουν για την υλοποίηση του αποκωδικοποιητή	61
3.7.3 DC προσομοίωση ενός αποκωδικοποιητή 2 σε 4	62
3.8.1 Low-Dropout Regulators για την μεταβίβαση της τροφοδοσίας από το εύρος $[-300mV, 300mV]$ σε $[-100mV, 100mV]$	62
3.8.2 Ενισχυτής διαφορικής εισόδου με 2 στάδια ενίσχυσης και compensation components R_C, C_C	64
3.8.4 Έξοδοι V_{SS2} και V_{DD2} regulator στην transient προσομοίωση ταξινομητή με ψηφιακές εισόδους κατά την διάρκεια μίας ταξινόμησης εισόδων	66
3.8.5 Απόκριση θορύβου των 2 regulators	67
3.9.1 Υλοποίηση του LVQ codebook vector ως μία πολυδιάστατη Γκαουσιανή κατανομή.	68
3.9.2 Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με πολλαπλά gaussian codebook vectors.	69
3.9.3 Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με πολλαπλά κυκλώματα ευκλείδειας απόστασης	70
3.9.4 Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με euclidean codebook vectors	71
4.1.1 Αρχιτεκτονική συστήματος για την μία κλάση του LVQ στο digit recognition dataset με διαχωρισμό των επιμέρους inputs σε 5 codebook vectors. Το index κάθε Bump στο σχηματικό υποδηλώνει το αντίστοιχο pixel εισόδου	75
4.1.2 Monte-Carlo simulation results on the Digit Recognition Dataset for 100 iterations	76
4.1.3 Classification results of the proposed architecture (yellow) and the equivalent software model (green) on the Digit Recognition dataset over 20 iterations.	77
4.2.1 Σύγκριση των αποτελεσμάτων ακρίβειας των 2 ταξινομητών στο VSBD dataset για 20 επαναλήψεις	78
4.2.2 Σύγκριση κατανάλωσης των 2 ταξινομητών στο VSBD dataset	80
4.2.3 Σύγκριση αποτελεσμάτων Monte-Carlo για το καλύτερο configuration κάθε αρχιτεκτονικής ταξινόμησης	80
4.2.4 Layout του ταξινομητή LVQ με Γκαουσιανά codebook vectors για κάθε κλάση.	81
4.3.1 Αρχιτεκτονική συστήματος για την μία κλάση του LVQ στο heart disease dataset με διαχωρισμό των επιμέρους inputs σε 6 codebook vectors	87
4.3.2 Κατανάλωση του LVQ ταξινομητή για ένα test-set	88

4.3.3 Classification results of the proposed architecture (yellow)
and the equivalent software model (green) on the Heart dise-
ase dataset over 20 iterations. 89

4.3.4 Heart disease Monte-Carlo simulation results for 100 iterations 90

Κατάλογος Πινάκων

3.1	Διαστάσεις transistor (Σχήμα 3.2.3).	47
3.2	Διαστάσεις transistor (Σχήμα 3.2.5).	47
3.3	Διαστάσεις transistor (Σχήμα 3.3.2).	49
3.4	Διαστάσεις transistor (Σχήμα 3.4.2).	51
3.5	Διαστάσεις transistor (Σχήμα 3.5.1).	54
3.6	Διαστάσεις transistor (Σχήμα 3.6.2).	57
3.7	Θεωρητικές έξοδοι του αποκωδικοποιητή 2 σε 4(Σχήμα 3.7.2).	63
3.8	Χαρακτηρισμός opamp (Σχήμα 3.8.2).	63
3.9	Διαστάσεις στο δισταδιακό opamp (Σχήμα 3.8.2).	65
3.10	Διαστάσεις αντιστάσεων και transistors	65
3.11	Χαρακτηρισμός regulators (Σχήμα 3.8.1).	67
4.1	Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο Digit Recognition dataset	74
4.2	Accuracy Results on the Digit Recognition (over 20 iterations).	76
4.3	Εξαγόμενα χαρακτηριστικά από το VSBD dataset [1]	78
4.4	Σύνοψη αποτελεσμάτων ακρίβειας στο VSBD dataset για τις 2 συγκρινόμενες τοπολογίες	79
4.5	Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο VSBD dataset για τις 2 συγκρινόμενες τοπολογίες	81
4.6	Analog classifiers' comparison on the VSBD dataset.	82
4.7	Σύνολο χαρακτηριστικών που αξιοποιήθηκαν από το heart disease σύνολο δεδομένων [2]	86
4.8	Accuracy Results on the Heart Disease dataset (over 20 iterations).	88
4.9	Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο Heart Disease Dataset	89

Κεφάλαιο 1

Εισαγωγή

1.1 Τεχνητή Νοημοσύνη και Μηχανική Μάθηση

Η σχεδίαση μηχανών που θα μπορούσαν να αναπτύξουν τη δική τους αυτοτελή νοημοσύνη αποτελεί έναν από τους βασικούς στόχους της ανθρωπότητας, καθώς και μία από τις κορυφαίες επιστημονικές και τεχνολογικές προκλήσεις του περασμένου αιώνα. Στο επίκεντρο αυτής της μεγάλης προσπάθειας βρίσκεται η τεχνητή νοημοσύνη, μια ερευνητική περιοχή που ενσαρκώνει τη σύγκλιση αλγορίθμων και στατιστικών μοντέλων που χρησιμοποιούνται για να εκτελέσουν αποστολές αυτοματοποιημένα, χωρίς την ανάγκη για άμεση ανθρώπινη επέμβαση [3] [4]. Η ουσία της τεχνητής νοημοσύνης περιστρέφεται γύρω από τη δυνατότητα των σύγχρονων υπολογιστικών συστημάτων να δημιουργούν νέες ενοράσεις και γνώσεις χωρίς τους περιορισμούς προκαθορισμένων οδηγιών. Για τον σκοπό αυτό, οι αλγόριθμοι τεχνητής νοημοσύνης βασίζονται σε εκτεταμένα σύνολα δεδομένων για να ανακαλύψουν σημαντικά πρότυπα, που σε αρκετές περιπτώσεις, κλασσικοί αλγόριθμοι αδυνατούν να ενθυλακώσουν.

Αυτή η εντυπωσιακή επίτευξη γενίκευσης γνώσης, η οποία συμβαίνει χωρίς ανθρώπινη παρέμβαση, καταλήγει στην ευφυή ικανότητα του συστήματος τεχνητής νοημοσύνης να προβλέπει και να κατηγοριοποιεί νέες πληροφορίες. Οι πολυδιάστατες εφαρμογές της τεχνητής νοημοσύνης αποτελούν βασικό θεμέλιο σε μια πληθώρα τομέων της σύγχρονης κοινωνίας, που περιλαμβάνουν τον τομέα της βιοϊατρικής μηχανικής [5], με σκοπό την αναβάθμιση των διαδικασιών διάγνωσης [6] και θεραπείας [7] διάφορων παθήσεων, το πεδίο της αναγνώρισης ομιλίας [8], τη διαδικασία της αυτόνομης οδήγησης [9] ακόμα και το χρηματιστήριο, για την πρόβλεψη των δυναμικά μεταβαλλόμενων τιμών [10]. Κατά συνέπεια, η εκτεταμένη δυναμική της τεχνητής νοημοσύνης εκτοξεύεται

σε καινοτομίες που επαναπροσδιορίζουν και επεκτείνουν συστηματικά τα όρια της τρέχουσας τέταρτης βιομηχανικής επανάστασης.

1.2 Υλοποίηση αλγορίθμων μηχανικής μάθησης σε hardware

Οι αλγόριθμοι μηχανικής μάθησης και τεχνητής νοημοσύνης παραδοσιακά εκτελούνταν αποκλειστικά μέσα σε περιβάλλοντα λογισμικού, όπου λαμβάνει χώρα τόσο η ανάπτυξη των αλγορίθμικών διαδικασιών όσο και η επεξεργασία των δεδομένων. Ωστόσο, τα τελευταία χρόνια, έχει υπάρξει μία πρωτοφανής εξέλιξη του Internet of Things (IoT), μέσω της οποίας έχει επιταχυνθεί και βελτιστοποιηθεί η διαδικασία λήψης πραγματικών δεδομένων από απομακρυσμένους αισθητήρες [11]. Αυτή η αύξηση στον όγκο των δεδομένων, σε συνδιασμό με την διαρκή εξέλιξη και αύξηση των παραμέτρων που περιλαμβάνονται στα σύγχρονα μοντέλα τεχνητής νοημοσύνης, έχει ως απόρροια πρωτοφανείς υπολογιστικές απαιτήσεις, όσον αφορά τόσο την διαθέσιμη μνήμη όσο και την υπολογιστική ταχύτητα. Με αυτόν τον τρόπο, η χρήση συμβατικών επεξεργαστικών μονάδων, όπως Central Processing Units (CPUs) καθίσταται μη-βέλτιστη για την εκτέλεση των αλγορίθμων μηχανικής μάθησης, με την σχεδίαση και εφαρμογή υλικού ειδικού σκοπού να καθίσταται αναγκαία. [12].

Μία από τις πιο διαδεδομένες πλατφόρμες που χρησιμοποιούνται για τον προαναφερθέντα σκοπό είναι οι GPUs (Graphics Processing Units), οι οποίες έχουν μετατραπεί από το να αποδίδουν γραφικά σε βιντεοπαιχνίδια σε αναντικατάστατα εργαλεία στον τομέα της τεχνητής νοημοσύνης [13]. Οι GPUs διέπονται από την εξαιρετική ικανότητα παράλληλης επεξεργασίας, μιας και διαθέτουν χιλιάδες πυρήνες που επιτρέπουν την ταυτόχρονη υλοποίηση πολλών πράξεων, όπως πολλαπλασιασμών πινάκων γραμμικής άλγεβρας [14]. Αυτή η παράλληλη δυναμική επιταχύνει τόσο την εκπαίδευση όσο και την εκτέλεση των μοντέλων μηχανικής μάθησης, με αξιοσημείωτες εξοικονομήσεις χρόνου σε σχέση με την χρήση συμβατικών επεξεργαστών. Μάλιστα, τα τελευταία χρόνια, οι GPUs έχουν γίνει εμπορικά προϊόντα, με παρουσία σε κέντρα δεδομένων [15], cloud computing platforms [16] και προσωπικούς υπολογιστές. Η εν λόγω διάδοση επιτρέπει σε ερευνητές, προγραμματιστές και επιστήμονες δεδομένων να εκμεταλλεύονται τη πρωτοφανή υπολογιστική τους ισχύ σε μια ποικιλία εφαρμογών τεχνητής νοημοσύνης, ιδιαίτερα όσον αφορά την ανάπτυξη βαθιών νευρωνικών δικτύων[17].

Παρά την πληθώρα πλεονεκτημάτων τους, οι GPUs διέπονται από αυξημένη ενεργειακή κατανάλωση κατά την λειτουργία τους. Αυτή η ενεργειακή εξάρτηση μπορεί να αποτελέσει πρόκληση σε περιβάλλοντα όπου η ενεργειακή

1.3. ΑΝΑΛΟΓΙΚΕΣ ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ ΓΙΑ ΜΗΧΑΝΙΚΗ ΜΑΘΗΣΗ21

αποδοτικότητα είναι κρίσιμη, όπως στο edge computing ή σε κινητές συσκευές, γεγονός που έχει οδηγήσει σε εκτεταμένες προσπάθειες για την μείωση της κατανάλωσης τους [18] [19] [20].

Μία ελκυστική εναλλακτική στις GPUs - και με συγκρίμη αποδόση και υπολογιστική ισχύ [21] - είναι τα FPGAs (Field Programmable Arrays), τα οποία είναι ψηφιακά ολοκληρωμένα κυκλώματα τα οποία έχουν την δυνατότητα προγραμματιζόμενης αναδιαμόρφωσής τους έπειτα από την αρχικό fabrication τους [22]. Πέρα από την εκ φύσεως προσαρμοστικότητά τους, έχουν και ιδιαίτερα παραλληλοποιήσιμη δομή, ένα χαρακτηριστικό που μοιράζονται με τις GPUs. Αυτό έχει ως αποτέλεσμα να διακρίνονται για την υψηλή τους επίδοση στην επιτάχυνση διαδικασιών μηχανικής μάθησης, όπως σύνθετες πράξεις πινάκων γραμμικής άλγεβρας και υλοποίηση μη γραμμικών συναρτήσεων μεταφοράς [23]. Επιπροσθέτως, η δυνατότητα προσαρμογής του επαναπρογραμματιζόμενου υλικού - με την αφιέρωση συγκεκριμένων hardware blocks για τις επιμέρους αλγοριθμικές λειτουργίες - βελτιστοποιεί την αξιοποίηση των πόρων εντός του FPGA, οδηγώντας σε μειωμένους χρόνους εκτέλεσης και προηγμένη ενεργειακή απόδοση. Αυτό μπορεί να φανεί ιδιαίτερα χρήσιμο ιδιαίτερα σε συνθήκες edge computing [24] και σε εφαρμογές IoT [25], όπου οι περιορισμένες ενεργειακές προδιαγραφές είναι κρίσιμες. Με αυτόν τον τρόπο, τα FPGAs έχουν γίνει μία σύννητης πλατφόρμα για την αποδοτική hardware υλοποίηση μίας μεγάλης ποικιλίας αλγορίθμων μηχανικής μάθησης [26] [27] [28].

1.3 Αναλογικές αρχιτεκτονικές για μηχανική μάθηση

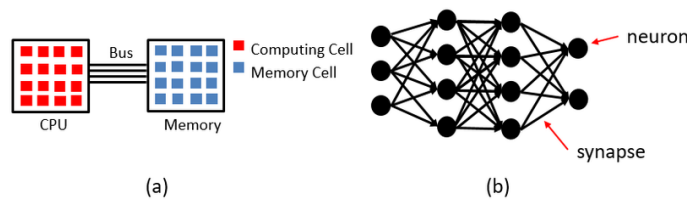
Ενώ τα FPGAs προσφέρουν αναμφίβολα ευελιξία και δυνατότητα προσαρμογής σε διάφορες εφαρμογές, υπάρχει δυνατότητα για ακόμα περαιτέρω βελτίωση της ενεργειακής απόδοσης μέσω της χρήσης ειδικών αναλογικών ή/και μεικτού σήματος ολοκληρωμένων κυκλωμάτων για την αποδοτική εκτέλεση των αλγορίθμων μηχανικής μάθησης [29]. Η χρήση αναλογικής υπολογιστικής λογικής ξεχωρίζει σε αυτόν τον τομέα, κυρίως λόγω του εξειδικευμένου σχεδιασμού που επικεντρώνεται στη βελτιστοποίηση της ενεργειακής αποδοτικότητας [30]. Αξιοποιώντας τις αρχές της αναλογικής υπολογιστικής, εξειδικευμένα αναλογικά ASICs μπορούν να μειώσουν σημαντικά την κατανάλωση ενέργειας σε σχέση με τα FPGAs, τα οποία φέρουν ενσωματωμένη υψηλότερη κατανάλωση ενέργειας λόγω της ψηφιακής τους φύσης καθώς και του overhead επικοινωνίας με την μνήμη για την μεταφορά των διαφόρων παραμέτρων και δεδομένων.

Έχει ήδη υπάρξει μία ποικιλία αλγορίθμων η οποία έχει περαστεί σε αναλογικά κυκλώματα, από κλασσικά μοντέλα μηχανικής μάθησης [31] [32] μέχρι και

βαθιά νευρωνικά δίκτυα [33] [34]. Αρχικά, το ενεργειακό πλεονέκτημα των αναλογικών υλοποιήσεων έγκειται στην ευκόλως ρυθμιζόμενη τροφοδοσία, η οποία μπορεί να φτάσει σε τιμές τόσο χαμηλές, ώστε να επιτραπεί η λειτουργία των transistors σε weak-inversion ή αλλιώς subthreshold [35]. Εν συνεχεία, οι εν λόγω αρχιτεκτονικές, πέρα από την προαναφερθείσα ενεργειακή εξοικονόμηση, προσφέρουν την δυνατότητα για την πραγματοποίηση των υπολογισμών εντός της μνήμης (compute in-memory) [36] [37], αφαιρώντας την ανάγκη για χωριστή πρόσβαση στην μνήμη και μειώνοντας τον συνολικό χρόνο υπολογισμού. Ακόμα, η συνεχής φύση των αναλογικών κυκλωμάτων καθιστά εφικτή την παραλληλοποίηση των υπολογισμών [38], με αποτέλεσμα τους γρηγορότερους χρόνους εκτέλεσης για τις εργασίες μηχανικής μάθησης.

Ένας άλλος τομέας τεχνητής νοημοσύνης υλικού ο οποίος αξιοποιεί στο έπακρο τα πλεονεκτήματα των αναλογικών κυκλωμάτων είναι αυτός των νευροεπιστημών και συγκεκριμένα των νευρομορφικών υπολογιστικών συστημάτων. Ως νευρομορφικό σύστημα, ορίζεται η κυκλωματική δομή η οποία αξιοποιεί τεχνητούς νευρώνες για την υλοποίηση των επιμέρους υπολογισμών, με τρόπο παρεμφερή με αυτόν του ανθρώπινου εγκεφάλου [39]. Η προτεινόμενη δομή ενός νευρομορφικού υπολογιστικού συστήματος φαίνεται στο Σχήμα 1.3.1 [40]. Πέρα από την παραλληλοποίηση και την χαμηλή κατανάλωση που προσφέρουν, τα νευρομορφικά υπολογιστικά συστήματα διέπονται από την βελτιωμένη αποδοτικότητά τους, εξαιτίας της δυνατότητάς τους να προσφέρουν υπολογισμούς εντός των συνάψεων μνήμης, μέσω της χρήσης Floating-Gate Transistors [41] και memristors [42]. Αυτό έχει οδηγήσει στην υλοποίηση μίας πληθώρας αναλογικών νευρομορφικών εφαρμογών [43] [44], οι οποίες αναδεικνύουν την δυνατότητα τέτοιων συστημάτων να εξελιχθούν σε κατάλληλα platforms για την αποδοτική εκτέλεση τεχνικών μηχανικής μάθησης [45] [46].

Σχήμα 1.3.1: Neuromorphic Architecture



Αρχιτεκτονική ενός (a) von Neumann υπολογιστικού συστήματος και (b) ενός νευρομορφικού συστήματος

Παρά τις ενδιαφέρουσες ιδιότητές τους, αξίζει να σημειωθεί ότι η ένταξη αναλογικών κυκλωμάτων ενέχει μία μεγάλη πληθώρα κινδύνων, όσον αφορά

1.3. ΑΝΑΛΟΓΙΚΕΣ ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ ΓΙΑ ΜΗΧΑΝΙΚΗ ΜΑΘΗΣΗ23

την υλοποίηση αλγορίθμων τεχνητής νοημοσύνης. Αρχικά, τα αναλογικά κυκλώματα είναι ευάλωτα στον θόρυβο και τα πιθανά μισματσηες, κάτι που εν δυνάμει μπορεί να οδηγήσει σε μικρή αλλά υπαρκτή μείωση της ακρίβειας, ενώ θέτει και περιορισμούς στο πλήθος των δεδομένων που μπορούν να επεξεργασθούν ταυτόχρονα από το ολοκληρωμένο. Επιπλέον, καθίσταται απαιτητικός ο σχεδιασμός σε πολλαπλά στάδια, από την μοντελοποίηση του αλγορίθμου, το είδος και την ποιότητα των δεδομένων, καθώς και το κυκλωματικό ζονφίγυρατιον που θα χρησιμοποιηθεί για την επεξεργασία τους. Έπειτα από την υλοποίηση του εκάστοτε ολοκληρωμένου μηχανικής μάθησης, η προσαρμοστικότητα και η δυνατότητα προγραμματισμού τους είναι αισθητά περιορισμένη σε σχέση με τις αντίστοιχες ψηφιακές υλοποιήσεις. Η όποια προσαρμοστικότητα επιτρέπεται κατά βάση σε επίπεδο ρύθμισης εξωτερικών παραμέτρων, όπως τάσεων και ρευμάτων πόλωσης ή/και τροφοδοσίας. Τέλος, η αναλογική επιτάχυνση των αλγορίθμων μηχανικής μάθησης είναι μία διαδικασία χωριστή για κάθε αλγόριθμο, γεγονός που περιορίζει την επεκτασιμότητα των εν λόγω ICs.

Κεφάλαιο 2

Learning Vector Quantization

Στο κεφάλαιο αυτό θα εξηγηθεί με πληρότητα το απαιτούμενο μαθηματικό υπόβαθρο για την κατανόηση της διπλωματικής εργασίας. Αρχικά θα γίνει μία εκτενής παρουσίαση αλγορίθμων και μεθόδων οι οποίες βασίζονται σε ανταγωνιστική μάθηση και prototype learning, πρώτου γίνεται η παρουσίαση του αλγορίθμου Learning Vector Quantization και των διάφορων παραλλαγών του. Τέλος, θα εξηγηθεί εκτενώς η μεθοδολογία αντιστοίχισης του μαθηματικού αλγορίθμου σε αναλογικά κυκλώματα, μέσω της παρουσίασης του προτεινόμενου συστήματος hardware ταξινόμησης.

2.1 Prototype-based Μηχανική Μάθηση

Οι ανταγωνιστικές προσεγγίσεις μηχανικής μάθησης που βασίζονται σε prototypes είναι ενδιαφέροντα παραδείγματα αναγνώρισης προτύπων που αντλούν έμπνευση από τη τεχνική του ανταγωνισμού και των πρωτοτύπων για την ανάπτυξη ισχυρών αλγορίθμων. Αυτές οι προσεγγίσεις έχουν βρει εφαρμογές σε διάφορους τομείς, από την ταξινόμηση και το clustering δεδομένων ως και την ενισχυτική μηχανική μάθηση. Σε αυτήν την ανασκόπηση, θα εμβαθύνουμε στην εν λόγω κατηγορία μηχανικής μάθησης, διερευνώντας τους αλγόριθμους και τις εφαρμογές τους.

2.1.1 Gaussian Mixture Model

Το Gaussian Mixture Model (GMM) είναι ένα πιθανοτικό μοντέλο το οποίο χρησιμοποιείται για την αναπαράσταση πολυδιάστατων δεδομένων ως έναν

σταθμισμένο μέσο όρο Γκαουσιανών συναρτήσεων πυκνότητας πιθανότητας [47]. Έτσι, το μοντέλο μίξης αντιστοιχεί σε ένα μείγμα κατανομής που αναπαριστά την πιθανοτική κατανομή των επιμέρους υπο-πληθυσμών ή αλλιώς clusters. Τα Γκαουσιανά Μοντέλα Μίξης σχετίζονται με την δομή του αλγορίθμου k-means υπό την έννοια ότι στοχεύουν στην εύρεση των κέντρων prototypes για κάθε χαρακτηριστικό σε κάθε υπο-πληθυσμό, μοντελοποιώντας παράλληλα και την διασπορά των δεδομένων. Τα εν λόγω μοντέλα χρησιμοποιούνται ευρέως σε μία πληθώρα εφαρμογών, από την αναγνώριση ομιλίας [48] [49] μέχρι και την μοντελοποίηση οικονομικών φαινομένων [50] [51].

Το Γκαουσιανό μοντέλο έχει ως στόχο τον προσδιορισμό των παραμέτρων ανά cluster οι οποίες θα αντιστοιχούν στην καλύτερη πολυδιάστατη αναπαράστασή του. Για την επίτευξη, αυτού αρχικά είναι αναγκαίος ο υπολογισμός της posterior πιθανότητας του εκάστοτε δεδομένου εισόδου να ανήκει στο cluster C_k μέσω της σχέσης:

$$P(X|C_k) = \sum_{i=1}^K w_i \mathcal{N}(x_i|\mu_i, \Sigma_i), \quad (2.1.1)$$

όπου μ_i και Σ_i οι πίνακες μέσης τιμής και διασποράς, w_i οι συντελεστές μίξης με $\sum_{i=1}^K w_i = 1$ και \mathcal{N} το σύμβολο που αντιστοιχεί στην κανονική κατανομή.

Η επιλογή του νικητήριου cluster δίνεται από την σχέση:

$$y = \underset{k \in [1, K]}{\operatorname{argmax}} \{P(C_k)P(X|C_k)\}, \quad (2.1.2)$$

Όσον αφορά την διαδικασία εκμάθησης των απαιτούμενων inference παραμέτρων, αυτό βασίζεται στην διαδικασία Expectation-Maximization (EM) [52]. Ο EM είναι μία επαναληπτική μέθοδος βελτιστοποίησης, η οποία μεγιστοποιεί την συνάρτηση πυκνότητας πιθανότητας της σχέσης 2.1.1. Ο αλγόριθμος αποτελείται από 2 βασικά βήματα, με το πρώτο να είναι αυτό της εκτίμησης ή expectation, όπου υπολογίζονται οι εκτιμώμενες πιθανότητες το δείγμα X να ανήκει στο component i :

$$\begin{aligned} \gamma_i(x_j) &= \frac{w_i * \mathcal{N}(x_j|\mu_i, \Sigma_i)}{p(x_j)} \\ &= \frac{w_i * \mathcal{N}(x_j|\mu_i, \Sigma_i)}{\sum_{k=1}^K w_k * \mathcal{N}(x_j|\mu_k, \Sigma_k)} \end{aligned} \quad (2.1.3)$$

Όσον αφορά το update mechanism των παραμέτρων του μοντέλου μίξης, αυτό βασίζεται στις εκτιμώμενες κατανομές ανά cluster και αποσκοπεί στην μεγιστοποίηση της εκτιμώμενης log-likelihood:

$$w_{new} = \frac{\sum_{j=1}^{N_d} \gamma_i(x_j)}{N} \quad (2.1.4)$$

$$\mu_{new} = \frac{\sum_{j=1}^{N_d} \gamma(x_j)x_j}{\sum_{j=1}^{N_d} \gamma_i(x_j)}$$

$$\Sigma_{new} = \frac{\sum_{j=1}^{N_d} \gamma(x_j)(x_j - \mu_j^{new})(x_j - \mu_j^{new})^T}{\sum_{j=1}^{N_d} \gamma_i(x_j)} \quad (2.1.5)$$

Τα βήματα E και M επαναλαμβάνονται επαναληπτικά μέχρις ότου υπάρξει σύγκλιση των παραμέτρων. Η εν λόγω σύγκλιση καθορίζεται από την αλλαγή στην log-likelihood πιθανότητα μεταξύ των επαναλήψεων. Εναλλακτικά, η διακοπή των επαναλήψεων θα μπορούσε να βασισθεί σε κάποια συνάρτηση ομοιότητας[53] Ο αλγόριθμος EM εγκυάται την σύγκλιση σε κάποιο τοπικό ελάχιστο [54].

2.1.2 k-Means

Ο k-means αλγόριθμος είναι μία εξίσου διαδεδομένη τεχνική για clustering, η οποία βρίσκει εφαρμογές στην εύρεση ανωμαλιών [55], την βιοιατρική κατάτμηση [56] και την επεξεργασία κειμένου [57].

Ο αλγόριθμος ξεκινά με την διαδικασία της αρχικοποίησης στην οποία τα κέντρα των k clusters επιλέγονται είτε μέσω τυχαίας αρχικοποίησης είτε μέσω επιλογής κάποιας σχετικής ευριστικής συνάρτησης [58]. Στην συνέχεια, κάθε δεδομένο X αντιστοιχίζεται στο κεντροειδές c_k το οποίο έχει την μικρότερη απόσταση από αυτό:

$$c_x = \operatorname{argmin}_{k \in [1, K]} \{ |c_k - x| \}. \quad (2.1.6)$$

,όπου $|\cdot|$ η ευκλείδια νόρμα.

Μέσω της εν λόγω διαδικασίας, όλα τα δεδομένα του συνόλου καταλήγουν να έχουν ένα κεντροειδές στο οποίο ανήκουν. Στην συνέχεια, το assignment χρησιμεύει για την ανανέωση της τιμής των κέντρων, μέσω της σχέσης:

$$c_{new} = \frac{\sum_{j=1}^{N_c} x_j}{N_c}, \quad (2.1.7)$$

, όπου N_c το πλήθος των δεδομένων στο cluster c_k .

Η προαναφερθείσα διαδικασία ανάθεσης και ανανέωσης των cluster centroids γίνεται για ένα σταθερό πλήθος επαναλήψεων, μέχρις ότου δεν υπάρχει σημαντική μεταβολή των τιμών.

Ο αλγόριθμος k-means είναι ένα απλός αλγόριθμος στην κατανόηση και την υλοποίηση, με χαμηλή υπολογιστική πολυπλοκότητα και γρήγορους χρόνους σύγκλισης. Επιπλέον, είναι εγγυημένο ότι θα συγκλίνει σε λύση, ακόμα και αν αυτή είναι τοπικού ελαχίστου. Παρόλα αυτά, διαθέτει μία πληθώρα πρόβλημάτων στην υλοποίησή του. Το βασικό εξ αυτών σχετίζεται με την επιλογή του πλήθους των clusters K , γεγονός που έχει οδηγήσει στην ανάπτυξη μίας πληθώρας μεθόδων που αντιμετωπίζουν το εν λόγω ζήτημα [59] [60]. Ένα εξίσου σημαντικό ζήτημα που επιδρά άμεσα στην απόδοση του k-means είναι η αρχικοποίηση της τιμής των κεντροειδών, με εξίσου καινοτόμες λύσεις [61] [62] να απαιτούνται για την αντιμετώπισή του. Τέλος, σε αντίθεση με τον GMM που μεγιστοποιεί την posterior πιθανότητα, στον k-means η ανάθεση των δεδομένων στα clusters πραγματοποιείται χωρίς την αβεβαιότητα κάποιας πολυδιάστατης κατανομής και με την υπόθεση ότι το cluster είναι καθαρά κυκλικό, κάτι το οποίο μπορεί να μην ισχύει σε μία πληθώρα datasets [63].

2.1.3 k-Nearest Neighbors

Η supervised εκδοχή του k-means είναι ο knn αλγόριθμος, ο οποίος χρησιμεύει σε μία μεγάλη γκάμα classification και regression tasks [64] [65]. Η μαθηματική του υλοποίηση είναι εξίσου απλοϊκή με αυτήν του k-means που παρουσιάστηκε παραπάνω.

Κάθε καινούργιο δεδομένο, αρχικά, συγκρίνεται ως προς την απόστασή του με όλα τα υπόλοιπα δεδομένα στο set δεδομένων. Για τον σκοπό αυτό, μπορεί να χρησιμοποιηθεί μία γκάμα από μετρικές απόστασης, όπως η Ευκλείδεια της εξ. 2.1.6, η Manhattan ή/και η Minkowski [66]. Επιπλέον, έχουν γίνει προσπάθειες για την ένταξη μετρικών διασποράς και αβεβαιότητας στον k-nn αλγόριθμο, με αποτέλεσμα την ένταξη της απόστασης Mahalanobis [67] [68], η οποία διέπεται από την σχέση:

$$d_{mah} = \sqrt{(x - \mu)^T \Sigma^{-1} (x - \mu)} \quad (2.1.8)$$

, όπου Σ^{-1} ο πίνακας συσχέτισης/διασποράς του feature space.

Με βάση την επιλεχθείσα μετρική απόστασης, επιλέγονται τα k δεδομένα με την μικρότερη απόσταση από το αρχικό. Στην συνέχεια, σε προβλήματα ταξινόμησης, γίνεται καταμέτρηση του πλήθους των δεδομένων που αναπαριστούν κάθε κλάση, και η κλάση με τα περισσότερα instances μεταξύ των k δεδομένων ορίζει την κλάση του αρχικού δεδομένου x_i . Σε προβλήματα παλινδρόμησης,

από την άλλη πλευρά, αντί για επιλογή κλάσης, υπολογίζεται ένας σταθμισμένος μέσος όρος των γειτόνων, ο οποίος ορίζεται ως η νέα προβλεπόμενη τιμή για το x_i .

Ο αλγόριθμος k-nn είναι μία απλή και αποδοτική τεχνική επιβλεπόμενης μηχανικής μάθησης. Μάλιστα, δεν διαθέτει παραμέτρους πλην του αριθμού των γειτόνων k , γεγονός που τον καθιστά μία ελκυστική επιλογή σε μία ποικιλία προβλημάτων - τόσο ταξινόμησης όσο και παλινδρόμησης - και συνόλων δεδομένων. Σε αντίθεση με πολλούς άλλους αλγορίθμους τεχνητής νοημοσύνης, ο k-nearest neighbors δεν απαιτεί προπόνηση, αφαιρώντας ένα μεγάλο χρονικό overhead από την διαδικασία υλοποίησης και εκτέλεσής του. Για την πληθώρα πλεονεκτημάτων του, ο k-nn καθίσταται υπολογιστικά ακριβός αλγόριθμος για την εκτέλεσή του, με πολυπλοκότητα $O(N)$, όπου N το πλήθος των δεδομένων. Αυτό ισχύει, μιας και για κάθε νέο δεδομένο, ο αλγόριθμος καλείται να υπολογίσει την απόστασή του από κάθε instance των δεδομένων προπόνησης. Ακόμα, η απόδοσή του σε δεδομένα υψηλών διαστάσεων τείνει να φθίνει, ένα φαινόμενο γνωστό και ως peaking [69] [70]. Τέλος, όπως και με τον k-means, η επιλογή των k γειτόνων παραμένει ένα σημαντικό ζήτημα, με την λανθασμένη επιλογή του να οδηγεί σε overfitting/underfitting φαινόμενα [71].

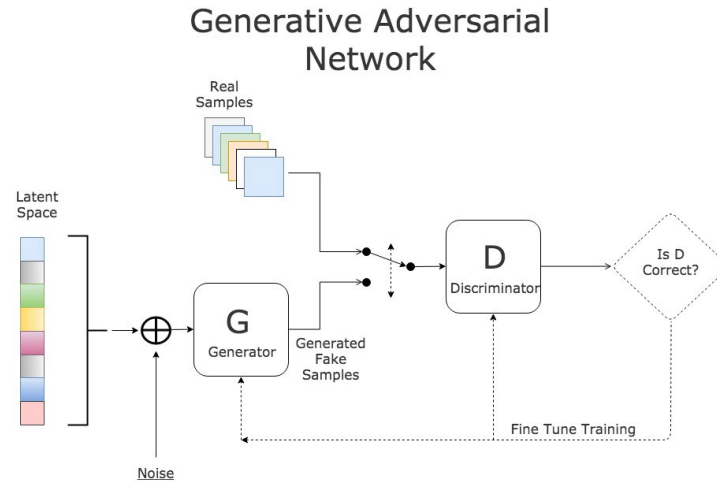
2.2 Ανταγωνιστική Μηχανική Μάθηση

2.2.1 Generative Adversarial Networks (GANs)

Τα γεννητικά ανταγωνιστικά δίκτυα είναι ένας ανερχόμενος και καινοτόμος τρόπος μηχανικής μάθησης, με κύριο στόχο την δημιουργία νέων δεδομένων και την επίτευξη δημιουργικής νοημοσύνης. Έχουν βρει μία πληθώρα εφαρμογών, πέρα από την σύνθεση εικόνων και βίντεο που είναι ο βασικός τομέας εφαρμογής τους [72] [73], στην βιοπληροφορική [74], στην όραση υπολογιστών και στην κυβερνοασφάλεια [75].

Η βασική αρχιτεκτονική ενός δικτύου τύπου GAN μπορεί να φανεί στην εικόνα 2.2.1 [76]. Συγκεκριμένα, το μοντέλο αποτελείται από 2 επιμέρους νευρωνικά δίκτυα τα οποία ανταγωνίζονται μεταξύ τους, τον Generator και τον Discriminator. Από την μία πλευρά, στόχος του Generator είναι η δημιουργία συνθετικών δεδομένων τα οποία είναι μία απομίμηση των δεδομένων από το δοθέν dataset. Λειτουργεί με το να λαμβάνει θορυβώδη δεδομένα ως είσοδο και καλείται να τα κάνει όσο πιο αδιαχώριστα γίνεται από τα πραγματικά δεδομένα. Από την άλλη πλευρά, ο Discriminator λειτουργεί με supervised τρόπο, προσπαθώντας να μεγιστοποιήσει την πιθανότητα σωστού διαχωρισμού των πραγματικών δεδομένων από αυτά που αναπαράγει ο Generator.

Σχήμα 2.2.1: GAN Architecture



Τυπική αρχιτεκτονική ενός GAN δικτύου

Με βάση τον τρόπο λειτουργίας τους, και ο update μηχανισμός των 2 δικτύων είναι αισθητά διαφορετικός: η προπόνηση του Generator βασίζεται στην ελαχιστοποίηση της πιθανότητας του Discriminator να πραγματοποιήσει ορθή ταξινόμηση των δεδομένων. Αυτός ο τρόπος βελτιστοποίησης του Generator είναι που οδηγεί στην αναπαραγωγή αυξηόμενα αληθοφανών δεδομένων, όσο περνούν οι εποχές προπόνησης. Η προαναφερθείσα πιθανότητα ορθής ταξινόμησης - η οποία συχνά εκφράζεται ως το λογαριθμικό cross-entropy loss - χρησιμοποιείται και από τον Discriminator κατά το back-propagation.

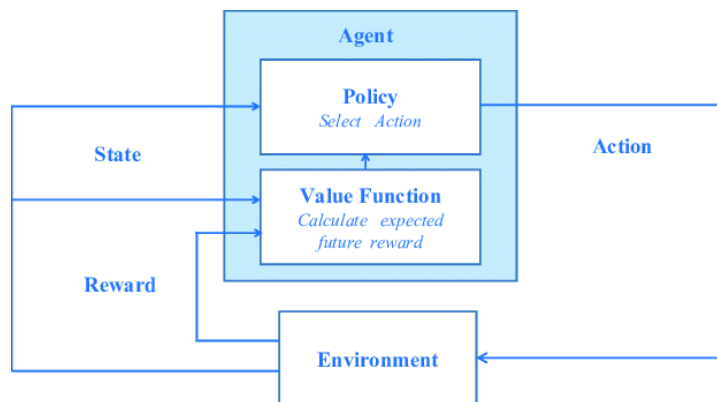
Η αρχιτεκτονική που αναλύθηκε παραπάνω και υπάγεται στο competitive learning έχει οδηγήσει στην δημιουργία ρεαλιστικών δεδομένων, τα οποία τα τελευταία χρόνια γίνονται όλο και πιο αδιαχώριστα από τα πραγματικά. Παράλληλα, λόγω της δυνατότητας τους για data generation, αποτελούν έναν αποδοτικό τρόπο για την ενίσχυση ήδη υπάρχοντων datasets με συνθετικά δεδομένα. Ωστόσο, αξίζει να σημειωθεί ότι η ύπαρξη διπλού δικτύου για την υλοποίηση των GANs συνεπάγεται αυξημένη υπολογιστική πολυπλοκότητα για την προπόνησή τους, καθιστώντας την χρήση GPUs ή TPUs αναγκαία για τον σκοπό αυτό. Τέλος, ένα συχνό πρόβλημα στην υλοποίηση των GANs σχετίζεται με τον Generator και την δημιουργία δεδομένων περιορισμένης ποικιλίας, γνωστό και ως mode collapse [77] [78].

2.2.2 Reinforcement Learning

Η ανατροφοδοτούμενη μάθηση είναι ένας αναδυόμενος κλάδος της τεχνητής νοημοσύνης, ο οποίος απομακρύνεται από τις κλασικές τεχνικές όπως αυτές της επιβλεπόμενης και της μη-επιβλεπόμενης μηχανικής μάθησης. Η ανατροφοδοτούμενη μάθηση βασίζεται στην μάθηση από το εξωτερικό περιβάλλον και σε σενάρια που η ύπαρξη καλά χαρακτηρισμένων δεδομένων δεν αρκεί για την μοντελοποίηση περίπλοκων συμπεριφορών. Για αυτόν τον λόγο, τα εν λόγω συστήματα βρίσκουν τεράστια εφαρμογή σε human-like tasks, όπως η αυτόνομη οδήγηση [79] [80], η σχεδίαση humanoid robots [81] καθώς και η υλοποίηση παικτών παιχιδιών [82].

Η βασική δομή ενός συστήματος ανατροφοδοτούμενης μάθησης φαίνεται στην εικόνα 2.2.2 [83]. Στην βάση του, ένα σύστημα ανατροφοδοτούμενης μάθησης καλείται να μοντελοποιήσει την δυναμική αλληλεπίδραση μεταξύ ενός agent με το περιβάλλον του. Ο agent προσπαθεί να μεγιστοποιήσει ένα σύνολο από τωρινές και μελλοντικές επιβραβεύσεις που λαμβάνει από το περιβάλλον μέσω της επιλογής των κατάλληλων ενεργειών. Για τον λόγο αυτό, λαμβάνει ως είσοδο τα απαραίτητα δεδομένα από το περιβάλλον, τα οποία αναπαρίστανται μέσω ενός state εισόδου, από το οποίο εξάγονται οι παρατηρήσεις του agent. Το σύνολο που ορίζουν οι παρατηρήσεις και τα states οδηγούν στην λήψη της εκάστοτε απόφασης, μέσω ενός policy το οποίο αλλάζει όσο αυξάνεται το πλήθος των αλληλεπιδράσεων με το περιβάλλον. Έτσι, ο agent οδηγείται στην λήψη της κατάλληλης δράσης. Τέλος, ο agent χρησιμοποιεί και μία συνάρτηση κόστους, η οποία στοχεύει στην εκτίμηση της αναμενόμενης μελλοντικής επιβράβευσης.

Σχήμα 2.2.2: Reinforcement Learning Architecture



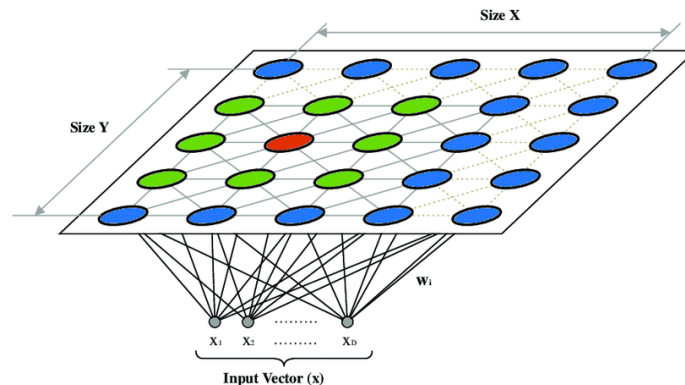
Τυπική αρχιτεκτονική ενός συστήματος ανατροφοδοτούμενης μάθησης

Η ανατροφοδοτούμενη μάθηση, με την μεγάλη γκάμα αλγορίθμων που προσφέρει, όπως ο Q-learning [84] [85] και ο actor-critic [86] [87] οδηγεί σε ένα συστηματικό pipeline για δυναμική λήψη αποφάσεων, χωρίς να απαιτείται η χρήση πολυδιάστατων labeled datasets για την εκπαίδευσή του. Αντίθετα, ο καθορισμός του συνδιασμού policy-action βασίζεται αποκλειστικά στην αλληλεπίδραση με το εξωτερικό περιβάλλον. Ωστόσο, η εν λόγω διαδικασία οδηγεί παράλληλα και σε κοστοβόρα διαδικασία εκμάθησης, λόγω των πολλών αλληλεπιδράσεων με το περιβάλλον που απαιτούνται. Ομοίως με τα GANs, η προπόνηση των μοντέλων - ειδικά όταν αυτά βασίζονται σε δομές βαθιάς μάθησης - απαιτεί την χρήση υλικού ειδικού σκοπού. Τέλος, ένα κοινό πρόβλημα με τα μοντέλα ανατροφοδοτούμενης μάθησης έγκειται στην έλλειψη ερμηνευσιμότητας, κάτι το οποίο θα μπορούσε να καταστεί προβληματικό σε εφαρμογές, ειδικά σε αυτές που σχετίζονται με βιοιατρική μηχανική [88].

2.2.3 Self Organizing Maps (SOMs)

Τα Self-Organizing Maps ή Kohonen maps είναι μία μέθοδος ανταγωνιστικής μηχανικής μάθησης, η οποία αναπτύχθηκε από τον ερευνητή Teuvo Kohonen [89] [90]. Συγκεκριμένα, χαρακτηρίζονται από την ικανότητά τους να αποτυπώνουν υψηλής διάστασης δεδομένα εισόδου σε ένα χαμηλότερης διάστασης grid, διατηρώντας τις αρχικές σχέσεις των δεδομένων, κάτι το οποίο αποτυπώνεται και στην εικόνα 2.2.3 [91]. Τα SOMs έχουν βρει μία πληθώρα εφαρμογών στην επιβλεπόμενη και στην μη-επιβλεπόμενη μάθηση, με την επεξεργασία φυσικής γλώσσας [92] [93], την εύρεση ανωμαλιών σε δεδομένα [94] και την βελτιστοποιημένη ταξινόμηση [95] να είναι ορισμένοι τομείς εφαρμογής.

Σχήμα 2.2.3: Self Organizing Maps



Αναπαράσταση δεδομένων εισόδου σε 2D-space

Όσον αφορά την μοντελοποίησή τους, τα SOMs αποτελούν μία δομή νευρωνικού δικτύου με 2 layers, όπου οι εισόδοι αντιστοιχούν στην διάσταση των δεδομένων εισόδου και οι έξοδοι στην μειωμένη επιθυμητή διάσταση. Συγκεκριμένα, όταν ένα δεδομένο εισόδου εισέρχεται στο δίκτυο, υπολογίζεται η ευκλείδια απόστασή του από όλα τα διανύσματα βαρών. Με αυτόν τον τρόπο, το δεδομένο εισόδου αντιστοιχίζεται στο best matching unit (BMU), ή αλλιώς στον νευρώνα, του οποίου το διάνυσμα βαρών έχει την μικρότερη ευκλείδια απόσταση, κάτι που περιγράφεται από την σχέση 2.2.1:

$$BMU = \underset{k \in [1, K]}{\operatorname{argmin}} \{ |W_k - x| \}. \quad (2.2.1)$$

,όπου $|\cdot|$ η ευκλείδια νόρμα.

Το BMU χρησιμεύει, ώστε να γίνει η ανανέωση του αντίστοιχου διανύσματος βαρών και των γειτονικών του, μέσω της σχέσης:

$$W_k(t+1) = W_k(t) + \alpha(t) * (x(t) - W_k(t)) \quad (2.2.2)$$

,όπου η συνάρτηση $\alpha(t)$ είναι μία γνησίως φθίνουσα συνάρτηση με σκοπό την αποφυγή φαινομένων ταλάντωσης και overfitting.

Η επιλογή των γειτονικών νευρώνων που θα επιλεχθούν για ανανέωση του διανύσματος τους γίνεται μέσω της συνάρτησης $\theta(u, v)$, η οποία υπολογίζει την σχετική απόσταση μεταξύ των νευρώνων u και v . Συνηθίζεται να είναι μία βηματική συνάρτηση, με την τιμή 1 για τους νευρώνες που είναι αρκετά κοντά στο BMU και 0 για τους υπόλοιπους. Αξίζει να τονισθεί ότι και επιλογές όπως αυτής της Γκαουσιανής συνάρτησης [96] μπορούν να προδώσουν μία πιο ρεαλιστική υλοποίηση της συνάρτησης γειτόνων.

Τα SOMs προσφέρουν μία αποδοτική και κατανοητή μορφή μείωσης της διαστατικότητας των δεδομένων εισόδου, με την παράλληλη δυνατότητα για τοπολογική αναπαράστασή τους στον εκάστοτε χάρτη. Ωστόσο, ομοίως με τα Γκαουσιανά μοντέλα και τον knn, τα SOMs προσφέρουν non-convex βελτιστοποίηση, γεγονός που οδηγεί στην εύρεση τοπικών ελαχίστων. Επιπλέον, ο προσδιορισμός παραμέτρων του μοντέλου, όπως η αρχικοποίηση των βαρών και το learning rate δεν αποτελούν κομμάτι του αλγορίθμου, με αποτέλεσμα την ανάγκη εύρεσης εξωτερικών μεθόδων για τον εν λόγω σκοπό, γεγονός που μπορεί να επηρεάσει την σύγκλιση σε τελική τοπολογία του χάρτη [97].

2.3 Μαθηματική μοντελοποίηση LVQ

Σε αυτό το σημείο θα γίνει η παρουσίαση των βασικών σχέσεων που διέπουν τον αλγόριθμο Learning Vector Quantization (LVQ). Συγκεκριμένα, ο LVQ

είναι στενά συγγενικός αλγόριθμος με τα Self Organizing Maps που παρατέθηκαν παραπάνω. Η χρήση του αλγορίθμου και η αναλογική του υλοποίηση επιλέχθηκε, μιας και προσφέρει την δυνατότητα για ταξινόμηση δεδομένων και που τα SOMs δεν μπορούν να κάνουν με άμεσο τρόπο.

2.3.1 LVQ1

Η βασική μορφή του αλγορίθμου Learning Vector Quantization, γνωστή ως LVQ1 [98] ξεκινά με την ανάθεση N_v διανυσμάτων βαρών ή αλλιώς codebook vectors σε καθεμία από τις N_c κλάσεις. Στην συνέχεια, ομοίως με τα SOMs γίνεται η σύγκριση του δεδομένου εισόδου με κάθενα από τα codebook vectors. Το δεδομένο εισόδου ταξινομείται στην κλάση του vector το οποίο έχει την μικρότερη ευκλείδια απόσταση, κάτι που περιγράφεται από την σχέση:

$$c = \underset{i \in [1, N_v]}{\operatorname{argmin}} \{ |m_i - x| \}. \quad (2.3.1)$$

,

όπου $|\cdot|$ η ευκλείδια νόρμα.

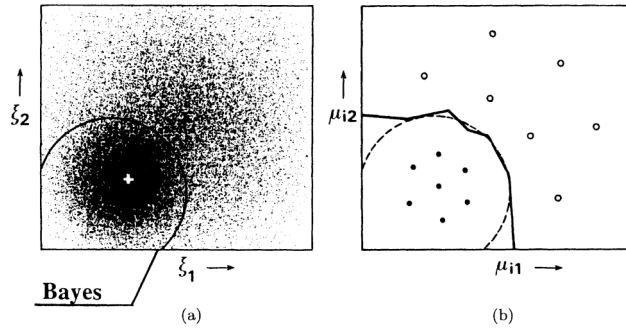
Η πληροφορία για την νικήτρια κλάση χρησιμοποιείται και για τον update μηχανισμό του LVQ1, ανάλογα με το αν το εκάστοτε codebook vector m_i και το δεδομένο εισόδου ανήκουν στην ίδια κλάση. Έτσι, ο μηχανισμός ανανέωσης του αλγορίθμου λαμβάνει την κάτωθι μορφή:

$$m_c(t+1) = \begin{cases} m_c(t) + a(t)[x(t) - m_c(t)], & c_m = c_x \\ m_c(t) - a(t)[x(t) - m_c(t)], & c_m \neq c_x \end{cases}$$

όπου $\alpha \in [0, 1]$ είναι το learning rate. Αξίζει να σημειωθεί ότι η παράμετρος $\alpha(t)$ επιλέγεται να μειώνεται μονοτονικά όσο αυξάνεται ο αριθμός των εποχών προπόνησης, με προτεινόμενη αρχικοποίηση σε τιμές μέχρι 0.1 [98].

Η άνωθι ανταγωνιστική μέθοδος ανανέωσης των παραμέτρων του αλγορίθμου οδηγεί σε σημαντική διαφοροποίησή του σε σχέση με τα κλασικά bayesian και gaussian μοντέλα. Πιο αναλυτικά, στην κλασική bayesian στατιστική και αναγνώριση προτύπων, ο στόχος σχετίζεται άμεσα με την με την ανάγκη προσέγγισης της posterior πιθανότητας $p(x|c)p(c)$ για κάθε κλάση. Αντίθετα, στον LVQ η εν λόγω ανάγκη καλύπτεται μέσω των διανυσμάτων βαρών που είναι πιο κοντά στο αντίστοιχο bayesian όριο απόφασης, όπως φαίνεται και στην εικόνα 2.3.1 [98]. Έτσι, η σημασία του τροποποιημένου μοντέλου περιοχής απόφασης δεν σχετίζεται με την βέλτιστη περιγραφή της posterior πιθανότητας, αλλά με την τοποθέτηση των διανυσμάτων με τέτοιο τρόπο ώστε να ελαχιστοποιηθεί η πιθανότητα λανθασμένης ταξινόμησης [98].

Σχήμα 2.3.1: Bayesian vs LVQ boundary decisions



Σύγκριση των περιοχών απόφασης για (a) bayesian μοντέλο και (b) τον LVQ

Μία τροποποίηση του LVQ1 σχετίζεται με την βέλτιστη επιλογή του $\alpha(t)$ το οποίο μπορεί να επιλεγεί ώστε να είναι διαφορετικό για κάθε διάνυσμα βαρών. Έτσι, προστίθεται και ο μηχανισμός ανανέωσης του learning rate, μέσω της σχέσης 2.3.2:

$$\alpha_c(t) = \frac{\alpha_c(t-1)}{1 + s(t)\alpha_c(t-1)} \quad (2.3.2)$$

, όπου η συνάρτηση $s(t)$ λαμβάνει την τιμή +1 αν έχουμε ορθή ταξινόμηση του δεδομένου εισόδου και -1 αντιθέτως.

2.3.2 LVQ2.1

Αντίστοιχο μηχανισμό προπόνησης και λήψης απόφασης έχει και ο LVQ2.1 αλγόριθμος, με την διαφοροποίηση να έγκειται στο γεγονός ότι η ανανέωση των βαρών γίνεται στα 2 διανύσματα m_i και m_j τα οποία βρίσκονται πιο κοντά στην περιοχή απόφασης. Συγκεκριμένα, το διάνυσμα m_i είναι το κοντινότερο σε απόσταση που ανήκει στην ίδια κατηγορία με το x , ενώ το m_j είναι το κοντινότερο που διαφοροποιείται από αυτό. Ο μηχανισμός λαμβάνει την μορφή:

$$m_i(t+1) = m_i(t) + a(t)[x(t) - m_i(t)] \quad (2.3.3)$$

$$m_j(t+1) = m_j(t) - a(t)[x(t) - m_j(t)] \quad (2.3.4)$$

Για την ενεργοποίηση του μηχανισμού ανανέωσης των βαρών, το διάνυσμα εισόδου x πρέπει να βρίσκεται εντός ενός παραθύρου w που ορίζεται από το

υπερεπίπεδο των διανυσμάτων m_i και m_j , και χρησιμοποιεί την μεταβλητή $s = \frac{1-w}{w+1}$, κάτι που ορίζεται από την σχέση:

$$\min\left(\frac{d_i}{d_j}, \frac{d_j}{d_i}\right) > s \quad (2.3.5)$$

$$s = \frac{1-w}{w+1} \quad (2.3.6)$$

,όπου $w \in [0,1]$ είναι το σχετικό εύρος παραθύρου, το οποίο συνίσταται να βρίσκεται εντός των τιμών 0.2 και 0.3 [98].

2.3.3 LVQ3

Περαιτέρω βελτίωση των προηγούμενων αλγορίθμων έρχεται με τον LVQ3. Παρά το γεγονός ότι η μετατόπιση των συνόρων απόστασης, ώστε να επιτυγχάνεται η προσέγγιση του bayesian συνόρου, επιτυγχάνεται τόσο με τον LVQ1 όσο και με τον LVQ2, δεν δίνεται έμφαση στην ανανέωση των codebook vectors για μεγάλο αριθμό εποχών. Έτσι, στις συνθήκες του LVQ2, προστίθεται και η συνθήκη που αφορά την ανανέωση των m_i και m_j , σε περίπτωση που ανήκουν στην ίδια κλάση με αυτήν του δεδομένου x , οδηγώντας στην εξίσωση 2.3.7:

$$m_k(t+1) = m_k(t) + \epsilon a(t)[x(t) - m_k(t)], \quad k \in \{i, j\} \quad (2.3.7)$$

Οι τιμές του ϵ συνίσταται να βρίσκονται μεταξύ 0.1 και 0.5, με την βέλτιστη τιμή να σχετίζεται με το μέγεθος του παραθύρου. Συγκεκριμένα, για πιο μικρά παράθυρα συνίσταται μικρότερη τιμή της μεταβλητής.

Οι 3 μορφές του LVQ που παρουσιάστηκαν παραπάνω προσφέρουν παρεμφερή ακρίβεια στην πλειονότητα των εφαρμογών ταξινόμησης και αναγνώρισης προτύπων. Συγκεκριμένα, ο μηχανισμός ανανέωσης στον LVQ2.1 οδηγεί σε βέλτιστες τιμές των διανυσμάτων βαρών όσον αφορά την σχετική τους απόσταση από το το σύνορο ταξινόμησης, χωρίς αυτό να συνεπάγεται την βέλτιστη αναπαράσταση της εκάστοτε κλάσης. Απεναντίας, οι LVQ1 και LVQ3 οδηγούν σε πιο στηβαρή μέθοδο προσδιορισμού των codebook vectors. Τέλος, όσον αφορά την αρχικοποίηση των βαρών κατά την διαδικασία προπόνησης, συνίσταται η χρήση της μέσης απόστασης μεταξύ γειτονικών διανυσμάτων βαρών, χωρίς αυτό να συνεπάγεται ότι η επαναληπτική διαδικασία ανανέωσης που περιγράφηκε παραπάνω δεν θα οδηγήσει σε αλλαγή των βαρών.

Κεφάλαιο 3

Προτεινόμενα Κυκλώματα

Στο εν λόγω κεφάλαιο θα γίνει παρουσίαση και ανάλυση της κυκλωματικής υλοποίησης του συστήματος ταξινόμησης. Αρχικά, θα γίνει μία εισαγωγή που αφορά το MOSFET transistor και την λειτουργία του στις περιοχές της ισχυρής αναστροφής και της subthreshold, καθώς και την λειτουργία του ως ψηφιακό στοιχείο. Στην συνέχεια, θα γίνει παρουσίαση και χαρακτηρισμός των βασικών κυκλωματικών blocks, τα οποία θα χρησιμοποιηθούν στην προτεινόμενη αρχιτεκτονική του ταξινομητή, που θα αναλυθεί στο τέλος του κεφαλαίου.

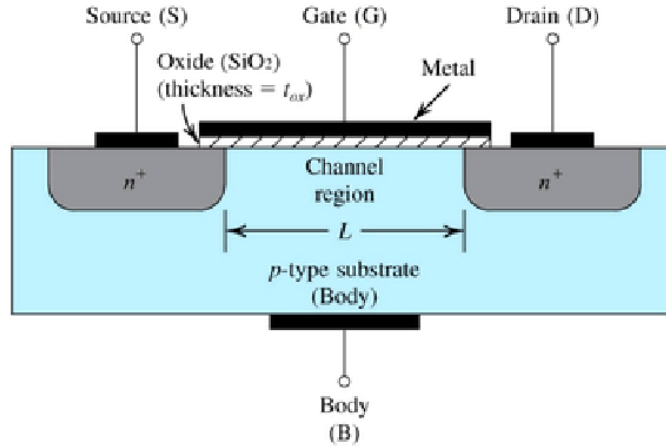
3.1 Το transistor MOSFET

Το MOSFET είναι η βασική κατηγορία transistor η οποία χρησιμοποιείται για την υλοποίηση αναλογικών και ψηφιακών κυκλωμάτων. Η βασική δομή του μπορεί να φανεί στην εικόνα 3.1.1 [99], όπου παρατηρείται η ύπαρξη 4 καναλιών. Η βασική ικανότητα ρύθμισης των ιδιοτήτων του έρχεται από το gate pin το οποίο χρησιμοποιείται για να αλλάξει η αγωγιμότητα του transistor. Παράλληλα, και σε αντίθεση με τα BJTs, δεν απαιτείται ρεύμα στην είσοδο της πύλης ώστε να διατηρηθεί η προαναφερθείσα ιδιότητα. Τα MOS transistors, λόγω της διαρκούς μείωσής τους σε διαστάσεις καθώς και των διαφορετικών περιοχών λειτουργίας που προσφέρουν ανάλογα με τις τάσεις στα άκρα τους, αποτελούν την πρώτη επιλογή για την σχεδίαση ολοκληρωμένων κυκλωμάτων τις τελευταίες δεκαετίες.

3.1.1 Saturation region

Η πρώτη και βασική περιοχή λειτουργίας των MOSFETs είναι αυτή του κόρου ή αλλιώς η ενεργός περιοχή. Συγκεκριμένα, η εν λόγω περιοχή ορίζεται από

Σχήμα 3.1.1: The MOSFET Transistor



Η βασική δομή του MOSFET transistor

τις σχέσεις $V_{GS} \geq V_{th}$ και $V_{DS} \geq (V_{GS} - V_{th})$, κάτι το οποίο οδηγεί στην δημιουργία καναλιού ανάμεσα στο Source και στο drain λόγω του pinching που λαμβάνει χώρα κοντά στο drain. Αυτή η έλλειψη καναλιού στο drain οδηγεί στην δημιουργία ενός καναλιού L_{eff} το οποίο είναι προσεγγιστικά ίσο με το πραγματικό μήκος L . Ο έλεγχος του ρεύματος αγωγής εξαρτάται κυρίως από την διαφορά δυναμικού V_{GS} και δίνεται από την σχέση:

$$I_D = \frac{1}{2} \frac{\mu_n C_{ox} W}{L} (V_{GS} - V_t)^2 (1 + \lambda(V_{DS} - V_{DSsat})) \quad (3.1.1)$$

,όπου μ_n είναι η σταθερά κινητικότητας φορτίου, C_{ox} η χωρητικότητα οξειδίου πύλης ανά μονάδα επιφάνειας, και W και L το πλάτος και το μήκος του καναλιού. Η παράμετρος λ μοντελοποιεί την μεταβολή του μήκους του αγωγίμου καναλιού λόγω του Early effect. [100]. Τέλος, η τάση $V_{DSsat} = V_{GS} - V_{th}$ αντιστοιχεί στην μικρή μεταβολή της τάσης V_{DS} λόγω της μετάβασης από την τριόδο στον κόρο.

Επιπλέον, μία σημαντική παράμετρος - ιδιαίτερα στην λειτουργία αναλογικών κυκλωμάτων - σχετίζεται με την ισοδύναμη διααγωγιμότητα του MOS στην ενεργό περιοχή καθώς και η αντίσταση εξόδου που αντιστοιχούν στις σχέσεις:

$$g_m = \frac{\delta I_D}{\delta V_{GS}} = \frac{2I_D}{V_{OV}} \quad (3.1.2)$$

$$r_{out} = \frac{1}{\lambda I_D} \quad (3.1.3)$$

, όπου $V_{OV} = V_{GS} - V_{th}$ η τάση υπεροδήγησης.

3.1.2 Triode region

Στην περίπτωση που έχουμε $V_{DS} < V_{GS} - V_{th}$ αναφερόμαστε στην περιοχή της τριόδου ή στην ωμική περιοχή. Σε αντίθεση με την ενεργό περιοχή, η αγωγή γίνεται κατά μήκος ολόκληρου του καναλιού L , χωρίς την απουσία καναλιού κοντά στο drain. Ως απόρροια αυτού, το MOSFET καταλήγει να λειτουργεί ως ωμικό στοιχείο, όπου οι τάσεις των άκρων του (και κυρίως αυτή του gate) ελέγχουν το ρεύμα με τρόπο γραμμικό. Αυτό υποδεικνύεται από την σχέση:

$$I_D = \frac{\mu_n C_{ox} W}{L} (V_{OV} V_{DS} - \frac{(V_{DS})^2}{2}) \quad (3.1.4)$$

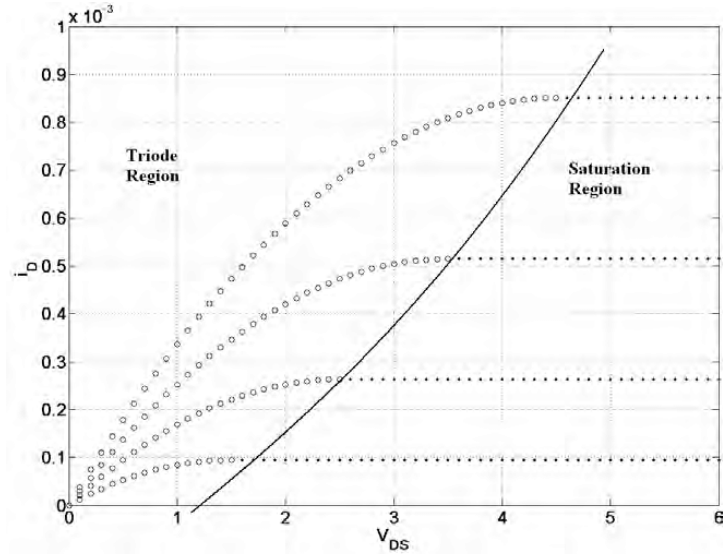
Όσον αφορά την τάση κατωφλίου V_{th} - αν και μπορεί να θεωρηθεί σταθερή ανάλογα με την εκάστοτε τεχνολογία - στην πραγματικότητα εξαρτάται άμεσα από το body effect, που περιγράφεται από την σχέση:

$$V_{TB} = V_{T0} + \gamma [\sqrt{V_{SB} + 2\phi_B} - \sqrt{2\phi_B}] \quad (3.1.5)$$

Στην άνωθεν εξίσωση, η τάση ϕ_B αντιστοιχεί στην διαφορά δυναμικού ανάμεσα στην επιφάνεια και το υπόστρωμα για $V_{SB} = 0$ και τάση gate αρκετή ώστε να εξασφαλίσει την παρουσία καναλιού. Η παράμετρος γ αφορά το οξειδίο και τέλος V_{T0} είναι η ονομαστική τάση κατωφλίου χωρίς το body effect. Με βάση την άνωθεν σχέση, παρατηρούμε ότι η ύπαρξη διαφοράς δυναμικού V_{SB} αυξάνει την πραγματική τάση κατωφλίου, γεγονός που συνεπάγεται την ανάγκη αύξησης της διαφοράς δυναμικού V_{GS} , ώστε να επιτευχθεί η δημιουργία καναλιού (στην τριόδο ή στην ενεργό περιοχή). Με αυτόν τον τρόπο, το bulk μπορεί να χρησιμοποιηθεί έμμεσα με τρόπο όμοιον με την πύλη για τον έλεγχο της αγωγιμότητας του MOSFET.

Η διαφορά ανάμεσα στην γραμμική και στην ενεργό περιοχή μπορεί να φανεί στην γραφική της εικόνας 3.1.2 [101]. Όπως παρατηρούμε, τα σύνορα ορίζονται με βάση την περιοχή στην οποία το ρεύμα εξόδου μεταβαίνει από την περιοχή που εξαρτάται άμεσα από το V_{DS} στην περιοχή στην οποία η εν λόγω τάση επιδρά λιγότερο και μόνο σε ό,τι αφορά το body effect. Η συνεχής γραμμή της γραφικής 3.1.2 ουσιαστικά απωτυπώνει την μετάβαση από την γραμμική εξάρτηση $I_D - V_{GS}$ στην τετραγωνική.

Σχήμα 3.1.2: Saturation vs Linear Region



Περιοχές λειτουργίας του MOSFET transistor για διαφορετικές τιμές της τάσης υπεροδήγησης

3.1.3 Saturation region

Η πλειονότητα των κυκλωμάτων που χρησιμοποιούν MOSFET transistors κάνουν χρήση της τριόδου ή του κόρου. Ωστόσο, αυτό δεν σημαίνει πως δεν υπάρχει μία σειρά από υλοποιήσεις που οδηγούν τα transistor τους στην περιοχή του υποκατωφλίου ή subthreshold για την υλοποίηση αναλογικών υπολογισμών χαμηλής κατανάλωσης [102] [36] [103].

Η περιοχή υπό-κατωφλίου υφίσταται για $V_{GS} < V_{th}$. Κανονικά, σε αυτήν την περίπτωση, το ρεύμα στο drain γίνεται μηδέν. Ωστόσο, στην πραγματικότητα, συνεχίζει και υπάρχει περιορισμένη αγωγή ηλεκτρονίων από το source στο drain. Η εν λόγω σχέση είναι εκθετική ως προς την διαφορά δυναμικού V_{GS} και αναλογεί στο ρεύμα ασθενούς αναστροφής:

$$I_D \simeq I_{D0} e^{\frac{V_{OV}}{nV_T}} \quad (3.1.6)$$

, όπου I_{D0} είναι η ονομαστική τιμή ρεύματος για $V_{GS} = V_{th}$, $V_T = \frac{kT}{q}$ η θερμοκή τάση και $n = 1 + \frac{C_{dep}}{C_{ox}}$ παράγοντας που εξαρτάται από τον λόγο χωρητικοτήτων ανάμεσα στο στρώμα απογύμνωσης και στο στρώμα οξειδίου.

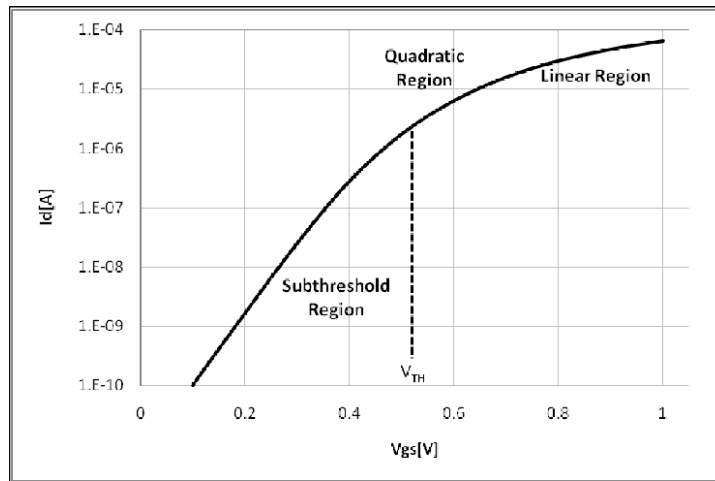
Η εξίσωση 3.1.6 είναι ακριβής μόνο στην περίπτωση που το source είναι

συνδεδεμένο στο bulk. Σε αντίθετη περίπτωση, η σχέση που δίνει το ρεύμα I_D στην περιοχή υποκατωφλίου παίρνει την εξής μορφή:

$$I_D \simeq I_{D0} e^{\frac{V_{OV}}{nV_T}} e^{-\frac{V_S}{V_T}} \quad (3.1.7)$$

Η γραφική παράσταση που αναδεικνύει την σχέση μεταξύ V_{GS} και ρεύματος εξόδου φαίνεται στην εικόνα 3.1.3 [104]. Παρατηρούμε ότι η εκθετική σχέση ανάμεσα σε ρεύμα και τάση υποδεικνύει άμεση μεταβολή της συμπεριφοράς του MOSFET σε πιθανές κατασκευαστικές ανακρίβειες, σε ότι αφορά διακυμάνσεις στο πάχος του οξειδίου, στο βάθος της διασταύρωσης ή στο doping του body.

Σχήμα 3.1.3: Subthreshold Region



Χαρακτηριστική $I_D - V_{GS}$ στην περιοχή υποκατωφλίου

3.1.4 Το MOSFET ως ψηφιακός διακόπτης

Με βάση την άνωθεν ανάλυση, μπορεί να γίνει κατανοητή και η επέκταση που σχετίζεται με την χρήση του MOSFET ως ψηφιακό στοιχείο. Συγκεκριμένα, όπως αναφέρθηκε άνωθεν, σχηματισμό καναλιού - είτε σε τρίοδο είτε σε κόρο - έχουμε για $V_{GS} > V_{thr}$ η αλλιώς $V_{OV} > 0$. Αυτό συνεπάγεται ότι υπάρχει ένας συστηματικός τρόπος για τον έλεγχο της αγωγής του στοιχείου, ανάλογα με την τάση στην πύλη του.

Αυτό το γεγονός οδήγησε στην χρήση CMOS τεχνολογιών για την υλοποίηση ψηφιακών κυκλωμάτων, στα οποία η πληροφορία παίρνει την μορφή λογικού 1 ή 0, που οδήγησαν στην σχεδίαση και την υλοποίηση μικροεπεξεργαστών και εν τέλει των σύγχρονων υπολογιστικών συστημάτων. Ένα ακόμα πλεονέκτημα

των MOSFETs ως ψηφιακοί διακόπτες έγκειται στο ότι λόγω του στρώματος οξειδίου που παρεμβάλεται ανάμεσα στην επαφή της πύλης και του καναλιού, το ρεύμα δεν ρέει εντός του καναλιού, κάτι που σημαίνει ακόμα χαμηλότερη κατανάλωση λόγω της σχεδόν άπειρης εμπέδησης εισόδου στην πύλη. Η εν λόγω ιδιότητα κατέστησε εύκολη την σχεδίαση περίπλοκων ψηφιακών κυκλωμάτων, μιας και επιτρέπει την οδηγήση πολλαπλών MOSFETs στο gate του ενός.

Ωστόσο, πρέπει να τονισθεί ότι τα PMOS και NMOS transistors δεν δύναται να χρησιμοποιούνται με τον ίδιο ακριβώς τρόπο στα ψηφιακά κυκλώματα. Ως παράδειγμα περί αυτού, θα φέρουμε την περίπτωση στην οποία ένα PMOS transistor καλείται να περάσει λογικό '0' (αντίστοιχα λειτουργεί και για την αντίστροφη περίπτωση οδήγησης λογικού '1' από ένα NMOS):

$$V_{GS} > V_{th} \Rightarrow V_{in} - V_{out} > V_{th} \Rightarrow V_{out} < V_{ss} - V_{th} < V_{ss} \quad (3.1.8)$$

Με βάση τα παραπάνω, τα PMOS τοποθετούνται σε pull-up κυκλωματική τοπολογία, ώστε να λειτουργούν με λογικό '1', που αντιστοιχεί στην τροφοδοσία V_{dd} , ενώ αντίστοιχα τα NMOS χρησιμεύουν για να λαμβάνουν ως είσοδο λογικό '0' / V_{ss} [105].

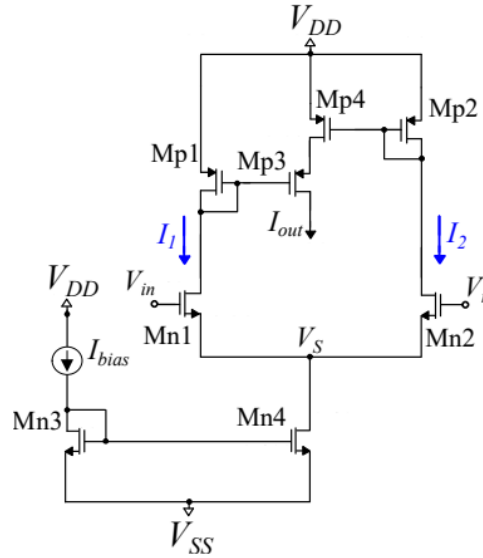
3.2 Bump Circuits

3.2.1 Delbrucks' Bump

Στα πλαίσια υλοποίησης της μετρικής απόστασης μεταξύ των διαφορετικών χαρακτηριστικών, το πρώτο κύκλωμα που υλοποιήθηκε βασίστηκε στην γκαουσιανή κατανομή και η βασική του σχεδίαση και υλοποίηση προέρχεται από τον Delbruck [106]. Ο σκοπός του έγκειται στην δημιουργία ενός μέτρου σύγκρισης μεταξύ των 2 τάσεων εισόδου V_r και V_{in} , το οποίο ρυθμίζει το αντίστοιχο ρεύμα εξόδου. Για τον σκοπό αυτό, χρησιμοποιούνται 2 διαφορετικά κυκλωματικά κομμάτια τα οποία φαίνονται στην εικόνα 3.2.1. Αρχικά, έχουμε τα transistor M_{n1} ως και M_{n4} , τα οποία αποτελούν ένα απλό διαφορικό ζεύγος το οποίο πολώνεται από έναν καθρέφτη ρεύματος. Έτσι, όταν η μία εκ των 2 εισόδων έχει μεγαλύτερη τάση στο gate αυτό αντιστοιχεί και σε μεγαλύτερο drain ρεύμα (δηλαδή $V_{in} > V_r \Rightarrow I_{in} > I_r$)

Στην συνέχεια, τα ρεύματα I_1 και I_2 αποτελούν είσοδο στον συσχετιστή ρεύματος που αποτελείται από τα PMOS transistors M_{p1} ως και M_{p4} , η οποία μπορεί να συνοψιστεί ως εξής: Όταν κάποιο εκ των 2 ρευμάτων I_1 και I_2 έχει χαμηλή τιμή, τότε τα transistors M_{p3} και M_{p4} βγαίνουν σε αποκοπή με αποτέλεσμα το ρεύμα εξόδου I_{out} να γίνεται πρακτικά μηδενικό. Σε περίπτωση

Σχήμα 3.2.1: Simple Bump



Delbrück's Bump Circuit για την σύγκριση 2 τάσεων εισόδου

που $I_1 = I_2 \simeq \frac{I_{bias}}{2}$ τότε το ρεύμα εξόδου καθίσταται μη μηδενικό, ενώ σε ενδιάμεσες τιμές το κύκλωμα υπολογίζει ένα ρεύμα πολλαπλασιασμού στην έξοδό του.

Θεωρώντας ότι τα transistors λειτουργούν στην subthreshold περιοχή, η σχέση του ρεύματος εξόδου είναι η εξής:

$$\begin{aligned} I &= S e^{-V_s} \frac{e^{V_1} e^{V_2}}{e^{V_1} + e^{V_2}} \\ &= S \frac{I_1 I_2}{I_1 + I_2} \end{aligned} \quad (3.2.1)$$

Η παράμετρος S αποτελεί το strength ratio του συσχετιστή [106] και δίνεται από την σχέση:

$$S = \frac{(W/L)_{1,2}}{(W/L)_{3,4}} \quad (3.2.2)$$

Τέλος, όσον αφορά την σχέση διαγωγιμότητας $I_{out} - \Delta V$, ο υπολογισμός

του κάθε διαφορικού ρεύματος βγαίνει από την σχέση Fermi ως εξής:

$$I_1 = \frac{I_{bias}}{1 + e^{-k\Delta V}} \quad (3.2.3)$$

και μέσω απλοποίησης της σχέσης 3.2.3, παίρνουμε:

$$\begin{aligned} I_{out} &= I_{bias} \frac{S}{4} \operatorname{sech}^2\left(\frac{k\Delta V}{2}\right) \\ &= \frac{I_{bias}}{\frac{4}{S} \cosh^2 \frac{k\Delta V}{2}} \end{aligned} \quad (3.2.4)$$

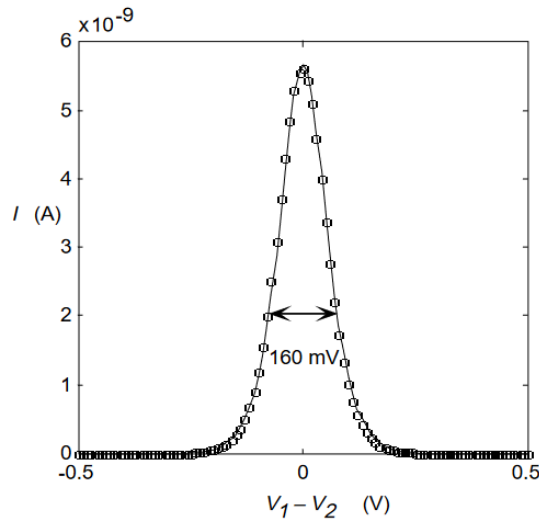
Με βάση τα παραπάνω, προκύπτει η γκαουσιανή μορφή που έχει την κάτω-θι μορφή 3.2.2 [106]. Με βάση την σχέση 3.2.3, η ρύθμιση του I_{out} γίνεται μέσω προσδιορισμού του ρεύματος εισόδου I_{bias} καθώς και του strength ratio S του συσχετιστή. Ωστόσο, στην άνωθι υλοποίηση, ένα κομμάτι που δεν μπορεί να ρυθμιστεί εύκολα, σχετίζεται με την δημιουργία γκαουσιανών κατανομών μεταβαλλόμενης διασποράς, κάτι το οποίο θα φανεί χρήσιμο στην δημιουργία δυναμικής μεταβαλλόμενης μετρικής απόστασης παρακάτω. Για αυτό, 2 νέες βελτιωμένες κυκλωματικές υλοποιήσεις του αρχικού Bump circuit σχεδιάστηκαν και συγκρίθηκαν.

3.2.2 Improved Bump

Ο πρώτος επανασχεδιασμός του αρχικού κυκλώματος παρουσιάζεται στην εικόνα 3.2.3. Πιο αναλυτικά, το διαφορικό ζεύγος του σχήματος 3.2.1 έχει τροποποιηθεί με την προσθήκη transistors τα οποία χρησιμεύουν για την ηλεκτρονική ρύθμιση της διασποράς V_c μέσω αλλαγής στην τάση V_b των M_{n1} ως και M_{n6} . Έτσι, αύξηση στην τάση V_b συνεπάγεται αύξηση της διαγωγιμότητας g_m και αντίστοιχα αύξηση στα ρεύματα-εξόδους του ζεύγους, όπως φαίνεται και από την σχέση 3.1.2. Από την άλλη, η υλοποίηση του current correlator με συμμετρικό τρόπο συνισφέρει στην μείωση της διακύμανσης του ρεύματος εξόδου για τιμές εισόδου κοντά στα όρια της τροφοδοσίας V_{DD} και V_{SS} .

Στην εικόνα 3.2.4, ακολουθούν τα αποτελέσματα της παραμετρικής DC ανάλυσης για διαφορετικές τιμές V_r και V_c . Οι διαστάσεις για τα MOS Transistors που χρησιμοποιήθηκαν παρατίθενται στον πίνακα 3.1. Παρατηρούμε ότι, πράγματι, για τιμές V_r κοντά στις τιμές της τροφοδοσίας, το κέντρο της Γκαουσιανής καμπάνας δεν είναι ακριβώς στην επιθυμητή τιμή, αλλά βγαίνει εκτός για κάποια millivolts. Επιπροσθέτως, η μεταβολή στην διασπορά - αν και λειτουργική - δεν φέρει ικανοποιητικά αποτελέσματα, ιδιαίτερα στην περίπτωση που θα επιθυμούσαμε μια πιο sharp απόκριση στην συσχέτιση των V_{in} και V_r . Έτσι, καθίσταται αναγκαία μία βελτιωμένη σχεδίαση όσον αφορά τα παραπάνω ζητήματα.

Σχήμα 3.2.2: Output of Simple Bump



Bell-shaped έξοδος του Γκαουσιανού κυκλώματος, όπου αναδεικνύεται το εύρος ΔV για το οποίο παίρνουμε υψηλή τιμή I_{out}

3.2.3 Double-differential Bump

Τα σχεδιαστικά θέματα που αναφέρθηκαν παραπάνω για τον πρώτο προτεινόμενο Bump λύνονται σε μεγάλο βαθμό με το Γκαουσιανό κύκλωμα του σχήματος 3.2.5. Συγκεκριμένα, η χρήση διπλού διαφορικού ζεύγους, καθένα εκ των οποίων λαμβάνει τις τάσεις V_{in} και V_r στα gates των αντίστοιχων transistors οδηγεί σε δυνατότητα αυξημένης μετατόπισης των ρευμάτων I_1 και I_2 μέσω ελέγχου της τάσης V_c , όπως φαίνεται και στο σχήμα 3.2.6. Παράλληλα, παραμένει η χρήση τόσο κασχοδικού καθρέφτη ρεύματος για το διπλό διαφορικό όσο και συμμετρικού συσχετιστή ρεύματος, ώστε να επιτευχθεί καλός καθρεφτισμός ρεύματος για μικρές τιμές I_{bias} και συμμετρικό ρεύμα I_{out} .

Τέλος, όπως φαίνεται και στην διαστασιολόγηση των transistors του πίνακα 3.2. Παρατηρούμε ότι η αναλογία στο διαφορικό ζεύγος έχει επιλεγθεί να είναι 2 : 1, για αυξημένη γραμμικότητα [107]. Συνολικά παρατηρούμε ότι η επιθυμητή βελτίωση στον έλεγχο της διασποράς της παραγόμενης γκαουσιανής συνάρτησης επιτυγχάνεται για τιμές V_c από -300 έως και $300mV$, προσφέροντας την δυνατότητα για τον πειραματισμό με μία μεγάλη ποικιλία από *kernels* (ως προς την διασπορά τους). Με αυτόν τον τρόπο, ο Bump με το διπλό διαφορικό επιλέγεται για την υλοποίηση συστήματος του ταξινομητή LVQ που θα αναλυθεί

Πίνακας 3.1: Διαστάσεις transistor (Σχήμα 3.2.3).

Διαφορικό Ζεύγος	W/L ($\mu m/\mu m$)	Συσχετιστής ρεύματος	W/L ($\mu m/\mu m$)
$M_{n1}-M_{n4}$	1.2/1.6	$M_{p1}-M_{p4}$	0.4/1.6
$M_{p5}-M_{p6}$	4.8/0.8	$M_{p7}-M_{p8}$	0.4/1.6
$M_{n5}-M_{n6}$	0.4/1.6	-	-

Πίνακας 3.2: Διαστάσεις transistor (Σχήμα 3.2.5).

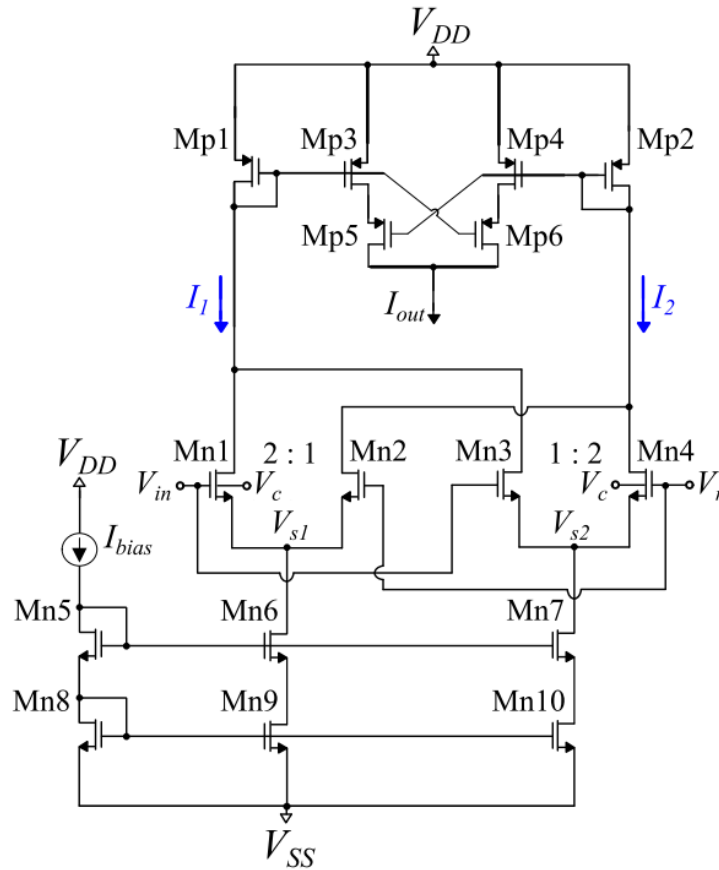
Διπλό Διαφορικό Ζεύγος	W/L ($\mu m/\mu m$)	Συσχετιστής ρεύματος	W/L ($\mu m/\mu m$)
M_{n1}, M_{n4}	1.6/0.4	M_{p3}, M_{p4}	0.4/1.6
M_{n2}, M_{n3}	0.8/0.4	M_{p1}, M_{p2}	1.2/1.6
$M_{n5}-M_{n8}$	0.4/1.6	M_{p5}, M_{p6}	0.4/1.6
M_{n9}, M_{n10}	1.2/1.6	-	-

3.3 Winner-Take All Circuit

Επόμενο κύκλωμα που κλήθηκε να σχεδιασθεί είναι αυτό που αντιστοιχεί στον argmax τελεστή για την επιλογή της νικήτριας κλάσης. Η υλοποίηση βασίστηκε στο Winner-Take-All κύκλωμα που προτάθηκε πρώτη φορά από τον Lazarro [108] και η υλοποίησή του με PMOS transistors για N_c κλάσεις φαίνεται στην εικόνα 3.3.1. Παρατηρούμε ότι κάθε neuron cell αποτελείται από 2 PMOS transistors.

Η λειτουργία του κυκλώματος μπορεί να συνοψιστεί ως εξής: όταν κάποια εκ των κλάσεων (έστω η πρώτη) έχει μεγαλύτερο ρεύμα από τις υπόλοιπες, τότε προκύπτει ότι η θα επέλθει μείωση της τάσης $V_{G_{Mp1}}$, ώστε να αυξηθεί κατά πόλυτη τιμή η τάση $|V_{GS_{Mp1}}|$. Ωστόσο, το gate του transistor M_{p1} αποτελεί τον κοινό κόμβο εξόδου και πόλωσης όλων των τάσεων. Έτσι, η εν λόγω μειωμένη τάση θα επιβληθεί στα gates του transistor εισόδου όλων των υπόλοιπων κλάσεων. Όμως, η αγωγή τους δεν μπορεί να αλλάξει, μιας και έχουν σταθερά ρεύματα I_{in2}, \dots, I_{ini} . Έτσι, και για μεγάλη διαφορά ανάμεσα στα ρεύματα εισόδου, αυτό οδηγεί σε σημαντική - λόγω φαινομένου Early - αύξηση της τάσης $V_{D_{Mp1}}$ στις υπόλοιπες κλάσεις και αυτό οδηγείται σε αποκοπή. Ταυτόχρονα, αφού πλέον έχουμε $V_{D_{Mp1}} = V_{G_{Mp2}} = V_{S_{Mp2}} \approx V_{DD}$, η διαφορά τάσης $|V_{GS_{Mp2}}|$ θα μειωθεί σημαντικά και τα προαναφερθέντα transistor εξόδου θα

Σχήμα 3.2.5: Double Differential Bump Circuit

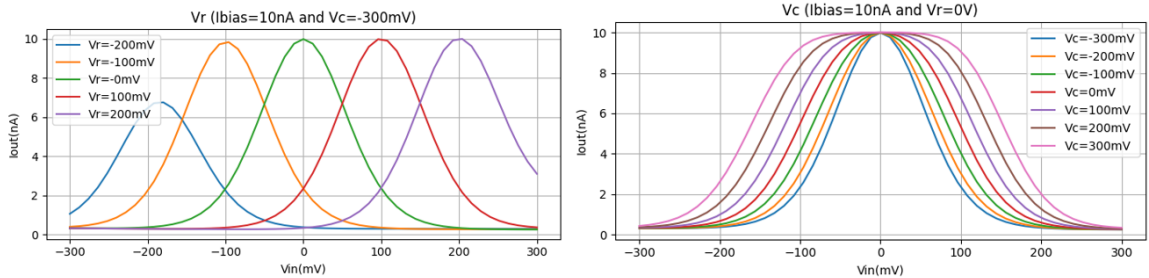


Τροποποιημένο Γκαουσιανό κύκλωμα με διπλό διαφορικό ζεύγος

πάψουν να άγουν. Με αντίστοιχη συλλογιστική, αν έχουμε 2 κλάσεις με ίδιο ρεύμα εισόδου (έστω $I_{in1} = I_{in2}$), τότε παίρνουμε $I_{out1} = I_{out2} = \frac{I_{bias}}{2}$, λόγω ταυτόσημης διαφοράς δυναμικού V_{GS} στα transistor εξόδου.

Ωστόσο, η εν λόγω τοπολογία χρήζει βελτίωσης, η οποία επιτυγχάνεται μέσω την εναλλασόμενης σύνδεσης NMOS - PMOS - NMOS transistors (ή και αντιστρόφως ανάλογα με την φορά των ρευμάτων εισόδου), η οποία αναδεικνύεται στην εικόνα 3.3.2. Η εν υλοποίηση υπερέρχει της αρχικής μιας και υλοποιεί συνεχόμενα την διαδικασία επιλογής της νικήτριας κλάσης, εξαλείφω-

Σχήμα 3.2.6: Parametric analysis for Double Differential Bump circuit



Παραμετρική ανάλυση του δεύτερου προτεινόμενου γκαουσιανού κυκλώματος για διάφορες τιμές $V_r - V_c$.

ντας έτσι την πιθανή ύπαρξη πολλαπλών νικητών. Το πρόβλημα των πολλαπλών νικητών είναι ιδιαίτερα εμφανές στην περιοχή μεταβολής από την μία νικήτρια κλάση στην επόμενη, όπως φαίνεται και στην εικόνα 3.3.3. Οι διαστάσεις για τους νευρώνες τύπου PMOS & NMOS παρουσιάζονται στον πίνακα 3.3. Η επιλογή πλάτους μικρότερου από μήκος παραθύρου γίνεται ώστε να μειωθεί ο θόρυβος και να βελτιωθεί η γραμμικότητα των transistors μέσω μείωσης της αγωγιμότητάς τους.

Πίνακας 3.3: Διαστάσεις transistor (Σχήμα 3.3.2).

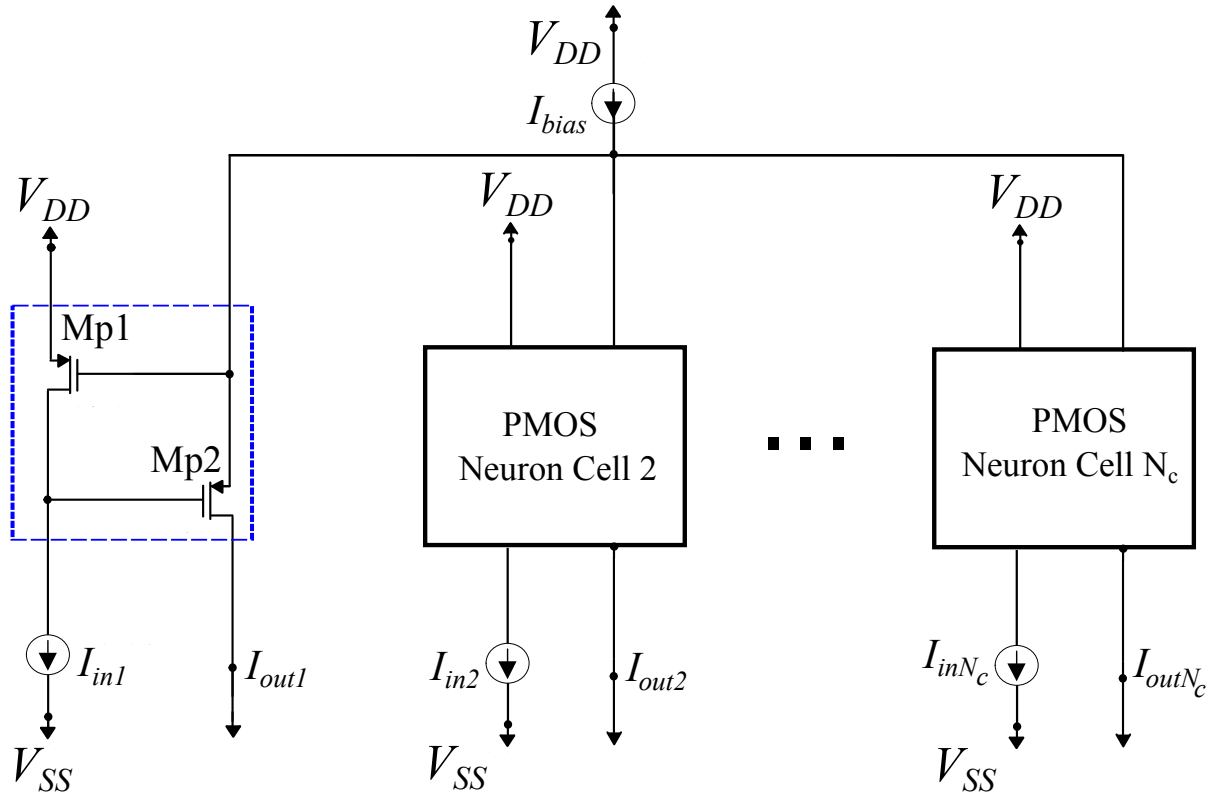
Νευρώνας	W/L ($\mu\text{m}/\mu\text{m}$)
M_{n1}, M_{n2}	0.4/1.6
M_{p1}, M_{p2}	0.4/1.6

3.4 Κύκλωμα ευκλείδιας απόστασης

Παράλληλα με την υλοποίηση του ταξινομητή με Γκαουσιανή μετρική απόστασης - και σε περιπτώσεις ύπαρξης συνόλων δεδομένων με πολλά χαρακτηριστικά - θα μπορούσε να είναι προτιμότερη η χρήση κυκλωμάτων που αντιστοιχούν στην ευκλείδια απόσταση μεταξύ 2 δεδομένων εισόδου. Ένα τέτοιο κύκλωμα παρουσιάζεται στην εικόνα 3.4.2 [109].

Το κύκλωμα αποτελείται από 2 διαφορικά ενισχυτικά ζεύγη που ορίζουν τα transistors $M_{p1} - M_{p2}$ και $M_{p3} - M_{p4}$ και τα οποία λαμβάνουν ως είσοδο τις

Σχήμα 3.3.1: PMOS Winner-Take-All circuit

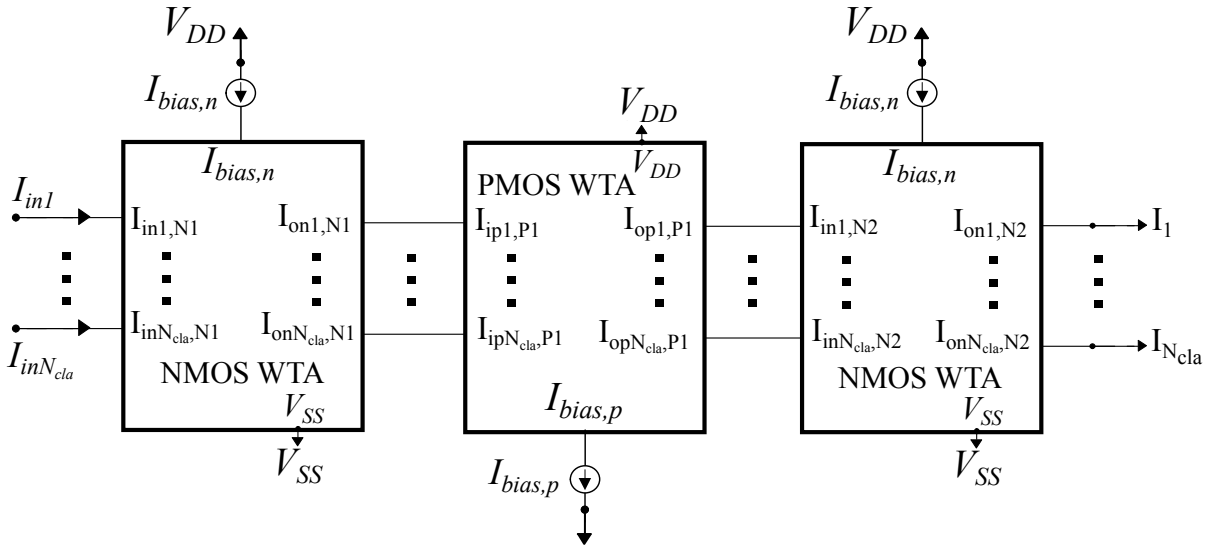


Αρχιτεκτονική του PMOS WTA κυκλώματος με μεταβλητό πλήθος κλάσεων εισόδου.

τάσεις V_{in} και V_r . Όταν έχουμε $V_{in} > V_r$, τότε το δεξιά διαφορικό ζεύγος δημιουργεί ένα ρεύμα ανάλογο της διαφοράς $V_{in} - V_r$ το οποίο αντιστοιχεί σε αύξηση του ρεύματος I_{out2} . Το εν λόγω ρεύμα, στην συνέχεια, περνά ως ρεύμα εξόδου μέσω του καθρέφτη ρεύματος $Mn1-Mn2$. Αντίθετα, στην ίδια περίπτωση το ρεύμα I_{out1} , που είναι ανάλογο της διαφοράς $V_r - V_{in}$, τείνει στο μηδέν. Γίνεται εύκολα κατανοητό ότι, όταν έχουμε $V_r > V_{in}$, τότε $I_{out1} \gg I_{out2} \approx 0$. Τέλος, για $V_{in} \approx V_r$ παίρνουμε μέγιστη τιμή ρεύματος εξόδου.

Όσον αφορά την ρυθμιστικότητα του κυκλώματος, αυτή έχει να κάνει κυρίως με την μέγιστη και την ελάχιστη τιμή του ρεύματος εξόδου και ρυθμίζεται από την V_b τάση στο gate του PMOS transistor $Mp5$. Όπως φαίνεται και στα αποτελέσματα της παραμετρικής ανάλυσης της εικόνας 3.4.3β'. Παρατηρούμε ότι, για να αυξήσουμε το ρεύμα εξόδου, πρέπει να μειωθεί η τιμή V_b , μιας

Σχήμα 3.3.2: Cascaded Winner-Take-All circuit



Προτεινόμενη υλοποίηση της λειτουργίας επιλογής νικήτριας κλάσης με την κασχοδική σύνδεση των επιμέρους WTA blocks.

και το ρεύμα πόλωσης I_{Mp5} είναι ανάλογο του $|V_{GS5}|$ με $V_{S5} = V_{DD} - 300mV$. Ταυτόχρονα, η ίδια παραμετρική (εικόνα 3.4.3α') μας υποδηλώνει ότι οι τιμές των τάσεων V_r που αντιστοιχούν στις πρότυπες τιμές κάθε codebook vector θα πρέπει να μείνουν εντός εύρους $[-100mV, 100mV]$, όπως και για την περίπτωση του Γκαουσιανού κυκλώματος.

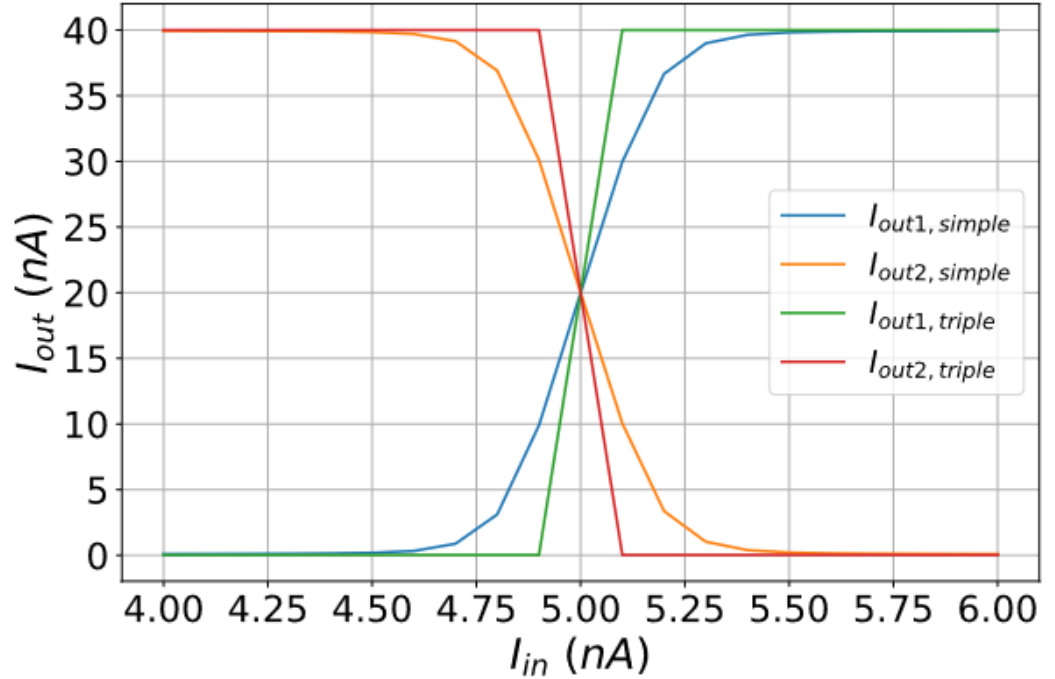
Τέλος, στον πίνακα 3.4 παρατίθεται η διαστασιολόγηση των MOSFETs. Με βάση τις άνωθεν σχεδιαστικές επιλογές, προκύπτει ότι χρησιμοποιούμε παντού καθρέφτες ρεύματος με μοναδιαία αναλογία καθρεφτισμού και η σχέση εξόδου είναι:

$$I_{out} = I_{out1} + I_{out2} \quad (3.4.1)$$

Πίνακας 3.4: Διαστάσεις transistor (Σχήμα 3.4.2).

Πόλωση	W/L ($\mu m/\mu m$)	Διαφορικά ζεύγη	W/L ($\mu m/\mu m$)
$M_{n1}-M_{n8}$	0.4/0.4	$M_{p1}-M_{p4}$	0.4/0.4
M_{p5}	2.0/0.4	-	-

Σχήμα 3.3.3: DC Analysis of WTA topologies



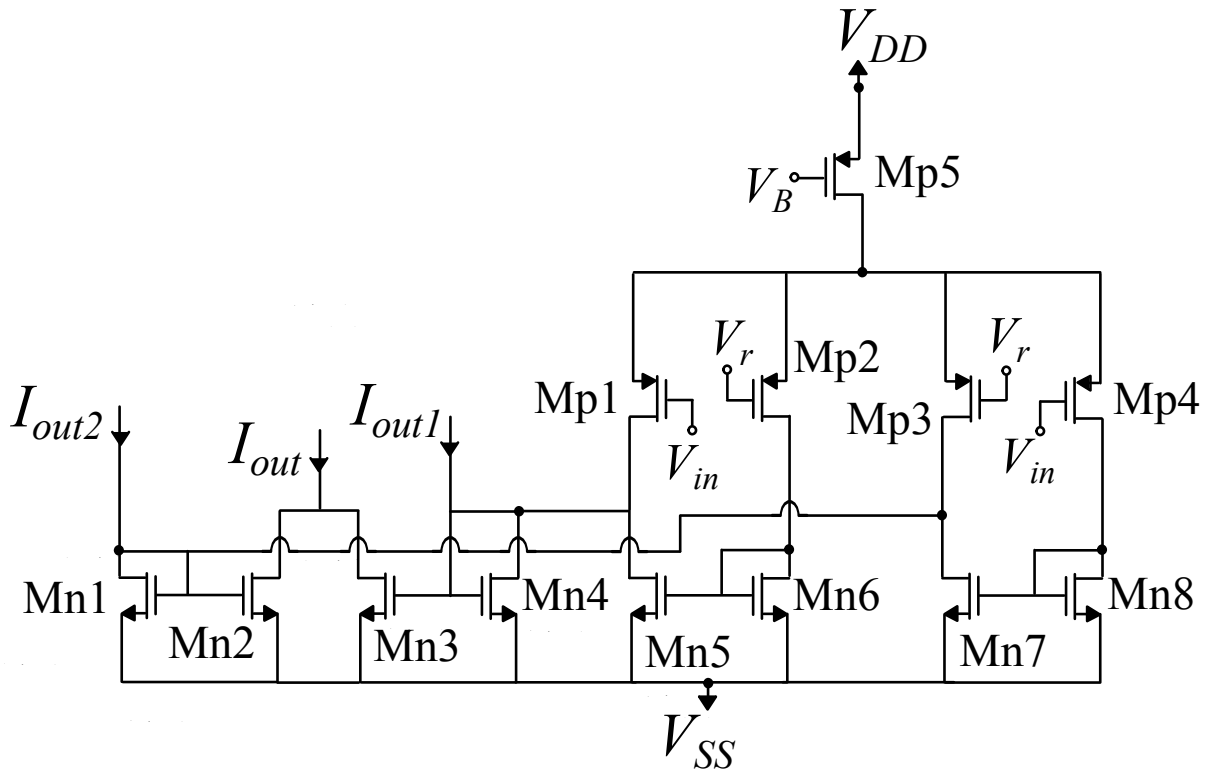
Συγκριτικά αποτελέσματα απλού και κασκοδικού WTA.

3.5 Loser-Take-All

Η σχεδίαση και χρήση ενός κυκλώματος ευκλείδιας απόστασης ως η βασική μετρική υπολογισμού της συσχέτισης των εισόδων με τα prototypes συνεπάγεται ότι πλέον η νικήτρια κλάση αντιστοιχεί στο classification block με το μικρότερο ρεύμα στην έξοδο. Συνεπώς, καθίσταται αναγκαία η υλοποίηση ενός κυκλώματος το οποίο θα αντιστοιχεί στον argmin τελεστή για τις N_c διαφορετικές κλάσεις. Ένα τέτοιο κύκλωμα παρουσιάζεται στην εικόνα 3.5.1 [110].

Όσον αφορά την λειτουργία του, αρκεί να σκεφτούμε την περίπτωση όπου ένα εκ των ρευμάτων εισόδου είναι πολύ μικρότερο (έστω το I_{in1}). Τότε, αυτό θα προκαλέσει αύξηση της τάσης στον κόμβο $V_{G_{p1}}$ και $V_{D_{p1}}$, μίας και το transistor M_{p1} οδηγείται σε αποκοπή. Μάλιστα, η αύξηση στο drain είναι μεγαλύτερη λόγω της αυξημένης εμπέδησης (το $V_{D_{p1}}$ είναι συνδεδεμένο στο gate του M_{n1}). Έτσι, για το NMOS ισχύει ότι αυξάνεται η τάση $V_{GS_{n1}}$,

Σχήμα 3.4.1: Euclidean distance circuit



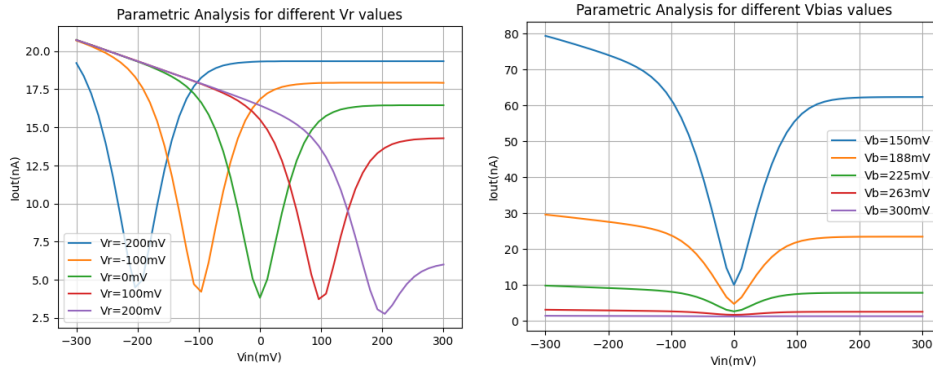
Σχήμα 3.4.2: Κύκλωμα ευκλείδειας απόστασης

μιας και $V_{GS_{n1}} = V_{DG_{p1}} = V_{D_{p1}} - V_{G_{p1}} > 0$, με αποτέλεσμα να άγει. Με αντίστοιχη συλλογιστική, αν έχουμε 2 κλάσεις με ίδιο ρεύμα εισόδου (έστω $I_{in1} = I_{in2}$), τότε παίρνουμε $I_{out1} = I_{out2} = \frac{I_{bias}}{2}$, λόγω ίδιας διαφοράς δυναμικού V_{GS} στα NMOS transistor εξόδου.

Στην εικόνα 3.5.2, παρουσιάζονται τα αποτελέσματα προσομοίωσης του κυκλώματος για αυξανόμενη τιμή εισόδου I_{in1} , τα οποία αναδεικνύουν την ορθή λειτουργία του. Η διαστασιολόγηση των transistors παρατίθεται στον πίνακα 3.5.

3.6 Digital-to-Analog Converter

Τα άνωθεν κυκλωματικά blocks χρησιμοποιήθηκαν σε καθαρά αναλογική μορφή, με σκοπό την χρήση τους για τους σε αναλογικούς υπολογισμούς που απαιτεί ο



(α') Παραμετρική ανάλυση του ευ- (β') Παραμετρική ανάλυση του ευ- κλειδίου κυκλώματος για τιμές $V_r \in [-200mV, 200mV]$ κλειδίου κυκλώματος για τιμές $V_b \in [150mV, 300mV]$

Σχήμα 3.4.3: Αποτελέσματα παραμετρικής ανάλυσης για τον χαρακτηρισμό του κυκλώματος ευκλείδιας απόστασης

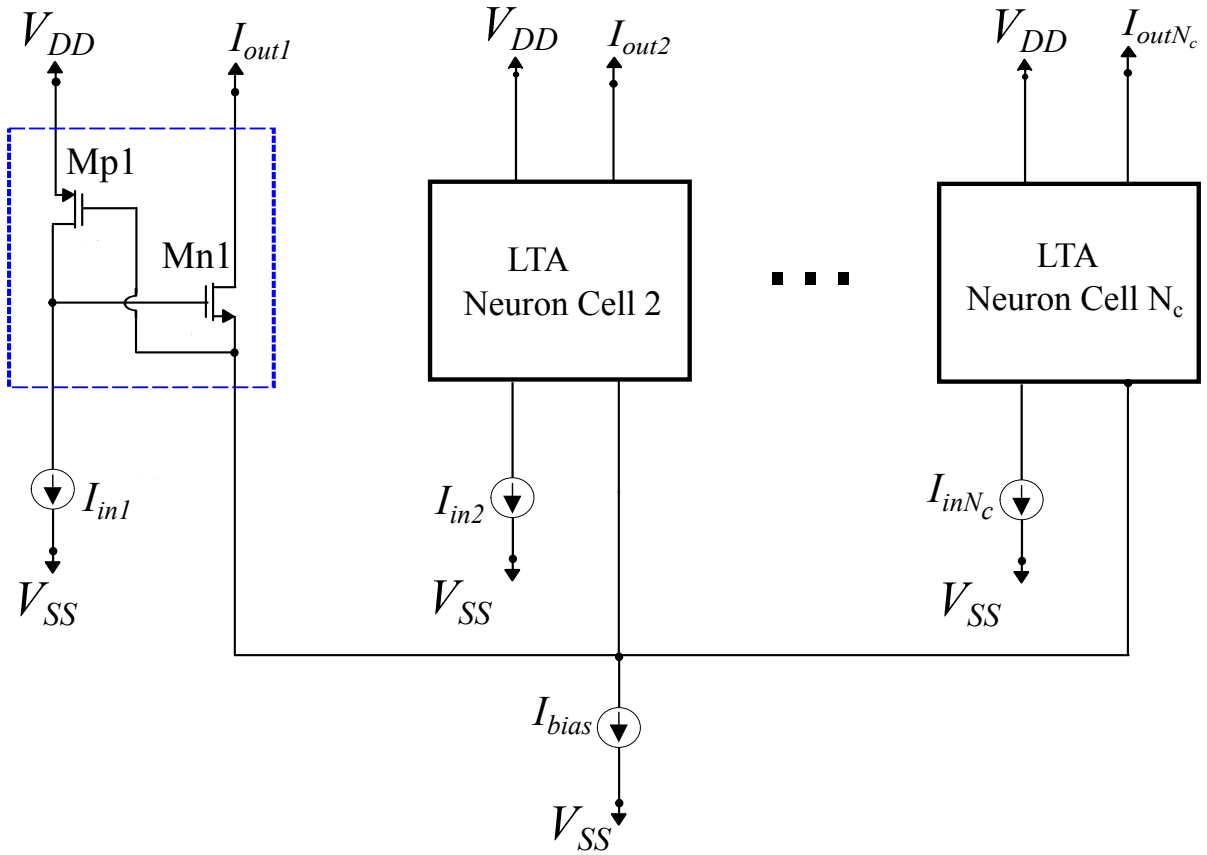
Πίνακας 3.5: Διαστάσεις transistor (Σχήμα 3.5.1).

Νευρώνας	W/L ($\mu m/\mu m$)
M_{n1}, M_{p1}	0.2/0.1

LVQ. Παρόλα αυτά, για την χρήση τους σε πραγματικές εφαρμογές, είναι πιθανή η ανάγκη για την αποκωδικοποίηση εισόδων που έρχονται σε ψηφιακή μορφή. Ταυτόχρονα, η σύνδεση των εν λόγω κυκλωματικών κομματιών εξωτερικά του αναλογικού ταξινομητή - χωρίς να εμπλακούμε στην σχεδιάσή του εντός του ολοκληρωμένου ταξινομητή - δεν θα οδηγήσει σε βέλτιστη κατανάλωση και πιθανότατα θα την αυξήσει σημαντικά. Για αυτόν τον λόγο, σε εφαρμογές που το απαιτούν, απαιτήθηκε η σχεδίαση και ένταξη ενός Digital-To-Analog Converter block, η λογική του οποίου είναι αντίστοιχη ενός R-2R ladder [111]. Αρχικά, θα εξηγηθεί η λογική της σκάλας του μετατροπέα με αντιστάσεις, πρώτου παρουσιαστεί και αναλυθεί η MOSFET αντίστοιχη λογική.

Ένα τυπικό R-2R ladder παρατίθεται στην εικόνα 3.6.1. Από την εικόνα εύκολα μπορούμε να δούμε ότι - για μία είσοδο $N = 4$ bits - η τάση που βλέπει κάθε κόμβος i αντιστοιχεί σε διαφορετική αντίσταση για την ίδια τάση αναφοράς, η οποία δίνεται από την σχέση:

Σχήμα 3.5.1: Loser-Take-All circuit



Αρχιτεκτονική του LTA κυκλώματος με μεταβλητό πλήθος κλάσεων εισόδου.

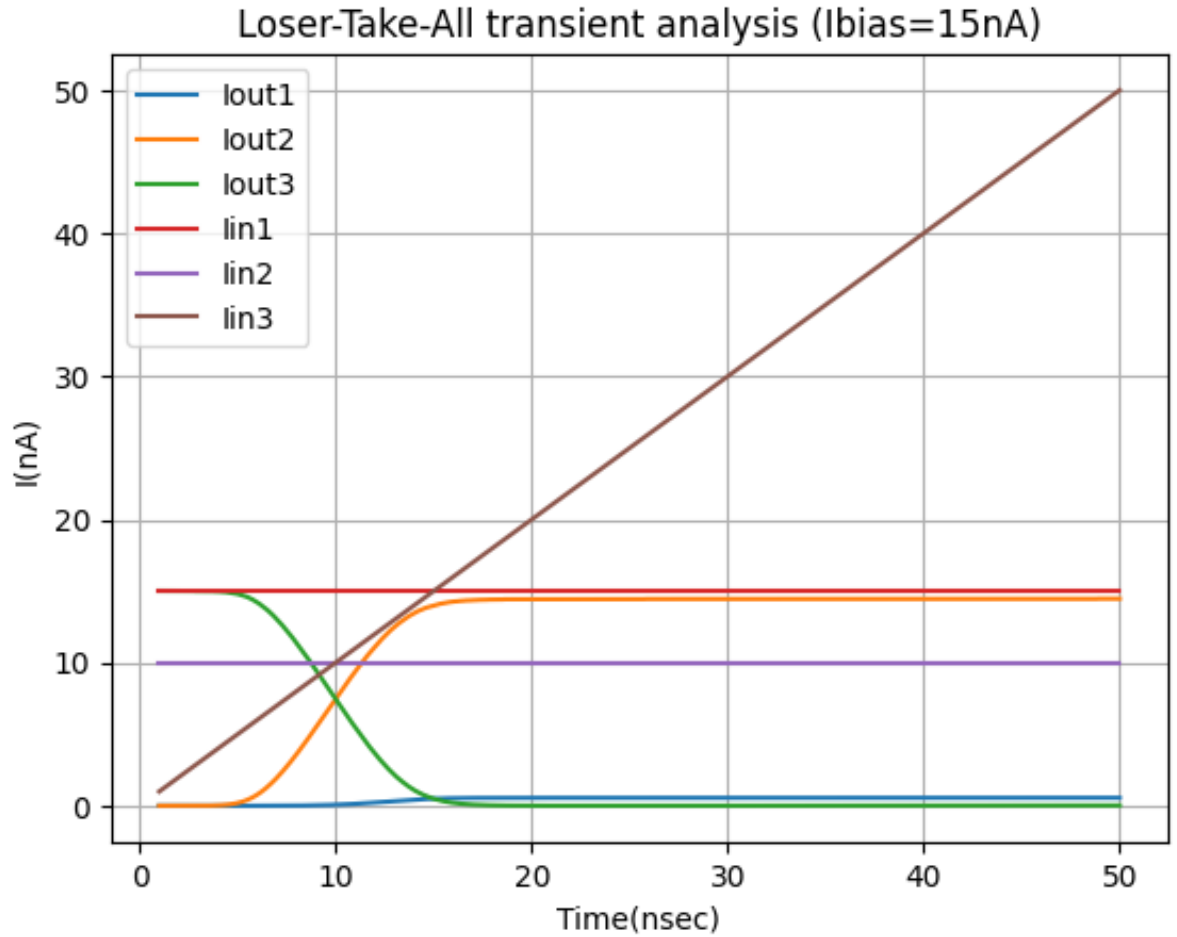
$$I_i = \frac{V_{ref}}{2^i * R}, i \in [1, N] \quad (3.6.1)$$

, ενώ στην άνωθι συνδεσμολογία αρνητικής ανάδρασης η οποία χρησιμεύει για την μετατροπή του ρεύματος εξόδου της σκάλας σε τάση, η τάση προκύπτει ως εξής:

$$I_{out} = \sum_{i=1}^N I_i \quad (3.6.2)$$

$$V_{out} = -I_{out} * R_F \quad (3.6.3)$$

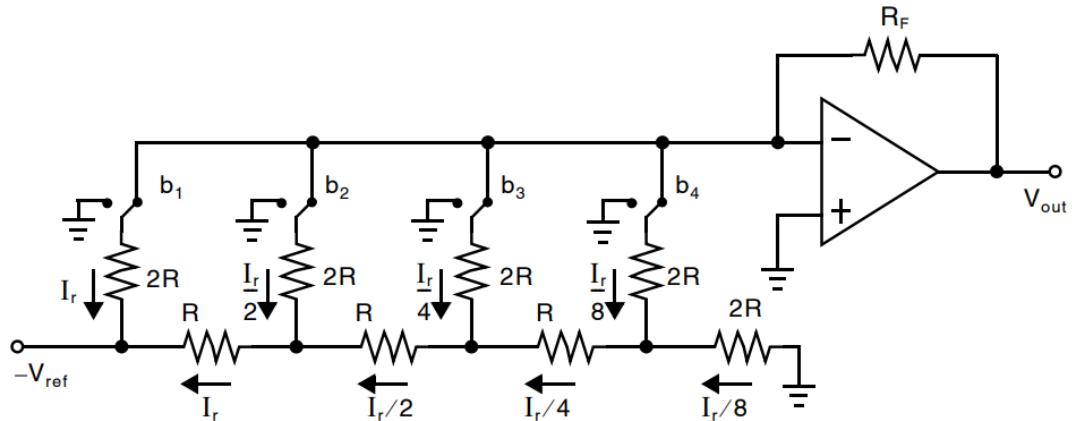
Σχήμα 3.5.2: DC Analysis of LTA



Αποτελέσματα κυκλώματος Loser-Take-All.

Οι R-2R DACs παράγουν δυαδικά σταθμισμένα ρεύματα χωρίς την ανάγκη για μια πλήρη συστοιχία δυαδικών αντιστάσεων. Επιπλέον, χρησιμοποιούν components με μία διάσταση αντί για όλο και αυξανόμενα σε διαστάσεις ή/και αντίσταση στοιχεία. Από την άλλη, αποφεύγεται και η αξιοποίηση thermometer coding τεχνικών οι οποίες μπορεί να αξιοποιούν στοιχεία μίας διάστασης όπως και ο R-2R DAC αλλά αυξάνουν το πλήθος των bits εισόδου από N σε 2^N [112]. Η παραπάνω υλοποίηση, λοιπόν, αποτελεί μία αποδοτική επιλογή η οποία συμβάλει στην εξοικονόμηση τόσο χώρου όσο και πολυπλοκότητας

Σχήμα 3.6.1: R-2R resistor ladder



Απλός R-2R ladder με αντιστάσεις τιμών έως και 2 φορές της ονομαστικής

σχεδίασης με ότι αυτό συνεπάγεται στην τελική ακρίβεια του κυκλώματος και την επίδραση άλλων παραγόντων (όπως ισοδύναμες χωρητικότητες, θερμικός θόρυβος από αντιστάσεις κ.α.).

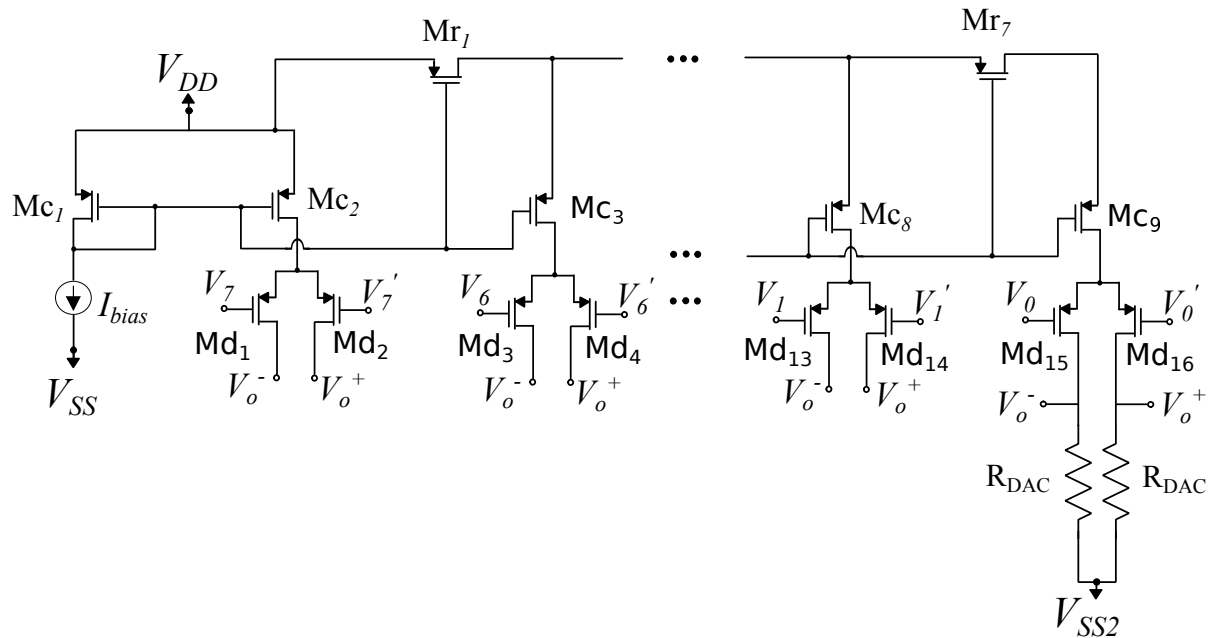
Με αυτόν τον τρόπο, οδηγηθήκαμε στην CMOS integrated υλοποίηση της εικόνας 3.6.2. Παρατηρούμε ότι οι αντιστάσεις της εικόνας 3.6.1 έχουν αντικατασταθεί από PMOS transistors, ενώ όσον αφορά την δημιουργία του ladder αυτό επιτυγχάνεται ήδη λόγω της εν σειρά σύνδεσης των transistors M_{c_i} και M_{d_i} τα οποία αντιστοιχούν σε μία αντίσταση $2P$ (σε σχέση με αυτήν των M_{r_i}). Έτσι, δεν χρειάζεται το οποιοδήποτε scaling στις διαστάσεις, όπως φαίνεται και στον πίνακα 3.6.

Πίνακας 3.6: Διαστάσεις transistor (Σχήμα 3.6.2).

MOS Transistor	W/L ($\mu m/\mu m$)	Αντιστάσεις	Ω
$M_{r_1} - M_{r_4}$	0.4/0.2	R_{DAC}	11M
$M_{c_1} - M_{c_9}$	0.4/0.2	-	-
$M_{d_1} - M_{d_{16}}$	0.4/0.2	-	-

Επιπλέον, παρατηρούμε ότι ο MOSFET DAC παράγει 2 εξόδους συμμετρικές, ανάλογα με την λογική στάθμη (1 ή 0) στην οποία βρίσκεται η εκάστοτε είσοδος V_i . Ωστόσο, για την πλήρη συμβατότητα της αναλογικής τάσης εξόδου

Σχήμα 3.6.2: CMOS 8-bit DAC

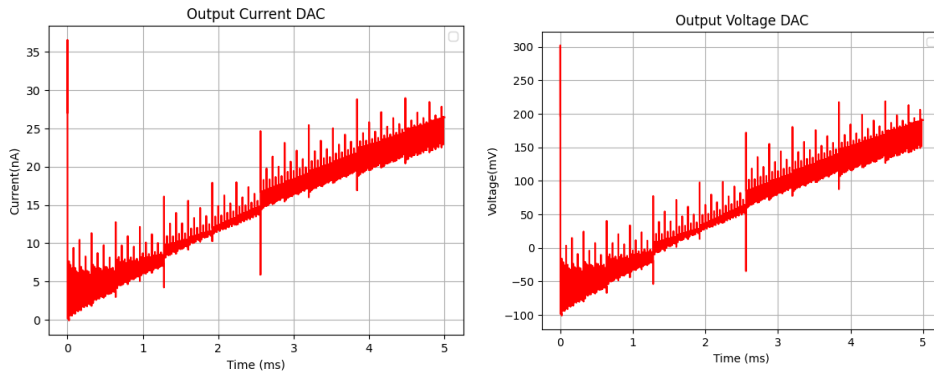


CMOS κυκλωματική υλοποίηση ενός Μετατροπέα Ψηφιακού-σε-Αναλογικό με εισόδους των 8 bit.

με την επιθυμητή περιοχή λειτουργίας τόσο του Bump όσο και του κυκλώματος ευκλείδειας απόστασης, απαιτείται ο κατάλληλος προσδιορισμός του ρεύματος εντός ενός επιθυμητού εύρους, το οποίο έχει ορισθεί στα $[-100mV, 100mV]$. Έτσι, για την τιμή 00000000 θέλουμε η έξοδος του μετατροπέα να δίνει καθαρά $-100mV$ ενώ για είσοδο 11111111 (ή στην εκάστοτε μέγιστη boolean τιμή του ψηφιακού χαρακτηριστικού) θέλουμε αντίστοιχη έξοδο DAC στα $100mV$. Για τον σκοπό αυτό, όπως υποδεικνύει και το σχήμα χρησιμοποιούνται αντιστάσεις R_{dac} , το ένα άκρο των οποίων αντιστοιχεί στην τιμή $V_{SS2} \approx -100mV$, η οποία παράγεται από τον αντίστοιχο regulator. Οι τελικές διαστάσεις αντιστάσεων και MOS παρατίθενται στον πίνακα 3.6.

Παρακάτω ακολουθούν τα αποτελέσματα προσομοίωσης στην έξοδο του DAC 3.6.3. Παρατηρούμε ότι ο μετατροπέας παράγει σχεδόν γραμμική μεταβολή από την επιθυμητή ελάχιστη στην επιθυμητή μέγιστη τιμή εξόδου. Στην εν λόγω γραφική, η τιμή των $100mV$ στην έξοδο δίνεται για την ψηφιακή είσοδο 77 ή αλλιώς 1001101 που αντιστοιχεί στην μέγιστη τιμή του αντίστοιχου χαρακτηριστικού. Επιπλέον, για τον διαιρέτη τάσης, παρατηρείται μία μικρή διακύμανση των νέων τάσεων τροφοδοσίας V_{DD2} και V_{SS2} , με την μέση τιμή και

την διασπορά τους να φαίνεται στον πίνακα 3.11. Τα άνωθι specification αποτελέσματα καθιστούν ικανοποιητική την χρήση του ως έναν on-chip μετατροπέα χαμηλής κατανάλωσης.



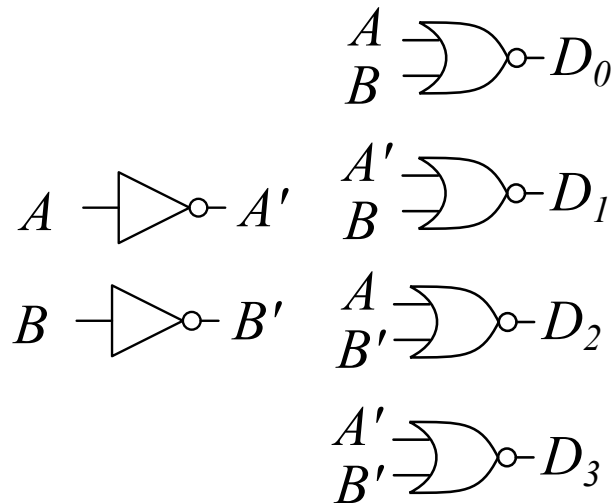
(α') Έξοδος ρεύματος στο V_0+ του μετατροπέα για εισόδους από 0 έως και 255 (β') Έξοδος τάσης στο V_0+ του μετατροπέα για εισόδους από 0 έως και 255

Σχήμα 3.6.3: Αποτελέσματα προσομοίωσης του 8-bit DAC

3.7 Digital Decoder

Το τελευταίο βασικό κυκλωματικό στοιχείο που σχεδιάστηκε και αξιοποιήθηκε ήταν ένας decoder, η υλοποίηση του οποίου φαίνεται στο σχήμα 3.7.1. Ο σκοπός που χρησιμοποιήθηκαν decoders στο σύστημα ταξινόμησης σχετίζεται με την ανάγκη για γραμμικοποίησή και διάσπασή τους σε πολλαπλά επιμέρους sub-features μονής διάστασης. Ο εν λόγω μετασχηματισμός των δεδομένων εισόδου παρατηρήθηκε ότι βελτιώνει αισθητά τα αποτελέσματα του software-based classifier, με το μόνο πιθανό ζήτημα να σχετίζεται με την αύξηση των μεμονομένων features στο αναλογικό σύστημα.

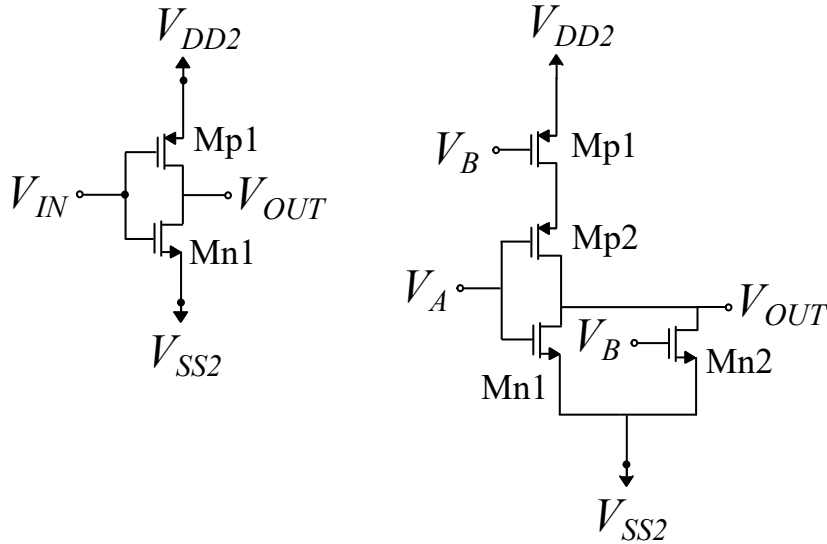
Όσον αφορά τα CMOS κυκλώματα που αξιοποιήθηκαν αυτά αφορούν τις not και not πύλες του αποκωδικοποιητή και παρουσιάζονται στο σχήμα 3.7.2. Όσον αφορά την πύλη not η είσοδος V_{IN} οδηγείται στο gate και των 2 transistors κάτω το οποίο έχει ως αποτέλεσμα την κάτωθι λειτουργία: όταν έρχεται λογικό 1 ή V_{DD} στην είσοδο τότε έχουμε $V_{GS_{PMOS}} \approx 0V$ με αποτέλεσμα να άγεται μόνο το λογικό μηδέν από το NMOS (και ακριβώς αντίστροφα για $V_G = V_{SS}$). Όσον αφορά την πύλη τύπου NOR, αυτή αποτελείται από τα σειριακά συνδεδεμένα transistors $Mp1$ και $Mp2$ και τα εν παραλλήλω $Mn1$, $Mn2$. Σε περίπτωση που τουλάχιστον ένα από τα 2 transistors άγει, τότε είτε το $Mn1$ είτε το $Mn2$



Σχήμα 3.7.1: 2-to-4 Digital Decoder

οδηγούνται στον κόρο, άρα άγουν λογικό μηδέν στην έξοδο. Απο την άλλη όταν έχουμε $V_A = V_B = V_{SS2}$, τότε προκύπτει ότι τα 2 NMOS transistors αποκόπτονται, με απόρροια να άγουν μόνο τα PMOS και να προκύπτει λογικό 1 στην έξοδο.

Τα αποτελέσματα προσομοίωσης του ταξινομητή φαίνονται στο σχήμα 3.7.3. Όταν αυτά συγκρίνονται με τις θεωρητικές εξόδους του decoder του πίνακα 3.7. Αξίζει να σημειωθεί εδώ ότι - όπως και με τον DAC - οι έξοδοι του ταξινομητή δίνονται από στο βέλτιστο διάστημα της γκαουσιανής κατανομής δηλαδή από $-100mV$ σε $100mV$, εξού και τα αντίστοιχα ψηφιακά blocks έχουν τροφοδοσίες V_{DD2} και V_{SS2} .



Σχήμα 3.7.2: CMOS πύλες τύπου NOR και NOT που χρησιμεύουν για την υλοποίηση του αποκωδικοποιητή

3.8 Low-Dropout Regulators

Όπως αναφέρθηκε παραπάνω, τόσο ο DAC όσο και ο Decoder, μετατρέπουν τις ψηφιακές εισόδους τους σε εξόδους οι οποίες φράζονται στην περιοχή $[-100mV, 100mV]$, η οποία αντιστοιχεί στο εύρος βέλτιστης λειτουργίας τόσο του Γκαουσιανού όσο και του Ευκλείδειου κυκλώματος. Για τον σκοπό αυτό, τα εν λόγω ψηφιακά κυκλώματα χρειάζονται τις αντίστοιχες τάσεις $V_{DD2} = 100mV$ και $V_{SS2} = -100mV$, οι οποίες παρέχονται από τους LDOs της εικόνας 3.8.1. Οι ρυθμιστές τάσεις έχουν ίδια αρχιτεκτονική μίας και αποτελούνται από τα εξής blocks: έναν error amplifier, ένα NMOS pass device και τον διαίρετη τάσης, η έξοδος του οποίου οδηγείται με ανάδραση στο $-$ του ενισχυτή.

Όσον αφορά την λειτουργία του, το ρεύμα εξόδου ελέγχεται σειριακά από το transistor, η αγωγή του οποίου αντίστοιχα ελέγχεται από τον error amplifier. Ο ενισχυτής λαμβάνει ως είσοδο την τάση ανάδρασης και μία τάση αναφοράς και ενισχύει την διαφορά τους. Όσο έχουμε $V_- = V_{in} < V_+ = V_{ref}$, τότε αυξάνεται η τάση V_G του NMOS με αποτέλεσμα να άγει περισσότερο ρεύμα και αυξάνεται η τάση τόσο στην έξοδο του ρυθμιστή όσο και στην έξοδο της ανάδρασης. Την ακριβώς αντίστροφη λειτουργία έχουμε για $V_{in} > V_{ref}$.

Για τον χαρακτηρισμό της λειτουργίας των regulators, αρχικά πρέπει να εξε-

Πίνακας 3.7: Θεωρητικές έξοδοι του αποκωδικοποιητή 2 σε 4(Σχήμα 3.7.2).

A	B	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

τασθεί το βασικό κοινό κυκλωματικό block, που είναι ο ενισχυτής σφάλματος. Για την εν λόγω υλοποίηση, επιλέχθηκε ένας 2-stage opamp ο οποίος φαίνεται στο σχήμα 3.8.2. Η συγκεκριμένη τοπολογία αποτελεί μία ικανοποιητική επιλογή για low-frequency εφαρμογές, όπως η δική μας [113]. Η αντιστάθμισή του - με σκοπό την αύξηση του phase margin - πραγματοποιείται μέσω των στοιχείων R_C και C_C . Η ρύθμιση των τιμών αυτών, καθώς και των διαστάσεων των *transistors* έγιναν, ώστε να επιτευχθεί ένας συνδιασμός από υψηλές τιμές DC κέρδους και phase margin (PM), με παράλληλη μείωση του unity-gain bandwidth. Μία σύνοψη των εν λόγω αποτελεσμάτων, μαζί με την closed-loop DC & AC απόκριση του ενισχυτή, παρουσιάζονται στον πίνακα 3.8 και στις εικόνες 3.8.3α', 3.8.3β' αντίστοιχα.

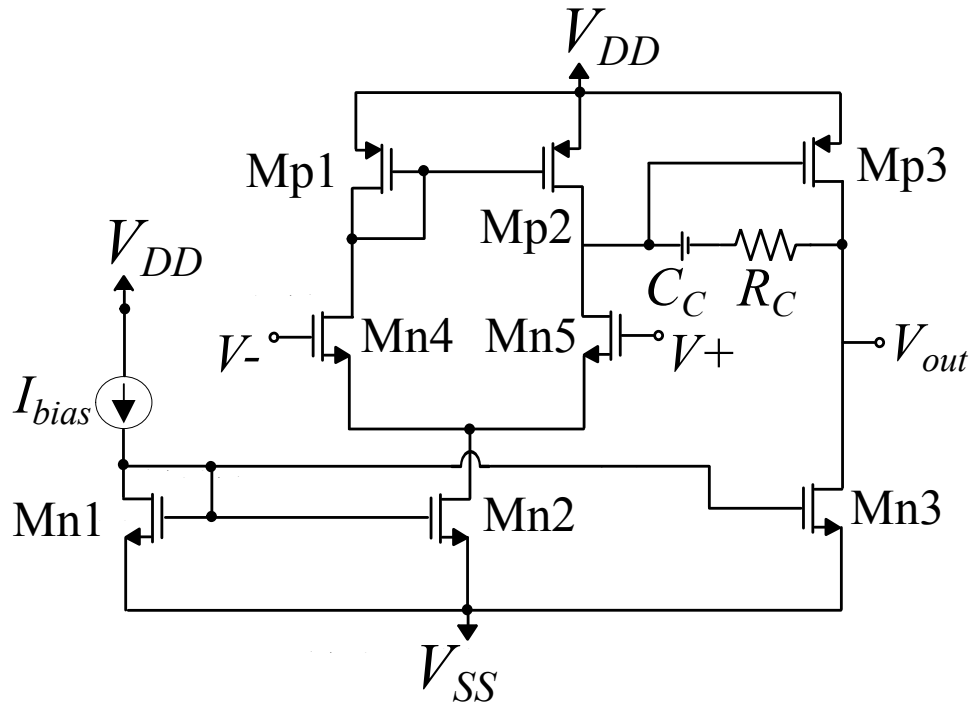
Πίνακας 3.8: Χαρακτηρισμός opamp (Σχήμα 3.8.2).

Specification	Achieved value
Phase Margin	81.28 deg
DC gain	44.17 dB
UGB	4 kHz

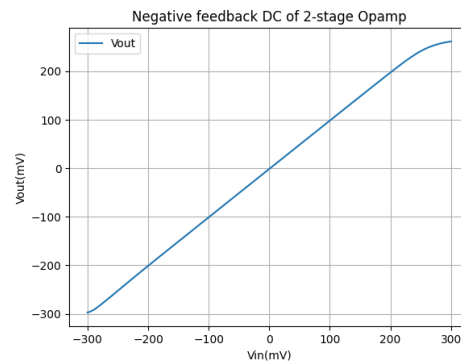
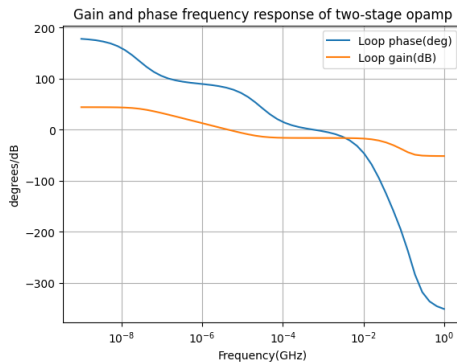
Αξίζει να τονισθεί ότι, για την επίτευξη αυξημένων τιμών κέρδους σε χαμηλές συχνότητες, έπρεπε να πραγματοποιηθεί μικρή αύξηση των διαστάσεων στα *transistors Mn4* και *Mn5* όπως φαίνεται και στον σχετικό πίνακα 3.9 (παρά την αμελητέα αύξηση στο UGB), κάτι που προκύπτει εύλογα και από τις σχέσεις:

$$A_v = g_{m_{in}} * r_{out} \quad (3.8.1)$$

$$w_t = \frac{g_{m_{in}}}{C_L} \quad (3.8.2)$$



Σχήμα 3.8.2: Ενισχυτής διαφορικής εισόδου με 2 στάδια ενίσχυσης και compensation components R_C, C_C



(α) Συχνотική ανάλυση του ενισχυτή 2 σταδίων ώστε να προσδιορισθεί η απόκριση κέρδους και φάσης σε συνδεσμολογία closed-loop

(β') Αποτελέσματα DC προσομοίωσης του ενισχυτή 2 σταδίων σε συνδεσμολογία closed-loop

Πίνακας 3.9: Διαστάσεις στο διασταδιακό opamp (Σχήμα 3.8.2).

MOS Transistors	W/L ($\mu m/\mu m$)	Στοιχεία	Ω/F
<i>Mn4, Mn5</i>	1.6/0.4	R_C	200K Ω
<i>Mn1 - Mn3</i>	0.4/0.2	C_C	10pF
<i>Mp1 - Mp3</i>	0.4/0.2	-	-

Συνολικά, παρατηρούμε ότι ο ενισχυτής ικανοποιεί όλες τις σχεδιαστικές προδιαγραφές που αναφέρθηκαν ως απαιτούμενες παραπάνω, τόσο σε κομμάτι DC όσο και AC ανάλυσης. Στην συνέχεια, έπρεπε να προσδιορισθεί τόσο το μέγεθος των pass-device transistors του σχήματος 3.8.1 και των αντιστάσεων στον διαρέτη τάσης, έτσι ώστε να επιτευχθούν οι επιθυμητές τιμές στην έξοδο των 2 LDOs. Οι τελικές τιμές παρατίθενται στον πίνακα 3.10. Παρατηρούμε ότι για την εξαγωγή των τιμών έχουν χρησιμοποιηθεί μεγαλύτερες τιμές αντιστάσεων και διαστάσεων στο NMOS στον LDO για το V_{DD2} , λόγω της μεγαλύτερης πτώσης τάσης που απαιτείται για την μετάβαση από το V_{SS} στο V_{DD2} (σε σχέση με το V_{SS2}).

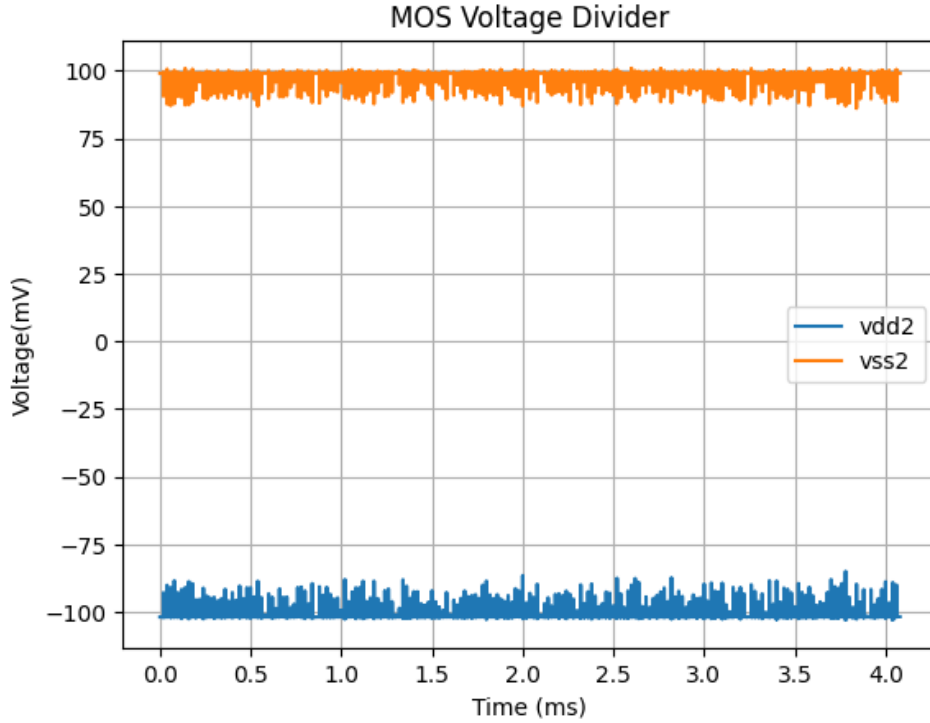
Πίνακας 3.10: Διαστάσεις αντιστάσεων και transistors

MOS Transistors	W/L ($\mu m/\mu m$)	Στοιχεία	Ω/F
<i>Mn1</i>	0.9/0.2	$R1, R2$	1M Ω
<i>Mn2</i>	0.2/1.9	$R3, R4$	500k Ω
-	-	C_C	10pF

Τα τελικά αποτελέσματα των LDOs, τόσο σε transient όσο και σε noise ανάλυση, παρουσιάζονται στις εικόνες 3.8.4 και 3.8.5. Παρατηρούμε ότι - και με βάση τα στατιστικά του πίνακα 3.11 - οι ρυθμιστές τάσεις βρίσκονται εντός αποδεκτών ορίων απόκλισης από τα 100mV και τα -100mV αντίστοιχα, ενώ δεν επηρεάζουν σημαντικά

3.9 Προτεινόμενη αρχιτεκτονική συστήματος

Με βάση την μαθηματική ανάλυση και τα σχεδιασμένα κυκλώματα, είναι αρκετά εμφανές ότι προκύπτουν διαφορετικές αρχιτεκτονικές υλοποίησης του αλγορίθμου και με διαφορετικούς τύπους εισόδων. Αρχικά, όσον αφορά τα βασικά



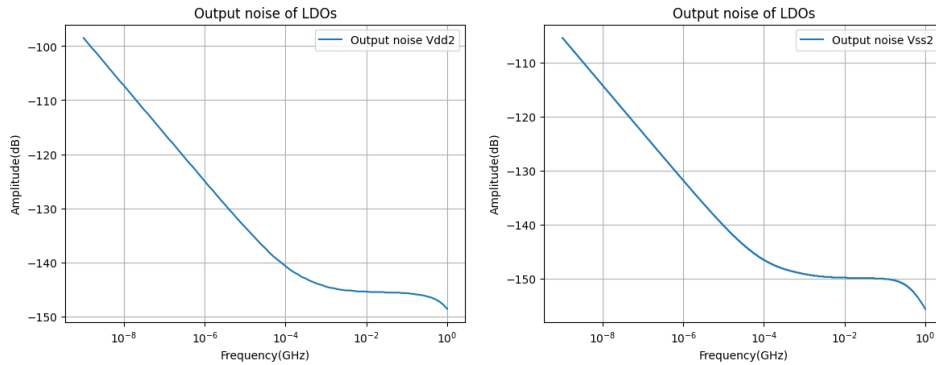
Σχήμα 3.8.4: Έξοδοι V_{SS2} και V_{DD2} regulator στην transient προσομοίωση ταξινομητή με ψηφιακές εισόδους κατά την διάρκεια μίας ταξινόμησης εισόδων

υπολογιστικά blocks αυτά σχετίζονται άμεσα με την εξαγωγή της μετρικής απόστασης ανά κλάση και την τελική επιλογή της κλάσης στην οποία θα ταξινομηθεί το εκάστοτε δεδομένο εισόδου. Στην περίπτωση χρήσης των Γκαουσιανών κυκλωμάτων, η μετρική απόστασης δίνεται από την σχέση:

$$d_c = \prod_{i=1}^{N_d} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_i|^2}{(\sigma_c)^2}} \quad (3.9.1)$$

Στην εν λόγω περίπτωση, η μετρική απόστασης αντιστοιχεί στην ελαχιστοποίηση της απόκλισης κάθε κλάσης από την μέγιστη μοναδιαία τιμή της posterior πιθανότητας, με αποτέλεσμα η νικήτρια κλάση να δίνεται από την σχέση:

$$c = \operatorname{argmax}_{i \in [1, N_c]} \{d_c\}. \quad (3.9.2)$$



(α') Απόκριση θορύβου για τον Regulator (β') Απόκριση θορύβου για τον Regulator του V_{DD2} του V_{SS2}

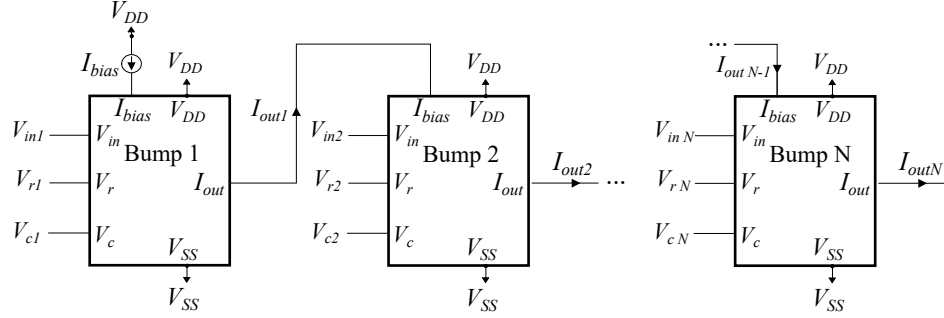
Σχήμα 3.8.5: Απόκριση θορύβου των 2 regulators

Πίνακας 3.11: Χαρακτηρισμός regulators (Σχήμα 3.8.1).

Output Voltage	Mean Voltage(mV)	Variance(%)
V_{DD2}	97.32	2.73
V_{SS2}	-100.44	2.51

Σε επίπεδο κυκλωματικό, μιας και η μετρική απόστασης ταυτίζεται με μία πολυδιάστατη Γκαουσιανή κατανομή, η κυκλωματική υλοποίησή της καλείται να 'μεταφράζει' τον πολλαπλασιασμό διαδοχικών γκαουσιανών συναρτήσεων. Κάτι τέτοιο επιτυγχάνεται μέσω της κασχοδικής σύνδεσης πολλαπλώς Bump κυκλωμάτων, στα οποία το ρεύμα εξόδου του $Bump_i$ αποτελεί ρεύμα πόλωσης για τον $Bump_{i+1}$ [114]. Έτσι, η hardware υλοποίηση των codebook vectors δίνεται στην εικόνα 3.9.1.

Παρόλα αυτά, η υλοποίηση των codebook vectors με πολυδιάστατες Γκαουσιανές κατανομές ενέχει σημαντικούς κινδύνους, ιδιαίτερα όσον αφορά το κυκλωματικό κομμάτι. Αρχικά, όπως προαναφέρθηκε, το βήμα ανανέωσης του LVQ - όπως φαίνεται και στην εξίσωση 2.1.7 - δεν περιλαμβάνει τρόπο ρύθμισης της διασποράς του Γκαουσιανού κυκλώματος. Αυτό έχει ως αποτέλεσμα την ανάγκη ρύθμισης των τάσεων V_{ci} σε μία σταθερή τιμή και ίδια για όλες τις επιμέρους κλάσεις. Επιπροσθέτως, η κασχοδική σύνδεση πολλαπλών γκαουσιανών κυκλωμάτων δύναται να επιφέρει πολύ μικρά ρεύματα εξόδου, ακόμα και



Σχήμα 3.9.1: Υλοποίηση του LVQ codebook vector ως μία πολυδιάστατη Γκαουσιανή κατανομή.

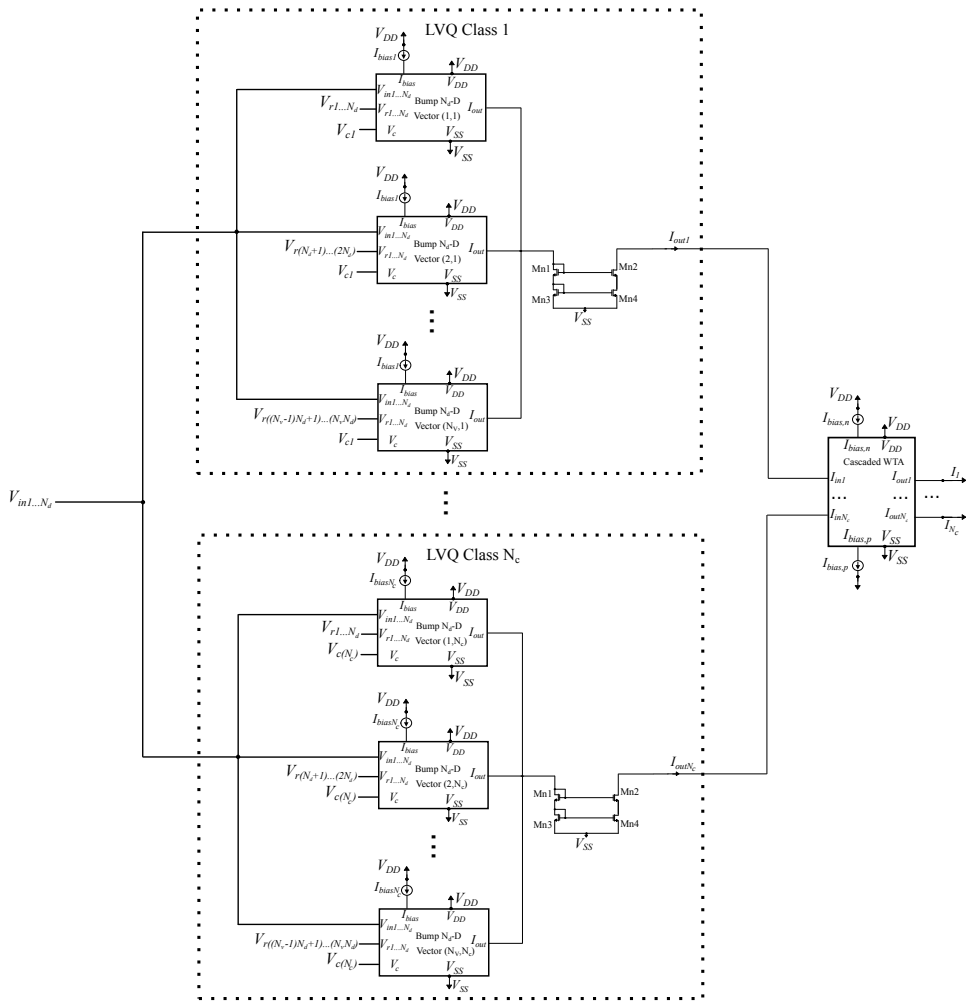
για την εκάστοτε νικήτρια κλάση, ενώ για τον ίδιο λόγο η χρήση τους στην εν λόγω συνδεσμολογία για μεγάλο αριθμό εισόδων ($N_d > 20$) θα μπορούσε να επιφέρει σημαντικές επιπτώσεις στα ποσοστά ταξινόμησης.

Για αυτόν τον λόγο, μία εναλλακτική σχέση για την υλοποίηση του LVQ σε υλικό δίνεται στο σχήμα 3.9.2. Σε αντίθεση με την χρήση ενός codebook vector ανά κλάση, εν προκειμένω, γίνεται χρήση πολλαπλών codebook vectors τα οποία μπορούν να χρησιμοποιηθούν με 2 διαφορετικούς τρόπους. Ο πρώτος, και αλγοριθμικά ενδεδειγμένος τρόπος, είναι για την δημιουργία πολλαπλών "αντιπροσώπων" οι οποίοι κατανέμονται στις επιμέρους κλάσεις. Με αυτόν τον τρόπο, μειώνεται σημαντικά η πιθανότητα εύρεσης λανθασμένου prototype. Παρόλα αυτά, στα πλαίσια της διπλωματικής, τα πολλαπλά codebook vectors ανά κλάση, χρησιμοποιούνται για τον διαχωρισμό των επιμέρους codebook vectors και κατέπεκταση την επίλυση του προβλήματος της χρήσης μίας σειράς κασχοδικά συνδεδεμένων bumps ως τον "εκπρόσωπο" κάθε κλάσης.

Μία δεύτερη εναλλακτική στο πρόβλημα διαστατικότητας που αντιμετωπίζουν οι Bumps έρχεται με την χρήση ευκλείδιων κυκλωμάτων για την μοντελοποίηση και υλοποίηση της μετρικής απόστασης, μέσω της σχέσης:

$$d_c = \sum_{i=1}^{N_d} |x - m_i|^2 \quad (3.9.3)$$

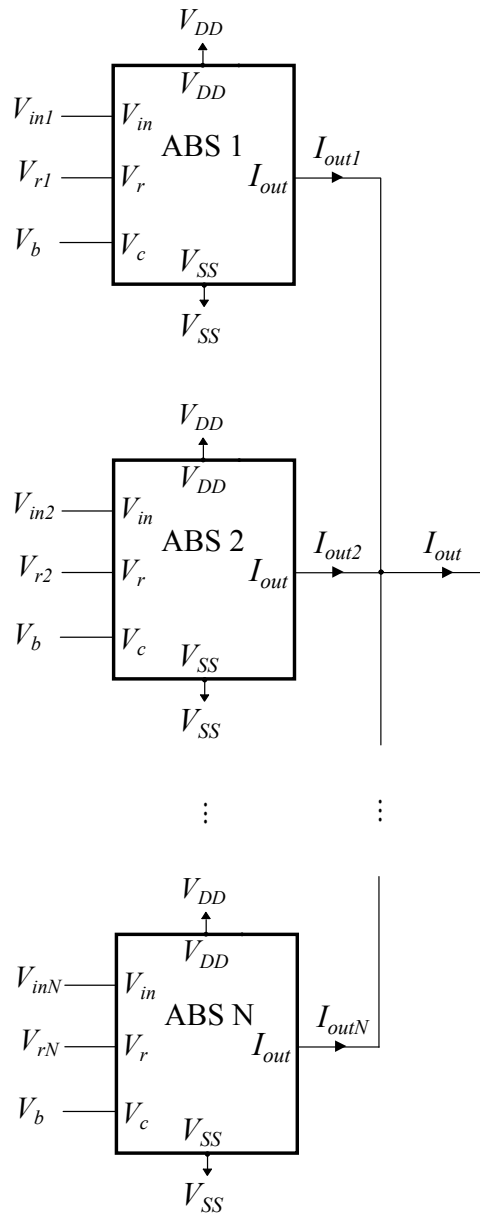
Κατέπεκταση, πλέον, η νικήτρια κλάση τόσο κατά της διαδικασία εκπαίδευσης όσο και κατά την διαδικασία ταξινόμησης έρχεται από την σχέση 2.3.1. Για τον σκοπό αυτό, γίνεται χρήση πολλαπλών ευκλείδιων κυκλωμάτων, των οποίων τα ρεύματα εξόδου αθροίζονται σε τοπολογία αντίστοιχη της εικόνας 3.9.3. Πέρα από την έλλειψη χαμηλών ρευμάτων στην έξοδο κάθε κλάσης, η εν



Σχήμα 3.9.2: Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με πολλαπλά gaussian codebook vectors.

λόγω υπολογιστική αρχιτεκτονική αφαιρεί την ανάγκη αυθαίρετης ρύθμισης των τάσεων διασποράς που απαιτούσαν οι Bumps. Πλέον, ο μοναδικός τρόπος ρύθμισης της εξόδου του βασικού υπολογιστικού block έρχεται μέσω της τάσης πόλωσης Vb που αντιστοιχεί στο ρεύμα I_{bias} των αντίστοιχων Γκαουσιανών κυκλωμάτων.

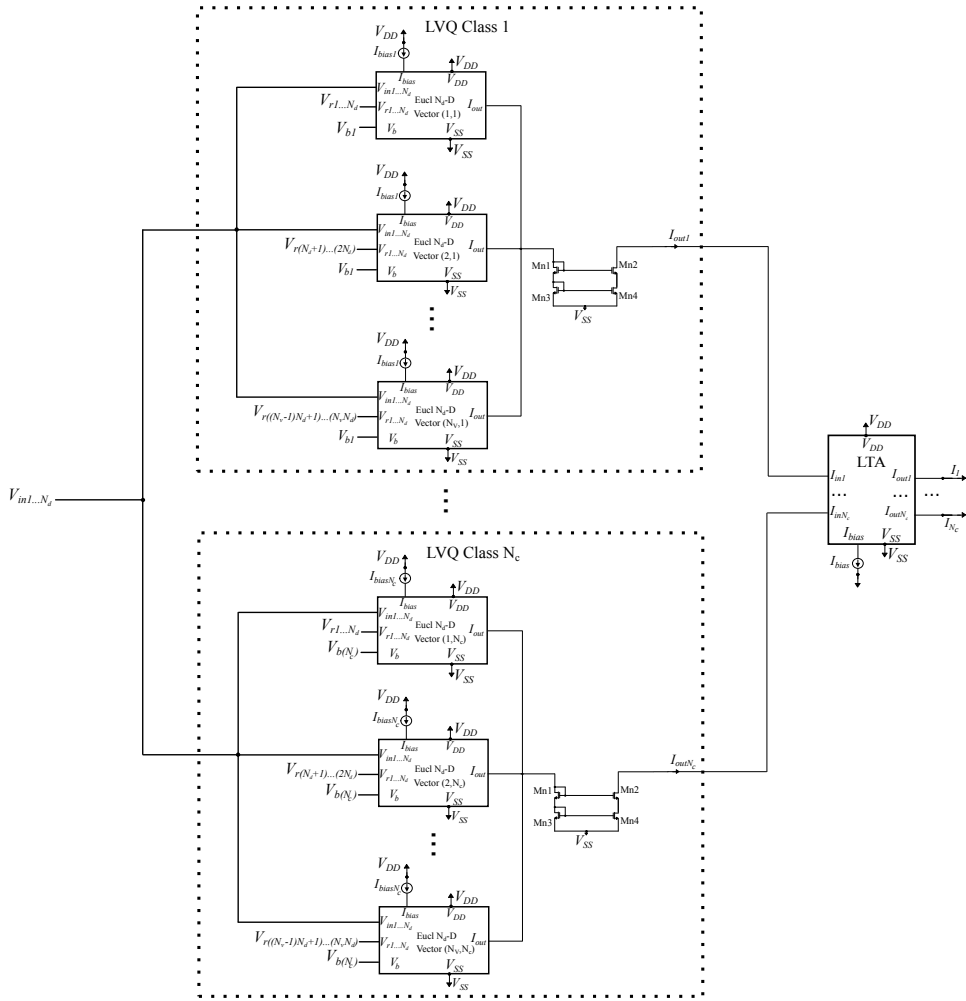
Αξίζει να σημειωθεί ότι η χρήση ευκλείδειων codebook vectors θα μπορούσε να επεκταθεί έτσι ώστε να γίνει χρήση πολλαπλών vectors ανά κλάση (ο καθένας με N_d δεδομένα), Μία τέτοια αρχιτεκτονική φαίνεται στο σχήμα 3.9.4.



Σχήμα 3.9.3: Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με πολλαπλά κυκλώματα ευκλείδειας απόστασης

Παρόλα αυτά μία τέτοια λογική αποφεύχθηκε να χρησιμοποιηθεί μιας και θα δημιουργούνταν πολλαπλά ρεύματα με πιθανώς υψηλές τιμές από κάθε vector τα

οποία θα αποτελούσαν είσοδοι του στον καθρέφτη ρεύματος στην έξοδο κάθε κλάσης, γεγονός το οποίο θα περιόριζε σημαντικά την ποιότητα καθρεφτισμού.



Σχήμα 3.9.4: Υλοποίηση του συστήματος ταξινόμησης βασισμένο στον LVQ με euclidean codebook vectors

Τέλος, όσον αφορά τον προσδιορισμό των διαφορετικών παραμέτρων που απαιτούνται για τον αναλογικό ταξινομητή, και εφόσον δεν υλοποιήθηκε κάποιο σύστημα on-chip προπόνησης [115], αυτό έγινε μέσω κατάλληλου off-line λογισμικού το οποίο λειτουργεί ως εξής: αρχικά, πραγματοποιείται φόρτωση του εκάστοτε set δεδομένων και κανονικοποίησή του στο ιδανικό εύρος τάσεων εισόδου, το οποίο και για τα γκαουσιανά και για τα ευκλείδια κυκλώματα ορίστηκε

στο $[-100mV, 100mV]$. Στην συνέχεια, γίνεται εκπαίδευση με βάση ένα custom μοντέλο του αλγορίθμου LVQ3 το οποίο αναπτύχθηκε με την βοήθεια της βιβλιοθήκης μηχανικής μάθησης Scikit-learn [116]. Το μοντέλο έχει ρυθμιστεί ώστε να λαμβάνει πολλαπλές διαφορετικές παραμέτρους, από το πλήθος των εποχών, τις παραμέτρους w , $\alpha(t)$ και s των εξισώσεων 2.3.5, 2.1.7, καθώς και τον τύπο προπόνησης (με γκαουσιανή ή ευκλείδια μετρική απόστασης). Στην συνέχεια, οι παράμετροι που αντιστοιχούν στις τιμές κάθε codebook vector για κάθε κλάση, μαζί με τις υπόλοιπες παραμέτρους των κυκλωμάτων που δεν προκύπτουν από την άνωθεν διαδικασία (όπως I_{bias} , V_{dd} κ.α.), αποτελούν είσοδοι του εκάστοτε αναλογικού κυκλώματος, μαζί με τις εισόδους (δηλαδή το εκάστοτε test-set). Αφού γίνει η transient προσομοίωση ταξινόμησης για όλα τα test-cases - με κάθε καινούργιο δεδομένο εισόδου να εισάγεται κάθε $20\mu sec$ που αντιστοιχεί σε συχνότητα $50kHz$ - τα ρεύματα εξόδου συγκρίνονται τόσο με τα ground truth labels που προσφέρει το dataset όσο και με τα αποτελέσματα που δίνει η υλοποίηση λογισμικού, για να προσφερθεί ένα μέτρο αξιολόγησης του ταξινομητή μας.

Κεφάλαιο 4

Εφαρμογές και αποτελέσματα

Στο εν λόγω κεφάλαιο θα γίνει παρουσίαση των αποτελεσμάτων ταξινόμησης του αναλογικού ταξινομητή βασισμένου στον LVQ. Η στρατηγική και η σειρά των εφαρμογών που παρουσιάζεται παρακάτω επιλέχθηκε, έτσι ώστε όχι μόνο να πραγματοποιηθεί αύξηση των διαστάσεων των χρησιμοποιούμενων datasets αλλά και η εισαγωγή ψηφιακών εισόδων, όπου κρινόταν ότι η εφαρμογή το απαιτούσε. Όσον αφορά την αξιολόγηση των διαφόρων συστημάτων που σχεδιάστηκαν, παρατίθενται μετρικές όπως η σύγκριση ακρίβειας για 20 εποχές τόσο της software όσο και της hardware υλοποίησης, καθώς και η μέση κατανάλωση και τα αποτελέσματα προσομοίωσης Monte Carlo για το configuration με τα υψηλότερα ποσοστά ακρίβειας.

4.1 Ταξινόμηση χειρόγραφων ψηφίων

Η πρώτη εφαρμογή στην οποία αξιολογήθηκε ο ταξινομητής σχετίζεται με την αναγνώριση ψηφίων. Συγκεκριμένα, χρησιμοποιήθηκε το τεχνητό σύνολο δεδομένων της Scikit-learn [117]. Συγκεκριμένα, το εν λόγω σύνολο περιλαμβάνει 5620 ασπρόμαυρες εικόνες με διάσταση 8×8 η καθεμία. Στην συνέχεια, γίνεται χρήση της βιβλιοθήκης όρασης υπολογιστών OpenCV [118], με σκοπό την μείωση της διαστατικότητάς των εικόνων grid 5×5 . Στην συνέχεια, τα δεδομένα κανονικοποιούνται στο εύρος $[-100mV, 100mV]$, έτσι ώστε να δοθούν σαν αναλογικές τάσεις εισόδου στον ταξινομητή. Λόγω της πληθώρας εικόνων, σε συνδιασμό με την ανάγκη πολλαπλών δεδομένων για προπόνηση, επιλέχθηκαν μόλις 281 εικόνες, δηλαδή το 5% των εικόνων για αξιολόγηση/testing.

Η αρχιτεκτονική όσον αφορά την υλοποίηση του codebook vector για την

εν λόγω εφαρμογή φαίνεται στην εικόνα 4.1.1. Παρατηρούμε ότι η υψηλή διαστατικότητα των δεδομένων κατέστησε ανέφικτη την κασχοδική σύνδεση των Bump σε μορφή όπως αυτή της εικόνας 3.9.1. Έτσι, προτιμήθηκε η συνελικτική μορφή της μετρικής απόστασης, η οποία διέπεται από την εξίσωση:

$$\begin{aligned}
 d_c = & \prod_{i=1}^5 \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_i|^2}{(\sigma_c)^2}} + \prod_{j=6}^{10} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_j|^2}{(\sigma_c)^2}} + \\
 & + \prod_{k=11}^{15} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_k|^2}{(\sigma_c)^2}} + \prod_{l=16}^{20} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_l|^2}{(\sigma_c)^2}} + \\
 & + \prod_{m=21}^{25} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_m|^2}{(\sigma_c)^2}} +
 \end{aligned}
 \tag{4.1.1}$$

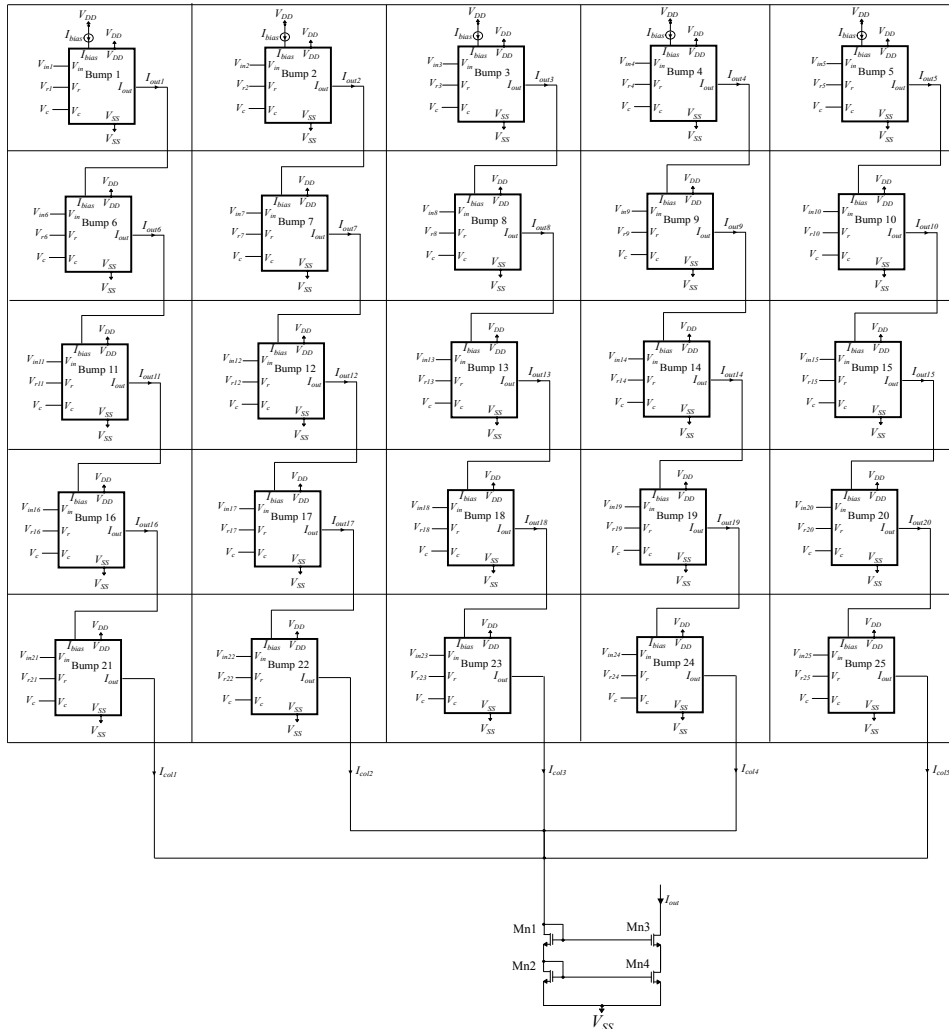
Τα αποτελέσματα που αφορούν την ακρίβεια του ταξινομητή για 20 επαναλήψεις - η κατανάλωση του οποίου μετρήθηκε στα $1.2uW$ - παρατίθενται στην εικόνα 4.1.3, ενώ η αντίστοιχη στατιστική τους σύνοψη δίνεται στον πίνακα 4.2. Συνολικά, ο ταξινομητής στην αναλογική του μορφή χάνει μόλις 1.1% σε σχέση με την υλοποίηση στο λογισμικό, κάτι το οποίο επαληθεύει την εγκυρότητα της μεθόδου, και μάλιστα σε ένα πρόβλημα υψηλής διαστατικότητας και με πολλαπλές κλάσεις. Επιπροσθέτως, έγινε και προσομοίωση του συστήματος μορφής Monte-Carlo 4.1.2 4.1, όπου παρουσιάστηκε μέση ακρίβεια στο 93.41% με τυπική απόκλιση κάτω του 1%. Με βάση τα παραπάνω, η επίδοση του αρχικού ταξινομητή κρίθηκε ικανοποιητική έτσι ώστε να συνεχίσουμε με την δοκιμή του σε πραγματικά σύνολα δεδομένων.

Πίνακας 4.1: Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο Digit Recognition dataset

Method	Best (%)	Worst (%)	Mean (%)	Std. (%)	Power (uW)
Hardware	94.0	92.4	93.41	0.56	2.76

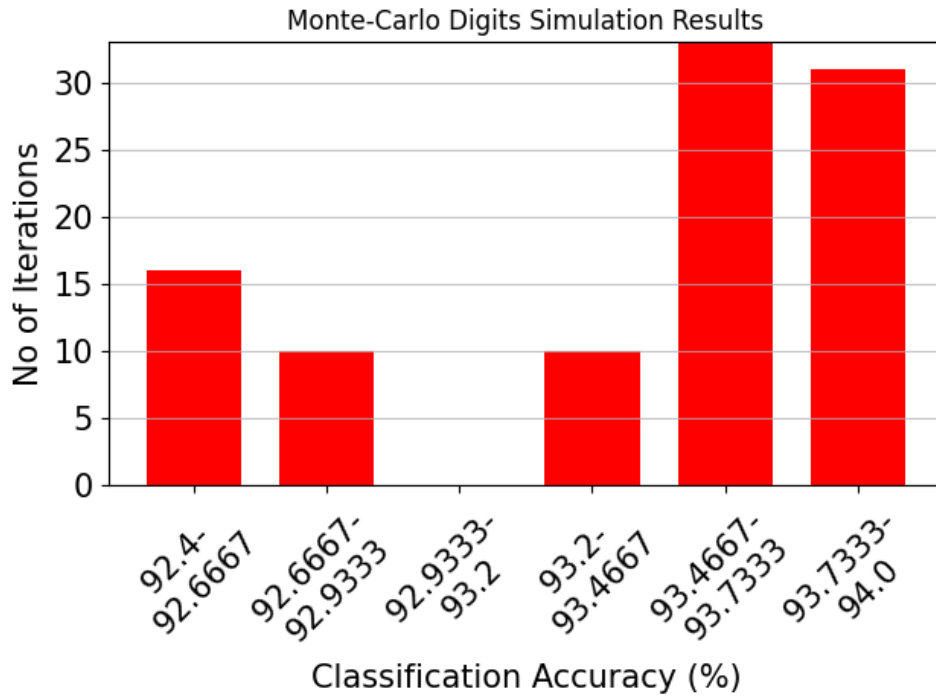
4.2 Ανίχνευση ελατωματικών κινητήρων

Η επόμενη εφαρμογή στην οποία χρησιμοποιήθηκε ο LVQ αφορά την ανίχνευση ελατωματικών κινητήρων με βάση το Bearing Vibration Data under Time-



Σχήμα 4.1.1: Αρχιτεκτονική συστήματος για την μία κλάση του LVQ στο digit recognition dataset με διαχωρισμό των επιμέρους inputs σε 5 codebook vectors. Το index κάθε Bump στο σχηματικό υποδηλώνει το αντίστοιχο pixel εισόδου

varying Rotational Speed Conditions (VSB [119]) από το Mendeley Dataset. Συγκεκριμένα, το σύνολο περιλαμβάνει σήματα δόνησης από ρουλεμάν τα οποία είναι είτε λειτουργικά είτε κατεστραμμένα στον εσωτερικό ή στο εξωτερικό οδηγό, κάτι το οποίο δημιουργεί 3 labels για τα δεδομένα. Τα σήματα δόνησης μετρώνται από ένα επιταχυνσιόμετρο τα οποία μετέπειτα χρησιμοποιούνται

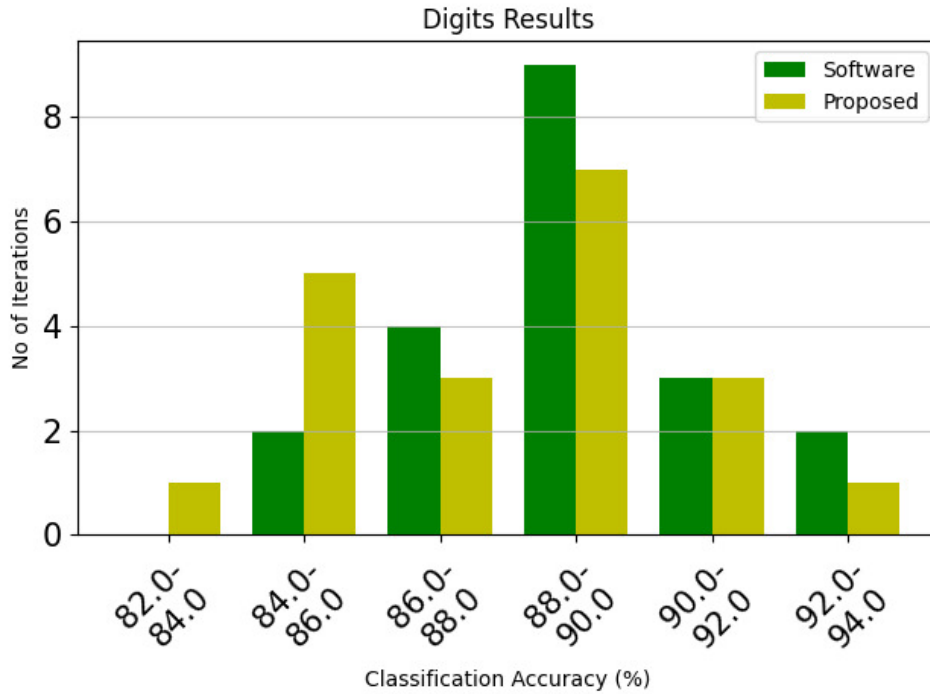


Σχήμα 4.1.2: Monte-Carlo simulation results on the Digit Recognition Dataset for 100 iterations

Πίνακας 4.2: Accuracy Results on the Digit Recognition (over 20 iterations).

Method	Best (%)	Worst (%)	Mean (%)	Std. (%)
Software	94.0	85.0	88.8	2.17
Hardware	93.6	82.0	87.74	2.67

για το feature extraction. Τα δεδομένα του επιταχυνσιόμετρου περιλαμβάνουν πολλαπλές εγγραφές των 10 δευτερολέπτων οι οποίες στην συνέχεια χωρίζονται σε 10 τμήματα του 1 δευτερολέπτου το καθένα. Ο ρυθμός δειγματοληψίας του επιταχυνσιόμετρου ήταν στα $200kHz$ ενώ η προεπεξεργασία δίνει 13 συνολικά χαρακτηριστικά, εκ των οποίων κρατιούνται τα 8 για τον ταξινομητή LVQ, όπως φαίνεται και στον πίνακα 4.3. Τέλος, στα πλαίσια των προσομοιώσεων, έγινε χωρισμός των δεδομένων σε ποσοστό 70% - 30% κάτι που αντιστοιχεί σε 107 δεδομένα για αξιολόγηση.



Σχήμα 4.1.3: Classification results of the proposed architecture (yellow) and the equivalent software model (green) on the Digit Recognition dataset over 20 iterations.

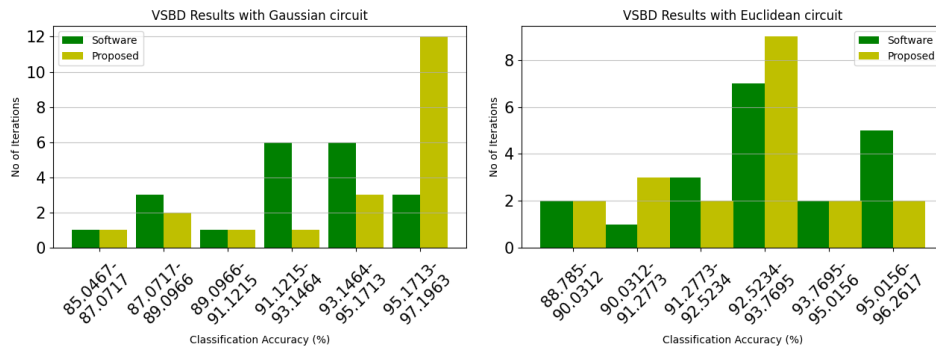
Όσον αφορά τα αποτελέσματα ταξινόμησης, χρησιμοποιήθηκαν 2 διαφορετικές τοπολογίες, μία η οποία βασίστηκε στην ευκλείδια μετρική απόστασης (σχήμα 3.9.3) και μία στην Γκαουσιανή (σχήμα 3.9.1), με $N = 8$ και στα 2 codebook vectors. Η σύγκριση των 2 τοπολογιών είναι έτσι ώστε να αναδειχθούν συγκριτικά τα πλεονεκτήματα και τα μειονεκτήματα κάθε αρχιτεκτονικής, που αφορούν την σχετική ακρίβεια, την κατανάλωση ισχύος καθώς και την διαφορετική συμπεριφορά σε κυκλωματικές αστάθειες.

Αρχικά, παρατίθενται τα συγκριτικά accuracy scores των 2 τοπολογιών για 20 επαναλήψεις τόσο στην εικόνα 4.2.1 όσο και στον πίνακα 4.4. Παρατηρούμε ότι - τόσο σε επίπεδο λογισμικού όσο και σε επίπεδο υλικού - η υλοποίηση με την ευκλείδια απόσταση υστερεί σε επίδοση σε σχέση με την αντίστοιχη γκαουσιανή. Αυτό πιθανότατα έγκειται στο γεγονός ότι το γκαουσιανό κύκλωμα προσφέρει την δυνατότητα για ηλεκτρονική ρύθμιση και της διασποράς της Γκαουσιανής κατανομής κάτι που το ευκλείδιο κύκλωμα αδυνατεί να προσφέρει (η τάση πόλωσης V_b ρυθμίζει την μέγιστη και την ελάχιστη τιμή του ρεύματος

Πίνακας 4.3: Εξαγόμενα χαρακτηριστικά από το VSBD dataset [1]

Statistic	Equation	Statistic	Equation
Root mean square	$\text{RMS} = \sqrt{\frac{1}{N} \sum_{i=1}^N x_i^2}$	Crest factor	$\text{CF} = \frac{\max(x_i)}{\text{RMS}}$
Peak-to-peak value	$\text{PPV} = \max(x_i) - \min(x_i)$	Impulse factor	$\text{IF} = \frac{N \cdot \max(x_i)}{\sum_{i=1}^N x_i }$
Kurtosis value	$\text{KV} = \frac{1}{N} \sum_{i=1}^N \left(\frac{x_i - \mu_x}{\sigma_x} \right)^4$	Margin factor	$\text{MF} = \frac{\max(x_i)}{\text{SRA}}$
Skewness value	$\text{SV} = \frac{1}{N} \sum_{i=1}^N \left(\frac{x_i - \mu_x}{\sigma_x} \right)^3$	Shape factor	$\text{SF} = \frac{\max(x_i)}{\text{SV}}$

εξόδου).



(α) Αποτελέσματα ακρίβειας του ταξινομητή με Γκαουσιανή μετρική απόστασης μητή με 20 επαναλήψεις (β') Αποτελέσματα ακρίβειας του ταξινομητή με Ευκλείδια μετρική απόστασης μητή με 20 επαναλήψεις

Σχήμα 4.2.1: Σύγκριση των αποτελεσμάτων ακρίβειας των 2 ταξινομητών στο VSBD dataset για 20 επαναλήψεις

Παρόλα αυτά, λόγω χρήσης τάσης αντί για ρεύματος πόλωσης, η υλοποίηση με το κύκλωμα ευκλείδιας απόστασης προσφέρει σημαντική μείωση στην

Πίνακας 4.4: Σύνοψη αποτελεσμάτων ακρίβειας στο VSBD dataset για τις 2 συγκρινόμενες τοπολογίες

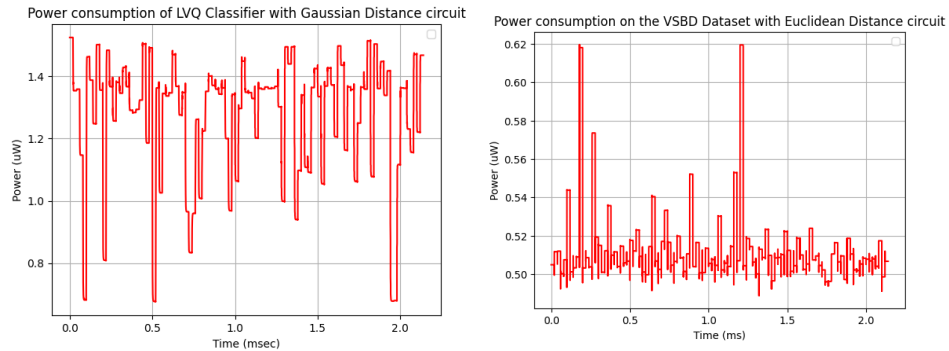
Method	Best (%)	Worst (%)	Mean (%)	Std. (%)
Software gaussian	97.19	86.81	92.38	2.68
Hardware gaussian	97.19	85.04	94.01	3.40
Software euclidean	96.26	88.78	93.17	2.09
Hardware euclidean	95.32	89.71	92.57	1.65

κατανάλωση, κάτι που φαίνεται και στα transient αποτελέσματα κατανάλωσης στο σχήμα 4.2.2. Όσον αφορά την μέση τιμή κατανάλωσης που επιτεύχθηκε σε κάθε προσομοίωση, για την ευκλείδια τοπολογία πήραμε $511nW$ σε σχέση με τα $1.28uW$ της γκαουσιανής. Αυτό έγκειται τόσο στην απουσία κασχοδικού κυκλώματος για τον $\text{argmin}/\text{argmax}$ operator όσο και στην πόλωση του κυκλώματος ευκλείδιας απόστασης με τάση αντί για ρεύμα πόλωσης. Συνεπώς, οδηγούμαστε στο συμπέρασμα ότι για εφαρμογές οι οποίες απαιτούν ακόμα πιο χαμηλή κατανάλωση από αυτήν που προσφέρει η Γκαουσιανή υλοποίηση, η χρήση του ταξινομητή LVQ με ευκλείδιο codebook vector καθίσταται μία ελκυστική εναλλακτική.

Τέλος, στην εικόνα 4.2.3 παρατίθενται τα αποτελέσματα από τις Monte-Carlo προσομοιώσεις που έγιναν και για τις 2 διαφορετικές αρχιτεκτονικές (για $N = 100$ επαναλήψεις). Και τα 2 συστήματα έχουν μέσες τιμές ταξινόμησης πολύ κοντά στις ονομαστικές, όπως φαίνεται και στον σχετικό πίνακα 4.5, με τυπική απόκλιση τιμών ακρίβειας κάτω του 1%. Τα εν λόγω αποτελέσματα επαληθεύουν την έγκυρη πόλωση και λειτουργία των υπολογιστικών κυκλωμάτων και στις 2 υλοποιήσεις.

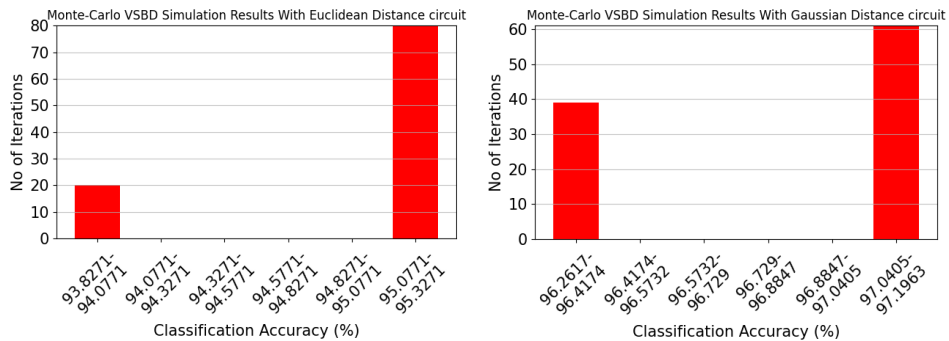
Λόγω της καλύτερης επίδοσής της, επιλέχθηκε να πραγματοποιηθεί το layout του ταξινομητή LVQ για την τοπολογία με τους κασχοδικά συνδεδεμένους Bumps, όπως φαίνεται και στην εικόνα 4.2.4. Η τεχνική που χρησιμοποιήθηκε για το layout βασίστηκε στο common-centroid και χρησιμοποιούνται επιπλέον dummy transistors για την αποφυγή mismatches και αστοχιών κατά την κατασκευή [120] [121].

Στη βιβλιογραφία, πολλοί αναλογικοί ταξινομητές είναι προσαρμοσμένοι σε



(α) Μέτρηση κατανάλωσης για τον ταξινομητή με Γκαουσιανή μετρική απόστασης στο VSBD dataset (β') Μέτρηση κατανάλωσης για τον ταξινομητή με Ευκλείδεια μετρική απόστασης στο VSBD dataset

Σχήμα 4.2.2: Σύγκριση κατανάλωσης των 2 ταξινομητών στο VSBD dataset



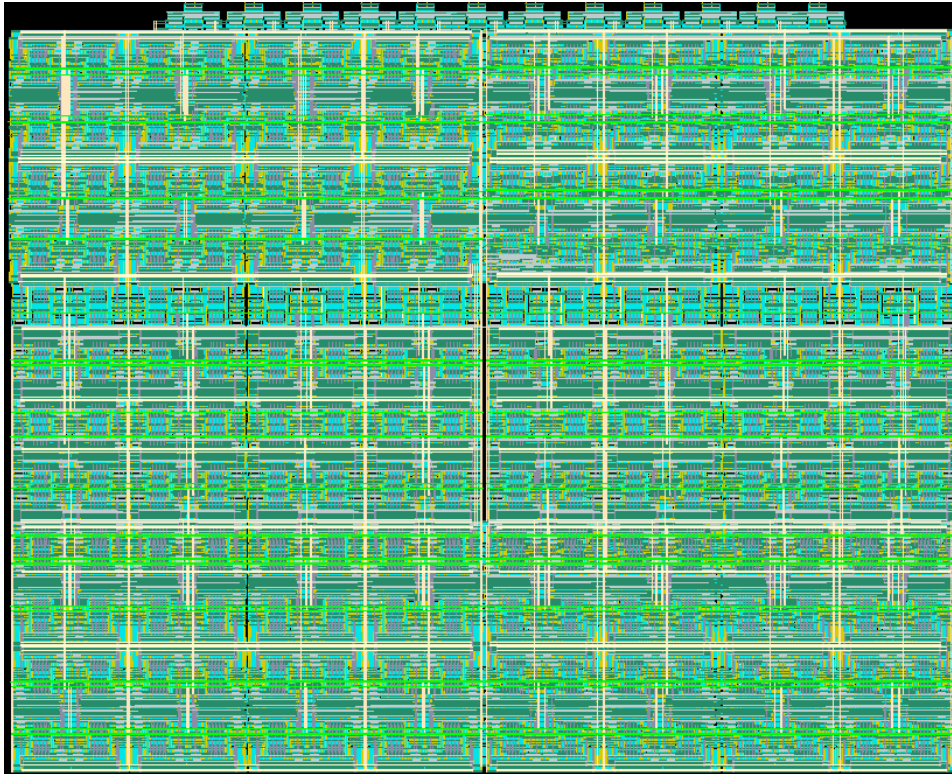
(α) Αποτελέσματα Monte-Carlo για την αρχιτεκτονική με την Ευκλείδεια μετρική απόστασης στο σύνολο δεδομένων VSBD (β') Αποτελέσματα Monte-Carlo για την αρχιτεκτονική με την Γκαουσιανή μετρική απόστασης στο σύνολο δεδομένων VSBD

Σχήμα 4.2.3: Σύγκριση αποτελεσμάτων Monte-Carlo για το καλύτερο configuration κάθε αρχιτεκτονικής ταξινόμησης

συγκεκριμένες εφαρμογές, καθιστώντας δύσκολη τη διεξαγωγή μιας αμερόληπτης σύγκρισης μεταξύ των διαφόρων υλοποιήσεων. Ωστόσο, η ομάδα Σχεδίασης Αναλογικών Μικροηλεκτρονικών Κυκλωμάτων του Εθνικού Μετσόβιου Πολυτεχνείου (ΣΑΜΚ ΕΜΠ) έχει αναπτύξει διάφορους ταξινομητές χρησιμοποιώντας διαφορετικά μοντέλα μηχανικής μάθησης και έχουμε τη δυνατότητα να τους προσαρμόσουμε για την ίδια εφαρμογή με αυτήν που εξετάστηκε σε αυτήν τη μελέτη. Ως αποτέλεσμα, παρουσιάζεται μια ολοκληρωμένη σύγκριση

Πίνακας 4.5: Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο VSBD dataset για τις 2 συγκρινόμενες τοπολογίες

Method	Best (%)	Worst (%)	Mean (%)	Std. (%)
Hardware gaussian	97.19	96.26	96.83	0.45
Hardware euclidean	95.32	93.82	95.02	0.6



Σχήμα 4.2.4: Layout του ταξινομητή LVQ με Γκαουσιανά codebook vectors για κάθε κλάση.

των προηγούμενων εργασιών μας που σχετίζονται με τους εν λόγω ταξινομητές. Συγκεκριμένα, ο Πίνακας 4.6 προσφέρει μια σύνοψη απόδοσης πολλών ταξινομητών, συμπεριλαμβανομένου ενός αναλογικού Centroid-based classifier [122],

	Classifier	Min accuracy	Mean accuracy	Max accuracy	Power consumption	Processing speed	Energy per classification	Estimated area
This work	LVQ with RFB kernel	0.85	0.940	0.971	1.28 μ W	50K $\frac{\text{classifications}}{\text{s}}$	25.6 pJ classification	0.342mm ²
This work	LVQ with Euclidean kernel	0.88	0.925	0.953	511nW	50K $\frac{\text{classifications}}{\text{s}}$	10.22 pJ classification	--
[122]	Centroid	0.832	0.921	0.957	2.86 μ W	100K $\frac{\text{classifications}}{\text{s}}$	28.6 pJ classification	0.402mm ²
[123]	GMM	0.805	0.87	0.925	1.39 μ W	125K $\frac{\text{classifications}}{\text{s}}$	11.12 pJ classification	0.353mm ²
[124]	Fuzzy	0.871	0.937	0.968	832nW	4.55K $\frac{\text{classifications}}{\text{s}}$	182.55 pJ classification	0.571mm ²
[31]	Bayes	0.734	0.811	0.891	870nW	100K $\frac{\text{classifications}}{\text{s}}$	8.7 pJ classification	0.178mm ²
[125]	Threshold	0.867	0.892	0.921	471nW	100K $\frac{\text{classifications}}{\text{s}}$	4.71 pJ classification	0.123mm ²
[32]	SVM	0.823	0.832	0.845	72 μ W	140K $\frac{\text{classifications}}{\text{s}}$	514.28 pJ classification	0.818mm ²

Πίνακας 4.6: Analog classifiers' comparison on the VSBD dataset.

ενός Gaussian Mixture Model (GMM) [123], ενός συστήματος Fuzzy Inference [124], ενός ταξινομητής Bayes [31], μίας προσέγγιση βάσει κατωφλίου [125] και ενός ταξινομητή τύπου SVM [32]. Πρέπει να σημειωθεί ότι τα δύο τελευταία συστήματα ταξινόμησης είναι δυαδικοί ταξινομητές (πρόβλημα 2 κλάσεων), ταξινομώντας τα δείγματα δοκιμής σε ελαττωματικούς ή μη κινητήρες.

Οι αναλογικοί ταξινομητές παρουσιάζουν συνήθως χαμηλότερη ακρίβεια από τους αντίστοιχους ψηφιακούς, γεγονός που μπορεί να τους καταστήσει ακατάλληλους για ορισμένες real-time εφαρμογές. Όπως αποδεικνύεται στον Πίνακα 4.6, και οι 2 προτεινόμενοι ταξινομητές τύπου LVQ επιτυγχάνει έναν βέλτιστο συνδυασμό χαμηλής κατανάλωσης ενέργειας και απόδοσης υψηλής ακρίβειας σε σύγκριση με άλλους αναλογικούς ταξινομητές. Μάλιστα, ο ταξινομητής LVQ με Γκαουσιανό kernel ξεπερνά τους άλλους αναλογικούς ταξινομητές, όσον αφορά την ακρίβεια ταξινόμησης, λόγω της σχεδιαστικής επιλογής χρήσης ενός πιο αποτελεσματικού και πολύπλοκου μοντέλου λογισμικού. Αυτό το πλεονέκτημα έρχεται σε βάρος της μειωμένης ταχύτητας επεξεργασίας και της αποδοτικότητας της περιοχής. Από την άλλη, ο ταξινομητής με την Ευκλείδεια μετρική απόστασης - αν και διαθέτει μειωμένη ακρίβεια - επιτυγχάνει αισθητά χαμηλότερη κατανάλωση, η οποία υπερνικάται μονάχα από τον threshold classifier.

Σε σύγκριση με τον ασαφή ταξινομητή [124], η αρχιτεκτονική με την Γκαουσιανή συνάρτηση επιτυγχάνει σχεδόν την ίδια μέση ακρίβεια ταξινόμησης, αλλά καταναλώνει περίπου 7 φορές λιγότερη ενέργεια ανά ταξινόμηση, καθιστώντας την μια πιο ενεργειακά αποδοτική επιλογή. Είναι σημαντικό να σημειωθεί ότι για αυτό το συγκεκριμένο παράδειγμα εφαρμογής, η υψηλή ταχύτητα ταξινόμησης δεν αποτελεί πρωταρχική απαίτηση. Επομένως, στην προτεινόμενη αρχιτεκτονική, η ταχύτητα επεξεργασίας έχει μειωθεί σκόπιμα για να επιτευχθεί χαμηλότερη κατανάλωση ενέργειας. Ωστόσο, αυτό οδηγεί σε υψηλότερη κατανάλωση ενέργειας ανά ταξινόμηση. Συνολικά, λαμβάνοντας υπόψη τις ειδικές ανάγκες της εφαρμογής, ο προτεινόμενος ταξινομητής LVQ εξακολουθεί να αποδεικνύεται ελκυστική επιλογή, επιτυγχάνοντας τη σωστή ισορροπία μεταξύ απόδοσης

ισχύος και ακρίβειας, ενώ η παραλλαγή με την Ευκλείδεια μετρική απόστασης θα μπορούσε να προτιμηθεί σε περιπτώσεις όπου απαιτείται ικανοποιητικά υψηλή ακρίβεια σε αισθητά χαμηλότερη κατανάλωση.

4.3 Πρόωρη ανίχνευση καρδιαγγειακών παθήσεων

4.3.1 Εισαγωγή

Οι καρδιαγγειακές παθήσεις (CVDs) αποτελούν τον πρώτο λόγο θανάτων παγκοσμίως, αντιστοιχώντας σε κατά μέσο όρο 17.9 εκατομμύρια θανάτους ή αλλιώς το 31% των συνολικών ετήσιων θανάτων [126]. Μάλιστα, από όλους τους θανάτους που σχετίζονται άμεσα με καρδιαγγειακά προβλήματα, η πλειονότητα αυτών οφείλεται στον συνδιασμό εγκεφαλικών επεισοδίων και εμφραγμάτων. Το εν λόγω γεγονός αναδεικνύει την γενικότητα του προβλήματος καθώς και την μεγάλη διαστατικότητα του, κάτι που μας οδηγεί στο συμπέρασμα ότι υπάρχει μία μεγάλη πληθώρα αιτιών που σχετίζονται άμεσα ή έμμεσα με CVDs. Με αυτόν τον τρόπο, γίνεται ευκόλως κατανοητό ότι η χρήση μοντέλων μηχανικής μάθησης καθίσταται ένας πολλά υποσχόμενος τομέας για την εύρεση των υποκαλυπτόμενων προτύπων πίσω από την εμφάνιση καρδιοπαθειών [127] [128].

4.3.2 Εφαρμογή ταξινομητή

Η τελική εφαρμογή στην οποία αξιοποιήθηκε ο αναλογικός ταξινομητής είχε να κάνει με την πρόγνωση καρδιαγγειακών προβλημάτων και το αντίστοιχο dataset αποκτήθηκε από το αποθετήριο μηχανικής μάθησης του Πανεπιστημίου της Καλιφόρνια, Irvine (UCI) [129]. Συγκεκριμένα, το εν λόγω σύνολο δεδομένων αποτελεί συνδιασμό 5 επιμέρους υπο-συνόλων, που προέρχονται από τις αντίστοιχες βάσεις δεδομένων στο Cleveland, στην Ουγγαρία, στην Ελβετία και στην Δυτική ακτή. Έτσι, δημιουργήθηκαν 1190 συνολικές παρατηρήσεις, οι οποίες ανήχθησαν σε 918 δεδομένα έπειτα από την απομάκρυνση σχετικών διπλοτύπων.

Όσον αφορά τα χαρακτηριστικά που αξιοποιούνται καθώς και η μορφή (αναλογική-ψηφιακή) με την οποία εισάγονται στον ταξινομητή παρατίθενται στον πίνακα 4.7. Όπως παρατηρούμε, το τελικό σύνολο δεδομένων διαθέτει 11 χαρακτηριστικά, τα οποία εισάγονται με διάφορους τρόπους εντός του ταξινομητή. Συγκεκριμένα, έχουμε 3 χαρακτηριστικά που αφορούν μετρήσεις από αισθητήρες για αρτηριακή πίεση, χοληστερόλη και ο καρδιαγγειακός ρυθμός. Τα υπόλοιπα δεδομένα είναι κατηγορικού τύπου (με 2 ή/και περισσότερες διαφορετικές κατηγορίες) όπου η ταξινόμησή τους έγινε είτε με την χρήση

Digital-to-analog converters είτε με αποκωδικοποιητές διαφορετικών εισόδων και τα οποία - στα πλαίσια μίας on-board υλοποίησης θα δίνονταν από ψηφιακές διεπαφές.

Η τελική μορφή της 1-class μετρικής απόστασης φαίνεται στην εικόνα 4.3.1. Παρατηρούμε ότι έχουν χρησιμοποιηθεί συνολικά 6 codebook vectors - κάτι το οποίο μετέτρεψε αναλόγως και την μετρική απόστασης και επιλογής νικήτριας κλάσης στο software training - στην εξής μορφή:

$$\begin{aligned}
 d_c = & \prod_{i=1}^3 \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_i|^2}{(\sigma_c)^2}} + \prod_{j=4}^7 \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_j|^2}{(\sigma_c)^2}} + \\
 & + \prod_{k=8}^{10} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_k|^2}{(\sigma_c)^2}} + \prod_{l=11}^{14} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_l|^2}{(\sigma_c)^2}} + \\
 & + \prod_{m=15}^{19} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_m|^2}{(\sigma_c)^2}} + \prod_{n=20}^{23} \frac{1}{\sqrt{(2\pi) \cdot (\sigma_c)^2}} e^{-\frac{1}{2} \cdot \frac{|x-m_n|^2}{(\sigma_c)^2}}
 \end{aligned} \tag{4.3.1}$$

Η εν λόγω επιλογή - ομοίως με το πρόβλημα ταξινόμησης ψηφίων - έγινε λόγω της υψηλής διαστατικότητας των inputs η οποία θα απέτρεπε την απλή κασχοδική σύνδεση των Bumps εντός ενός codebook vector. Ταυτόχρονα, δεν οδηγεί σε ιδιαίτερα αυξημένη κατανάλωση, όπως φαίνεται στα αποτελέσματα της transient προσομοίωσης ταξινόμησης της εικόνας 4.3.2, όπου η μέση κατανάλωση υπολογίστηκε στα $2.45uW$.

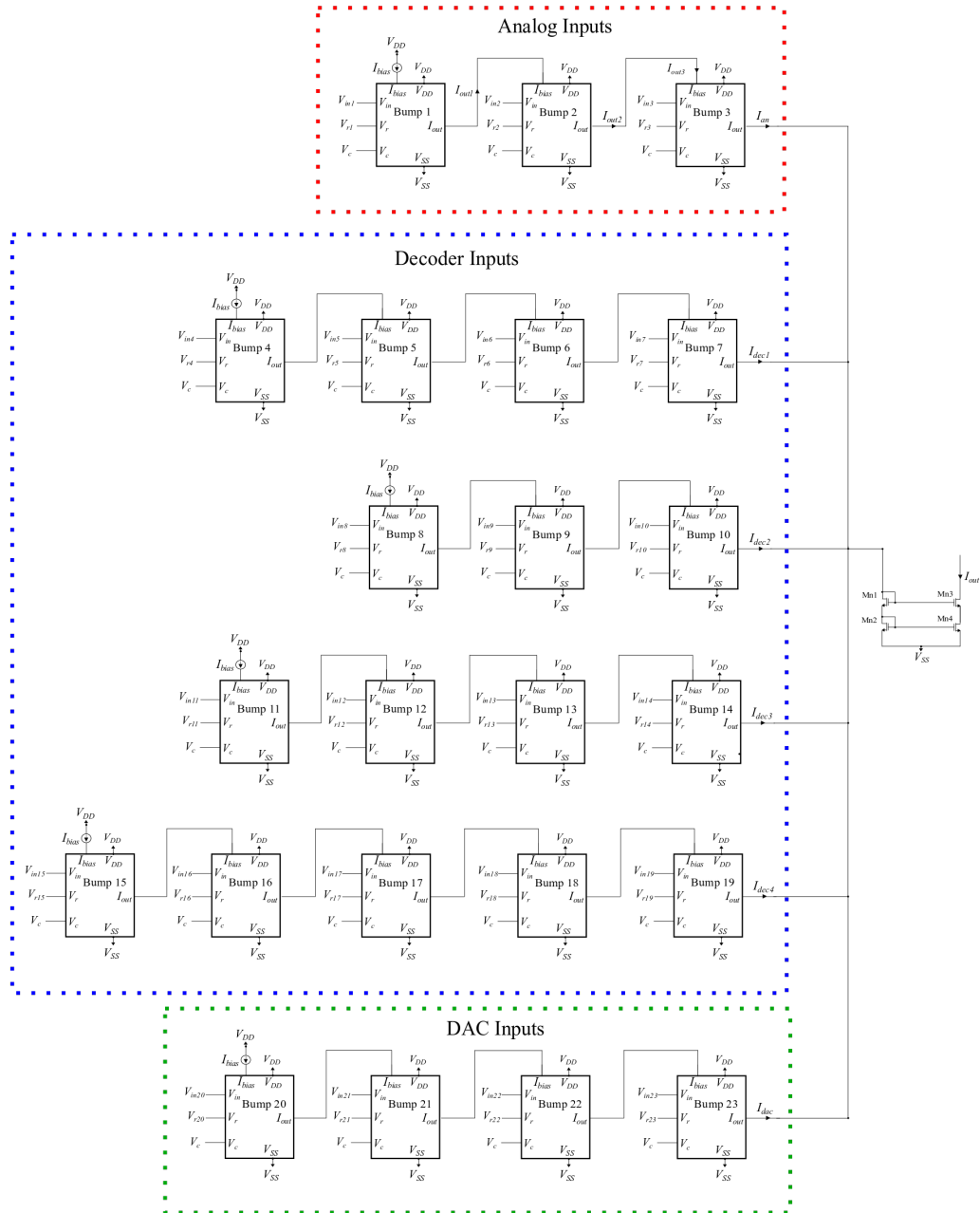
Τέλος, όσον αφορά τα τελικά αποτελέσματα ταξινόμησης, αυτά παρουσιάζονται στον πίνακα 4.8, καθώς και στην εικόνα 4.3.3. Παρατηρούμε πως παρά την υψηλή διαστατικότητα, το σύστημα ταξινόμησης ανταποκρίνεται με τρόπο ανταγωνιστικό σε σχέση με το software χάνοντας μονάχα 2% κατά μέσο όρο. Εξάλλου, η γενική φύση ταξινόμησης των ασθενών του συνόλου δεδομένου σε υγιείς και με καρδιοπάθεια μειώνει σχετικά τις απαιτήσεις για υψηλή ακρίβεια, μιας και - στην περίπτωση θετικής ταξινόμησης από το αναλογικό chip - θα απαιτηθεί περαιτέρω ανάλυση από τον αντίστοιχο ειδικό.

Τέλος, όπως και στα παραπάνω προβλήματα ταξινόμησης, πραγματοποιήθηκε Monte-Carlo προσομοίωση, έτσι ώστε να ελεγχθεί η συμπεριφορά του κυκλώματος σε variations διαστασιολόγησης και θερμοκρασίας [130]. Τα σχετικά αποτελέσματα παρουσιάζονται στην εικόνα 4.3.4 και τον πίνακα 4.9, όπου επιτεύχθηκε σχετική μέση ακρίβεια 90.58% (από 89.38% ως 90.68%) και διασπορά 0.35% για τις 100 επαναλήψεις. Τα άνωθι αποτελέσματα επαληθεύουν την ορθή λειτουργία του κυκλώματος και οδηγούν στο συμπέρασμα ότι θα μπορούσε

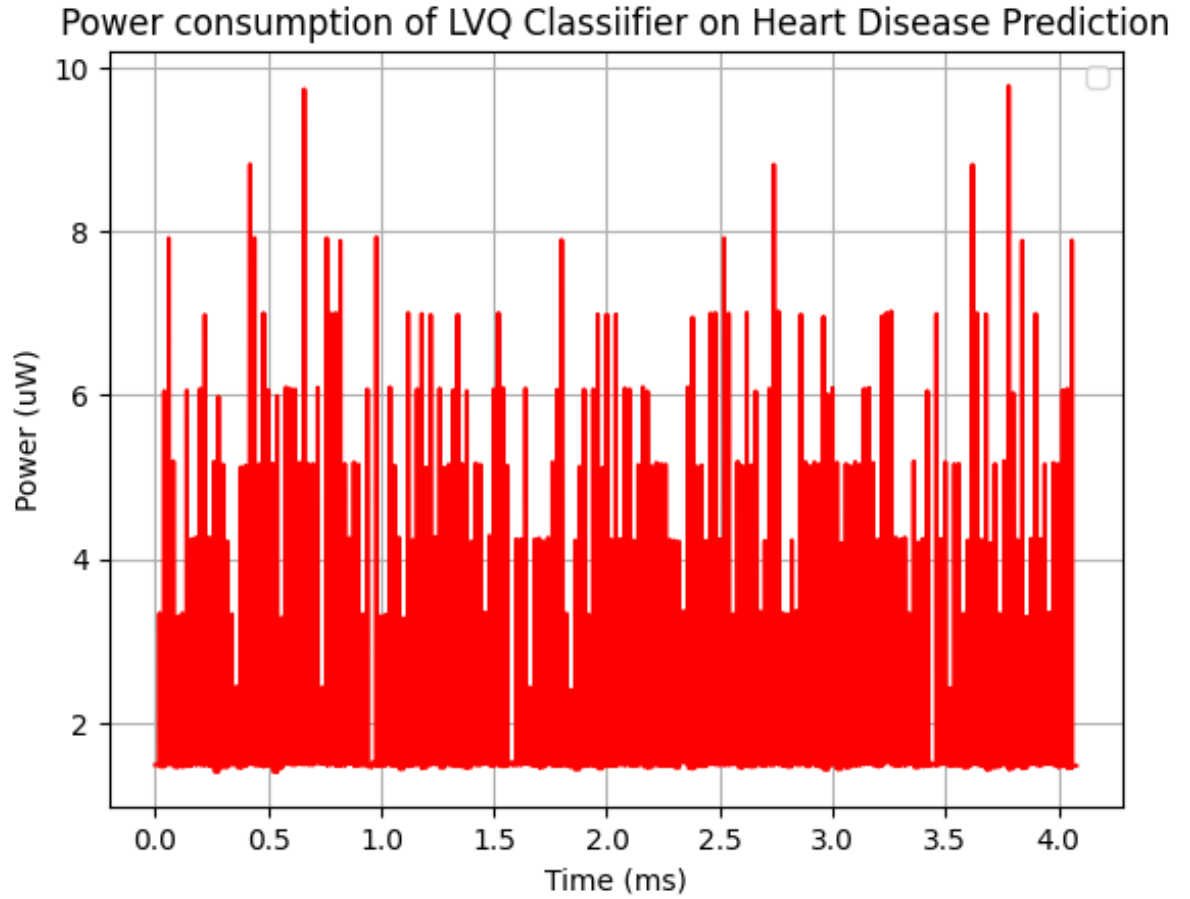
να χρησιμοποιηθεί ως ένα σύστημα ταξινόμησης ανάλογο των εργασιών [131] [132], όπου η αναγνώριση του ζητήματος θα μπορούσε να επιτευχθεί από ένα wearable το οποίο θα περιλάμβανε ως βασικό σύστημα αναγνώρισης από τον εν λόγω ταξινομητή.

Πίνακας 4.7: Σύνολο χαρακτηριστικών που αξιοποιήθηκαν από το heart disease σύνολο δεδομένων [2]

Feature	Input type	Feature index	Min value	Max value
Resting Blood Pressure[mm Hg]	Analog	1	94	200
Cholesterol[mm/dl]	Analog	2	126	564
Maximum heart rate achieved	Analog	3	71	202
Chest pain type	Digital (decoders)	4 – 7	0	3
Slope of the peak exercise ST segment	Digital (decoders)	8 – 10	0	2
Type of defect	Digital (decoders)	11 – 14	0	3
Number of major vessels	Digital (decoders)	15 – 19	0	4
Age	Digital (DAC)	20	0	77
Sex	Digital (DAC)	21	0	1
Increased fasting blood sugar	Digital (DAC)	22	0	1
Exercise induced angina	Digital (DAC)	23	0	1



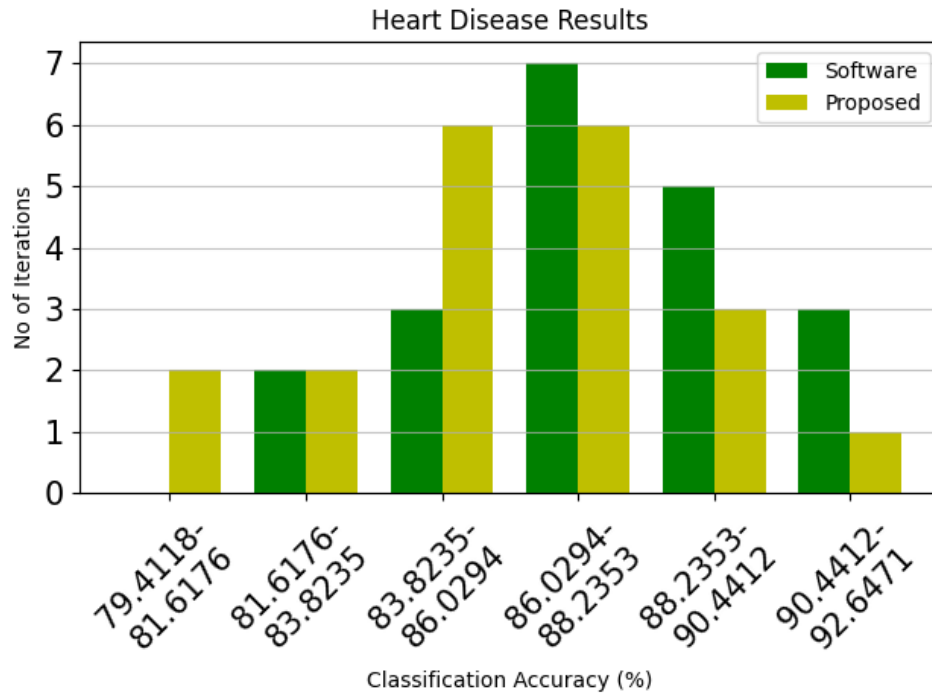
Σχήμα 4.3.1: Αρχιτεκτονική συστήματος για την μία κλάση του LVQ στο heart disease dataset με διαχωρισμό των επιμέρους inputs σε 6 codebook vectors



Σχήμα 4.3.2: Κατανάλωση του LVQ ταξινομητή για ένα test-set

Πίνακας 4.8: Accuracy Results on the Heart Disease dataset (over 20 iterations).

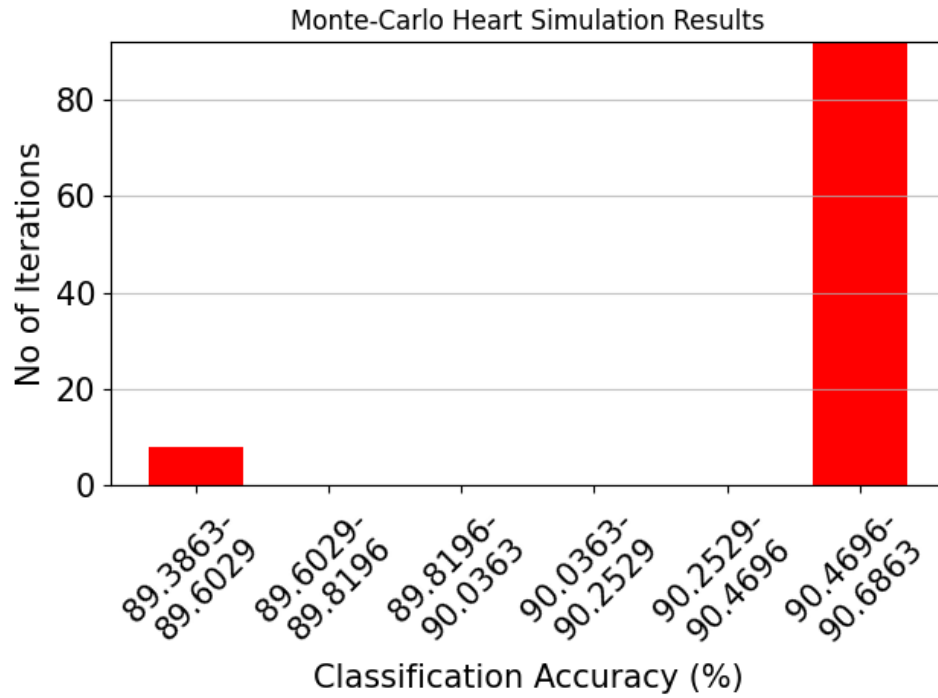
Method	Best (%)	Worst (%)	Mean (%)	Std. (%)
Software	92.64	82.84	87.62	2.55
Hardware	90.68	79.41	85.46	2.95



Σχήμα 4.3.3: Classification results of the proposed architecture (yellow) and the equivalent software model (green) on the Heart disease dataset over 20 iterations.

Πίνακας 4.9: Σύνοψη αποτελεσμάτων από τις προσομοιώσεις Monte-Carlo στο Heart Disease Dataset

Method	Best (%)	Worst (%)	Mean (%)	Std. (%)	Power (μW)
Hardware	90.68	89.38	90.58	0.35	2.41



Σχήμα 4.3.4: Heart disease Monte-Carlo simulation results for 100 iterations

Κεφάλαιο 5

Συμπεράσματα και Μελλοντική Δουλειά

Στην παρούσα διπλωματική εργασία έγινε μία αναλογική υλοποίηση του αλγορίθμου Learning Vector Quantization. Συγκεκριμένα, έγινε σύγκριση διαφορετικών τοπολογιών, στα οποία τα βασικά υπολογιστικά blocks ήταν ένα Γκαουσιανό κύκλωμα καθώς και ένα κύκλωμα που προσομοιώνει την ευκλείδεια απόσταση. Ανάλογα με το block που χρησιμοποιούνταν, γινόταν επιλογή είτε του WTA είτε του LTA κυκλώματος για την τελική επιλογή της νικήτριας/χαμένης κλάσης. Μάλιστα, σε εφαρμογές όπου κρινόταν απαραίτητη η είσοδο ψηφιακών εισόδων, η αναλογική υλοποίηση του LVQ επεκτάθηκε, έτσι ώστε να διαθέτει ενσωματωμένα τα απαραίτητα κυκλώματα (DACs, Regulators και decoders) μετατροπής της ψηφιακής πληροφορίας σε μορφή κατάλληλη για την βέλτιστη απόδοση του αναλογικού κομματιού υπολογισμών του ταξινομητή. Τα αποτελέσματα προσομοίωσης του ταξινομητή σε μία μεγάλη πληθώρα προβλημάτων ταξινόμησης, από επεξεργασία εικόνας μέχρι και ανίχνευση καρδιαγγειακών προβλημάτων, αποδεικνύει την εγγυρότητα της σχεδίασης των διαφορετικών τοπολογιών, οι οποίες απείχαν από την αντίστοιχη υλοποίηση λογισμικού σε python σε ποσοστά κάτω του 2%. Παράλληλα, και ο έλεγχος των κυκλωμάτων σε διαφορετικά variations που αφορούν το sizing και την περιοχή λειτουργίας των transistors δεν έδωσε αποτελέσματα ανησυχητικά όσον αφορά την λειτουργικότητα των σχεδιασμένων συστημάτων.

Παρόλα αυτά, η εν λόγω διπλωματική ενέχει μία πληθώρα επεκτάσεων, με πρώτη και κύρια αυτήν του fabrication του σχεδιασμένου ταξινομητή. Σε αυτή την περίπτωση, θα μπορούσε να γίνει μία απλοϊκή πειραματική διάταξη, η οποία θα μπορούσε περιλαμβάνει το chip ταξινόμησης μαζί με κάποιον εξωτερικό μικροελεγκτή και όσα περιφερειακά κρίνονται απαραίτητα (μνήμες για

αποθήκευση δεδομένων εισόδου και εξόδου, επικοινωνία με αισθητήρες, μετατροπείς τροφοδοσίας κ.α.) για τα proof-of-concept πειράματα του ταξινομητή. Επιπλέον, οι προτεινόμενες τοπολογίες - τόσο με το γκαουσιανό όσο και με το ευκλείδιο κύκλωμα - θα μπορούσαν να χρησιμοποιηθούν και σε άλλους αλγόριθμους τεχνητής νοημοσύνης, οι οποίοι βασίζονται στην εύρεση πολυδιάστατης ταξινόμησης, όπως οι αλγόριθμοι k-means, knn και τα Self-Organizing Maps.

Bibliography

- [1] B. Panić, J. Klemenc, and M. Nagode, “Gaussian mixture model based classification revisited: Application to the bearing fault classification.,” *Strojniski Vestnik/Journal of Mechanical Engineering*, vol. 66, no. 4, 2020.
- [2] R. Detrano, A. Janosi, W. Steinbrunn, M. Pfisterer, J.-J. Schmid, S. Sandhu, K. H. Guppy, S. Lee, and V. Froelicher, “International application of a new probability algorithm for the diagnosis of coronary artery disease,” *The American journal of cardiology*, vol. 64, no. 5, pp. 304–310, 1989.
- [3] P. H. Winston, *Artificial intelligence*. Addison-Wesley Longman Publishing Co., Inc., 1984.
- [4] P. H. Winston, *Artificial intelligence*. Addison-Wesley Longman Publishing Co., Inc., 1992.
- [5] C. Park, C. C. Took, and J.-K. Seong, “Machine learning in biomedical engineering,” *Biomedical Engineering Letters*, vol. 8, pp. 1–3, 2018.
- [6] N. Summerton and M. Cansdale, “Artificial intelligence and diagnosis in general practice,” 2019.
- [7] D. Ho, “Artificial intelligence in cancer therapy,” *Science*, vol. 367, no. 6481, pp. 982–983, 2020.
- [8] S. Subhash, P. N. Srivatsa, S. Siddesh, A. Ullas, and B. Santhosh, “Artificial intelligence-based voice assistant,” in *2020 Fourth world conference on smart trends in systems, security and sustainability (WorldS4)*, pp. 593–596, IEEE, 2020.
- [9] M. Hengstler, E. Enkel, and S. Duelli, “Applied artificial intelligence and trust—the case of autonomous vehicles and medical assistance de-

- vices,” *Technological Forecasting and Social Change*, vol. 105, pp. 105–120, 2016.
- [10] M. B. A. Miah, M. Z. Hossain, M. A. Hossain, and M. M. Islam, “Price prediction of stock market using hybrid model of artificial intelligence,” *International Journal of Computer Applications*, vol. 111, no. 3, 2015.
- [11] S. Li, L. Da Xu, and X. Wang, “Compressed sensing signal and data acquisition in wireless sensor networks and internet of things,” *IEEE transactions on industrial informatics*, vol. 9, no. 4, pp. 2177–2186, 2012.
- [12] A. Reuther, P. Michaleas, M. Jones, V. Gadepally, S. Samsi, and J. Kepner, “Survey and benchmarking of machine learning accelerators,” in *2019 IEEE high performance extreme computing conference (HPEC)*, pp. 1–9, IEEE, 2019.
- [13] D. Steinkraus, I. Buck, and P. Y. Simard, “Using gpus for machine learning algorithms,” in *Eighth International Conference on Document Analysis and Recognition (ICDAR’05)*, pp. 1115–1120, IEEE, 2005.
- [14] J. Li, S. Ranka, and S. Sahni, “Strassen’s matrix multiplication on gpus,” in *2011 IEEE 17th International Conference on Parallel and Distributed Systems*, pp. 157–164, IEEE, 2011.
- [15] K. M. Diab, M. M. Rafique, and M. Hefeeda, “Dynamic sharing of gpus in cloud systems,” in *2013 IEEE International Symposium on Parallel & Distributed Processing, Workshops and Phd Forum*, pp. 947–954, IEEE, 2013.
- [16] S. Iserte, J. Prades, C. Reaño, and F. Silla, “Increasing the performance of data centers by combining remote gpu virtualization with slurm,” in *2016 16th IEEE/ACM International Symposium on Cluster, Cloud and Grid Computing (CCGrid)*, pp. 98–101, IEEE, 2016.
- [17] L. Brown, “Deep learning with gpus,” *Larry Brown Ph. D., Johns Hopkins University*, 2015.
- [18] S. Huang, S. Xiao, and W.-c. Feng, “On the energy efficiency of graphics processing units for scientific computing,” in *2009 IEEE International Symposium on Parallel & Distributed Processing*, pp. 1–8, IEEE, 2009.

- [19] A. Rahimi, A. Ghofrani, K.-T. Cheng, L. Benini, and R. K. Gupta, "Approximate associative memristive memory for energy-efficient gpus," in *2015 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 1497–1502, IEEE, 2015.
- [20] N. Chatterjee, M. O'Connor, D. Lee, D. R. Johnson, S. W. Keckler, M. Rhu, and W. J. Dally, "Architecting an energy-efficient dram system for gpus," in *2017 IEEE International Symposium on High Performance Computer Architecture (HPCA)*, pp. 73–84, IEEE, 2017.
- [21] J. Cong, Z. Fang, M. Lo, H. Wang, J. Xu, and S. Zhang, "Understanding performance differences of fpgas and gpus," in *2018 IEEE 26th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, pp. 93–96, IEEE, 2018.
- [22] S. Brown and J. Rose, "Architecture of fpgas and cplds: A tutorial," *IEEE Design and Test of Computers*, vol. 13, no. 2, pp. 42–57, 1996.
- [23] A. Shawahna, S. M. Sait, and A. El-Maleh, "Fpga-based accelerators of deep learning networks for learning and classification: A review," *IEEE Access*, vol. 7, pp. 7823–7859, 2018.
- [24] L. Qingqing, F. Yuhong, J. P. Queralta, T. N. Gia, H. Tenhunen, Z. Zou, and T. Westerlund, "Edge computing for mobile robots: Multi-robot feature-based lidar odometry with fpgas," in *2019 Twelfth International Conference on Mobile Computing and Ubiquitous Network (ICMU)*, pp. 1–2, IEEE, 2019.
- [25] T. Gomes, S. Pinto, A. Tavares, and J. Cabral, "Towards an fpga-based edge device for the internet of things," in *2015 IEEE 20th Conference on Emerging Technologies & Factory Automation (ETFA)*, pp. 1–4, IEEE, 2015.
- [26] M. Papadonikolakis and C.-S. Bouganis, "A novel fpga-based svm classifier," in *2010 International Conference on Field-Programmable Technology*, pp. 283–286, IEEE, 2010.
- [27] C. Farabet, Y. LeCun, K. Kavukcuoglu, E. Culurciello, B. Martini, P. Akselrod, and S. Talay, "Large-scale fpga-based convolutional networks," *Scaling up machine learning: parallel and distributed approaches*, vol. 13, no. 3, pp. 399–419, 2011.

- [28] P. Colangelo, N. Nasiri, E. Nurvitadhi, A. Mishra, M. Margala, and K. Nealis, "Exploration of low numeric precision deep learning inference using intel® fpgas," in *2018 IEEE 26th annual international symposium on field-programmable custom computing machines (FCCM)*, pp. 73–80, IEEE, 2018.
- [29] B. Murmann, D. Bankman, E. Chai, D. Miyashita, and L. Yang, "Mixed-signal circuits for embedded machine-learning applications," in *2015 49th Asilomar conference on signals, systems and computers*, pp. 1341–1345, IEEE, 2015.
- [30] C. C. Enz and E. A. Vittoz, "Cmos low-power analog circuit design," in *Emerging Technologies: Designing Low Power Digital Systems*, pp. 79–133, IEEE, 1996.
- [31] V. Alimisis, G. Gennis, C. Dimas, and P. P. Sotiriadis, "An analog bayesian classifier implementation, for thyroid disease detection, based on a low-power, current-mode gaussian function circuit," in *2021 International Conference on Microelectronics (ICM)*, pp. 153–156, 2021.
- [32] V. Alimisis, G. Gennis, M. Gourdouparis, C. Dimas, and P. P. Sotiriadis, "A low-power analog integrated implementation of the support vector machine algorithm with on-chip learning tested on a bearing fault application," *Sensors*, vol. 23, p. 3978, Apr 2023.
- [33] K. Lee, J. Park, and H.-J. Yoo, "A low-power, mixed-mode neural network classifier for robust scene classification," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, vol. 19, pp. 129–136, 02 2019.
- [34] J. Lu, S. Young, I. Arel, and J. Holleman, "A 1tops/w analog deep machine-learning engine with floating-gate storage in 0.13 μ m cmos," vol. 57, 02 2014.
- [35] A. G. Andreou and K. A. Boahen, "Translinear circuits in subthreshold mos," *Analog Integrated Circuits and Signal Processing*, vol. 9, pp. 141–166, 1996.
- [36] L. Fick, D. Blaauw, D. Sylvester, S. Skrzyniarz, M. Parikh, and D. Fick, "Analog in-memory subthreshold deep neural network accelerator," in *2017 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, IEEE, 2017.

- [37] S. Ambrogio, P. Narayanan, H. Tsai, R. M. Shelby, I. Boybat, C. Di Nolfo, S. Sidler, M. Giordano, M. Bodini, N. C. Farinha, *et al.*, “Equivalent-accuracy accelerated neural-network training using analogue memory,” *Nature*, vol. 558, no. 7708, pp. 60–67, 2018.
- [38] M. Di Ventra and Y. V. Pershin, “The parallel approach,” *Nature Physics*, vol. 9, no. 4, pp. 200–202, 2013.
- [39] S. Furber, “Large-scale neuromorphic computing systems,” *Journal of neural engineering*, vol. 13, no. 5, p. 051001, 2016.
- [40] H. An, K. Bai, and Y. Yi, “The roadmap to realizing memristive three-dimensional neuromorphic computing system advances in memristor neural networks-modeling and applications,” 2018.
- [41] D. Kahng and S. M. Sze, “A floating gate and its application to memory devices,” *The Bell System Technical Journal*, vol. 46, no. 6, pp. 1288–1295, 1967.
- [42] K.-H. Kim, S. Gaba, D. Wheeler, J. M. Cruz-Albrecht, T. Hussain, N. Srinivasa, and W. Lu, “A functional hybrid memristor crossbar-array/cmos system for data storage and neuromorphic applications,” *Nano letters*, vol. 12, no. 1, pp. 389–395, 2012.
- [43] I. Kataeva, S. Ohtsuka, H. Nili, H. Kim, Y. Isobe, K. Yako, and D. Strukov, “Towards the development of analog neuromorphic chip prototype with 2.4 m integrated memristors,” in *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, IEEE, 2019.
- [44] M. Davies, N. Srinivasa, T.-H. Lin, G. Chinya, Y. Cao, S. H. Choday, G. Dimou, P. Joshi, N. Imam, S. Jain, *et al.*, “Loihi: A neuromorphic manycore processor with on-chip learning,” *Ieee Micro*, vol. 38, no. 1, pp. 82–99, 2018.
- [45] K. Roy, A. Jaiswal, and P. Panda, “Towards spike-based machine intelligence with neuromorphic computing,” *Nature*, vol. 575, no. 7784, pp. 607–617, 2019.
- [46] S. G. Ramasubramanian, R. Venkatesan, M. Sharad, K. Roy, and A. Raghunathan, “Spindle: Spintronic deep learning engine for large-scale neuromorphic computing,” in *Proceedings of the 2014 international symposium on Low power electronics and design*, pp. 15–20, 2014.

- [47] D. A. Reynolds *et al.*, “Gaussian mixture models,” *Encyclopedia of biometrics*, vol. 741, no. 659-663, 2009.
- [48] D. Povey, L. Burget, M. Agarwal, P. Akyazi, F. Kai, A. Ghoshal, O. Glembek, N. Goel, M. Karafiát, A. Rastrow, *et al.*, “The subspace gaussian mixture model—a structured model for speech recognition,” *Computer Speech & Language*, vol. 25, no. 2, pp. 404–439, 2011.
- [49] M. Vyas, “A gaussian mixture model based speech recognition system using matlab,” *Signal & Image Processing*, vol. 4, no. 4, p. 109, 2013.
- [50] J. Geweke and G. Amisano, “Hierarchical markov normal mixture models with applications to financial asset returns,” *Journal of Applied Econometrics*, vol. 26, no. 1, pp. 1–29, 2011.
- [51] Z. Liang, “Financial development and income distribution: a system gmm panel analysis with application to urban china,” *Journal of economic development*, vol. 31, no. 2, p. 1, 2006.
- [52] T. K. Moon, “The expectation-maximization algorithm,” *IEEE Signal processing magazine*, vol. 13, no. 6, pp. 47–60, 1996.
- [53] V.-E. Neagoe and V. Chirila-Berbentea, “Improved gaussian mixture model with expectation-maximization for clustering of remote sensing imagery,” in *2016 IEEE International Geoscience and Remote Sensing Symposium (IGARSS)*, pp. 3063–3065, IEEE, 2016.
- [54] C. M. Bishop and N. M. Nasrabadi, *Pattern recognition and machine learning*, vol. 4. Springer, 2006.
- [55] G. Münz, S. Li, and G. Carle, “Traffic anomaly detection using k-means clustering,” in *Gi/itg workshop mmbnet*, vol. 7, 2007.
- [56] A. A. Nasir, M. Mashor, and Z. Mohamed, “Segmentation based approach for detection of malaria parasites using moving k-means clustering,” in *2012 IEEE-EMBS Conference on Biomedical Engineering and Sciences*, pp. 653–658, IEEE, 2012.
- [57] A. Agrawal and U. Gupta, “Extraction based approach for text summarization using k-means clustering,” *International Journal of Scientific and Research Publications*, vol. 4, no. 11, pp. 1–4, 2014.
- [58] P. Fränti and S. Sieranoja, “How much can k-means be improved by using better initialization and repeats?,” *Pattern Recognition*, vol. 93, pp. 95–112, 2019.

- [59] G. Hamerly and C. Elkan, "Learning the k in k-means," *Advances in neural information processing systems*, vol. 16, 2003.
- [60] T. Debatty, P. Michiardi, W. Mees, and O. Thonnard, "Determining the k in k-means with mapreduce," in *EDBT/ICDT 2014 Joint Conference*, 2014.
- [61] J. M. Pena, J. A. Lozano, and P. Larranaga, "An empirical comparison of four initialization methods for the k-means algorithm," *Pattern recognition letters*, vol. 20, no. 10, pp. 1027–1040, 1999.
- [62] M. E. Celebi, H. A. Kingravi, and P. A. Vela, "A comparative study of efficient initialization methods for the k-means clustering algorithm," *Expert systems with applications*, vol. 40, no. 1, pp. 200–210, 2013.
- [63] Z. Wang, C. Da Cunha, M. Ritou, and B. Furet, "Comparison of k-means and gmm methods for contextual clustering in hsm," *Procedia Manufacturing*, vol. 28, pp. 154–159, 2019.
- [64] S. B. Imandoust, M. Bolandraftar, *et al.*, "Application of k-nearest neighbor (knn) approach for predicting economic events: Theoretical background," *International journal of engineering research and applications*, vol. 3, no. 5, pp. 605–610, 2013.
- [65] M. Sha'Abani, N. Fuad, N. Jamal, and M. Ismail, "knn and svm classification for eeg: a review," in *InECCE2019: Proceedings of the 5th International Conference on Electrical, Control & Computer Engineering, Kuantan, Pahang, Malaysia, 29th July 2019*, pp. 555–565, Springer, 2020.
- [66] K. Chomboon, P. Chujai, P. Teerarassamee, K. Kerdprasop, and N. Kerdprasop, "An empirical study of distance metrics for k-nearest neighbor algorithm," in *Proceedings of the 3rd international conference on industrial application engineering*, vol. 2, 2015.
- [67] G. Verdier and A. Ferreira, "Adaptive mahalanobis distance and k-nearest neighbor rule for fault detection in semiconductor manufacturing," *IEEE Transactions on Semiconductor Manufacturing*, vol. 24, no. 1, pp. 59–68, 2010.
- [68] S. Zhang and X. Pan, "A novel text classification based on mahalanobis distance," in *2011 3rd International Conference on Computer Research and Development*, vol. 3, pp. 156–158, IEEE, 2011.

- [69] Y. I. Ravshanbekovna and S. B. Rashidovich, "Anomaly detection in very large-scale systems: Use algorithm compute knn," in *INTERNATIONAL SCIENTIFIC CONFERENCES WITH HIGHER EDUCATIONAL INSTITUTIONS*, vol. 1, pp. 274–278, 2023.
- [70] J. Hua, Z. Xiong, J. Lowey, E. Suh, and E. R. Dougherty, "Optimal number of features as a function of sample size for various classification rules," *Bioinformatics*, vol. 21, no. 8, pp. 1509–1515, 2005.
- [71] H. A. Abu Alfeilat, A. B. Hassanat, O. Lasassmeh, A. S. Tarawneh, M. B. Alhasanat, H. S. Eyal Salman, and V. S. Prasath, "Effects of distance measure choice on k-nearest neighbor classifier performance: a review," *Big data*, vol. 7, no. 4, pp. 221–248, 2019.
- [72] M.-Y. Liu, X. Huang, J. Yu, T.-C. Wang, and A. Mallya, "Generative adversarial networks for image and video synthesis: Algorithms and applications," *Proceedings of the IEEE*, vol. 109, no. 5, pp. 839–862, 2021.
- [73] X. Mao and Q. Li, *Generative adversarial networks for image generation*. Springer, 2021.
- [74] L. Lan, L. You, Z. Zhang, Z. Fan, W. Zhao, N. Zeng, Y. Chen, and X. Zhou, "Generative adversarial networks and its applications in biomedical informatics," *Frontiers in public health*, vol. 8, p. 164, 2020.
- [75] C. Yinka-Banjo and O.-A. Ugot, "A review of generative adversarial networks and its application in cybersecurity," *Artificial Intelligence Review*, vol. 53, pp. 1721–1736, 2020.
- [76] I. Goodfellow, J. Pouget-Abadie, M. Mirza, B. Xu, D. Warde-Farley, S. Ozair, A. Courville, and Y. Bengio, "Generative adversarial networks," *Communications of the ACM*, vol. 63, no. 11, pp. 139–144, 2020.
- [77] H. Thanh-Tung and T. Tran, "Catastrophic forgetting and mode collapse in gans," in *2020 international joint conference on neural networks (ijcnn)*, pp. 1–10, IEEE, 2020.
- [78] W. Li, L. Fan, Z. Wang, C. Ma, and X. Cui, "Tackling mode collapse in multi-generator gans with orthogonal vectors," *Pattern Recognition*, vol. 110, p. 107646, 2021.

- [79] M. Zhu, Y. Wang, Z. Pu, J. Hu, X. Wang, and R. Ke, “Safe, efficient, and comfortable velocity control based on reinforcement learning for autonomous driving,” *Transportation Research Part C: Emerging Technologies*, vol. 117, p. 102662, 2020.
- [80] J. Chen, B. Yuan, and M. Tomizuka, “Model-free deep reinforcement learning for urban autonomous driving,” in *2019 IEEE intelligent transportation systems conference (ITSC)*, pp. 2765–2771, IEEE, 2019.
- [81] A. F. Muzio, M. R. Maximo, and T. Yoneyama, “Deep reinforcement learning for humanoid robot dribbling,” in *2020 Latin American Robotics Symposium (LARS), 2020 Brazilian Symposium on Robotics (SBR) and 2020 Workshop on Robotics in Education (WRE)*, pp. 1–6, IEEE, 2020.
- [82] M. Lai, “Giraffe: Using deep reinforcement learning to play chess,” *arXiv preprint arXiv:1509.01549*, 2015.
- [83] D. Mulvey, C. H. Foh, M. A. Imran, and R. Tafazolli, “Cell fault management using machine learning techniques,” *IEEE Access*, vol. 7, pp. 124514–124539, 2019.
- [84] E. Duryea, M. Ganger, and W. Hu, “Exploring deep reinforcement learning with multi q-learning,” *Intelligent Control and Automation*, vol. 7, no. 4, pp. 129–144, 2016.
- [85] H. Van Hasselt, A. Guez, and D. Silver, “Deep reinforcement learning with double q-learning,” in *Proceedings of the AAAI conference on artificial intelligence*, vol. 30, 2016.
- [86] C. Zhong, Z. Lu, M. C. Gursoy, and S. Velipasalar, “A deep actor-critic reinforcement learning framework for dynamic multichannel access,” *IEEE Transactions on Cognitive Communications and Networking*, vol. 5, no. 4, pp. 1125–1139, 2019.
- [87] M. Babaeizadeh, I. Frosio, S. Tyree, J. Clemons, and J. Kautz, “Reinforcement learning through asynchronous advantage actor-critic on a gpu,” *arXiv preprint arXiv:1611.06256*, 2016.
- [88] Z. C. Lipton, “The mythos of model interpretability: In machine learning, the concept of interpretability is both important and slippery.,” *Queue*, vol. 16, no. 3, pp. 31–57, 2018.

- [89] T. Kohonen, “The self-organizing map,” *Proceedings of the IEEE*, vol. 78, no. 9, pp. 1464–1480, 1990.
- [90] T. Kohonen, “Self-organizing maps: Optimization approaches,” in *Artificial neural networks*, pp. 981–990, Elsevier, 1991.
- [91] I. S. Andrades, J. J. Castillo Aguilar, J. M. V. García, J. A. C. Carrillo, and M. S. Lozano, “Low-cost road-surface classification system based on self-organizing maps,” *Sensors*, vol. 20, no. 21, p. 6009, 2020.
- [92] T. Honkela, “Self-organizing maps of words for natural language processing applications,” in *Proceedings of the International ICSC Symposium on Soft Computing*, pp. 401–407, 1997.
- [93] T. Honkela, *Self-organizing maps in natural language processing*. PhD thesis, Citeseer, 1997.
- [94] A. J. Hoglund, K. Hatonen, and A. S. Sorvari, “A computer host-based user anomaly detection system using the self-organizing map,” in *Proceedings of the IEEE-INNS-ENNS International Joint Conference on Neural Networks. IJCNN 2000. Neural Computing: New Challenges and Perspectives for the New Millennium*, vol. 5, pp. 411–416, IEEE, 2000.
- [95] R. Dara, S. C. Kremer, and D. A. Stacey, “Clustering unlabeled data with som improves classification of labeled real-world data,” in *Proceedings of the 2002 International Joint Conference on Neural Networks. IJCNN’02 (Cat. No. 02CH37290)*, vol. 3, pp. 2237–2242, IEEE, 2002.
- [96] W. Natita, W. Wiboonsak, and S. Dusadee, “Appropriate learning rate and neighborhood function of self-organizing map (som) for specific humidity pattern classification over southern thailand,” *International Journal of Modeling and Optimization*, vol. 6, no. 1, p. 61, 2016.
- [97] A. Karpenko and Z. Sviaadze, “Meta-optimization based on self-organizing map and genetic algorithm,” *Optical Memory and Neural Networks*, vol. 20, pp. 279–283, 2011.
- [98] T. Kohonen, *Self organizing maps*. Springer, 1997.
- [99] H. Sood, V. M. Srivastava, and G. Singh, “Advanced mosfet technologies for next generation communication systems-perspective and

- challenges: A review.,” *Journal of Engineering Science & Technology Review*, vol. 11, no. 3, 2018.
- [100] Y. Tsividis, *Operation and Modeling of the MOS Transistor*. McGraw-Hill, Inc., 1987.
- [101] W. Zahorowski, J. Mitternacht, and G. Wiech, “Application of a position-sensitive detector to soft x-ray emission spectroscopy,” *Measurement Science and Technology*, vol. 2, no. 7, p. 602, 1991.
- [102] M. A. Al-Absi, A. Hussein, and M. TaherAbuelma’atti, “A low voltage and low power current-mode analog computational circuit,” *Circuits, Systems, and Signal Processing*, vol. 32, pp. 321–331, 2013.
- [103] K. Kang and T. Shibata, “An on-chip-trainable gaussian-kernel analog support vector machine,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1513–1524, 2009.
- [104] S. Fisher, A. Teman, D. Vaysman, A. Gertsman, O. Yadid-Pecht, and A. Fish, “Digital subthreshold logic design-motivation and challenges,” in *2008 IEEE 25th Convention of Electrical and Electronics Engineers in Israel*, pp. 702–706, IEEE, 2008.
- [105] N. H. Weste and K. Eshraghian, *Principles of CMOS VLSI design: a systems perspective*. Addison-Wesley Longman Publishing Co., Inc., 1985.
- [106] T. Delbrueck and C. Mead, “Bump circuits,” in *Proceedings of International Joint Conference on Neural Networks*, vol. 1, pp. 475–479, 1993.
- [107] V. Alimisis, C. Dimas, G. Pappas, and P. P. Sotiriadis, “Analog realization of fractional-order skin-electrode model for tetrapolar bio-impedance measurements,” *Technologies*, vol. 8, no. 4, p. 61, 2020.
- [108] J. Lazzaro, S. Ryckebusch, M. A. Mahowald, and C. A. Mead, “Winner-take-all networks of $O(n)$ complexity,” *Advances in neural information processing systems*, vol. 1, 1988.
- [109] A. Gopalan and A. H. Titus, “A new wide range euclidean distance circuit for neural network hardware implementations,” *IEEE transactions on neural networks*, vol. 14, no. 5, pp. 1176–1186, 2003.

- [110] G. N. Patel and S. P. DeWeerth, "An analog vlsi loser-take-all circuit," in *Proceedings of ISCAS'95-International Symposium on Circuits and Systems*, vol. 2, pp. 850–853, IEEE, 1995.
- [111] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of current-mode cmos r-2r ladder digital-to-analog converters," *IEEE Transactions on Instrumentation and Measurement*, vol. 50, no. 6, pp. 1781–1786, 2001.
- [112] G. Radulov, P. J. Quinn, P. C. van Beek, J. A. Hegt, and A. H. van Roermund, "A binary-to-thermometer decoder with built-in redundancy for improved dac yield," in *2006 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 4–pp, IEEE, 2006.
- [113] A. S. Sedra, K. C. Smith, T. C. Carusone, and V. Gaudet, *Microelectronic circuits*, vol. 4. Oxford university press New York, 2004.
- [114] V. Alimisis, M. Gourdouparis, C. Dimas, and P. P. Sotiriadis, "A 0.6 v, 3.3 nw, adjustable gaussian circuit for tunable kernel functions," in *2021 34th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)*, pp. 1–6, IEEE, 2021.
- [115] V. Alimisis, G. Gennis, M. Gourdouparis, C. Dimas, and P. P. Sotiriadis, "A low-power analog integrated implementation of the support vector machine algorithm with on-chip learning tested on a bearing fault application," *Sensors*, vol. 23, no. 8, p. 3978, 2023.
- [116] O. Kramer and O. Kramer, "Scikit-learn," *Machine learning for evolution strategies*, pp. 45–53, 2016.
- [117] F. Nelli, *Recognizing Handwritten Digits*, pp. 473–486. Berkeley, CA: Apress, 2018.
- [118] G. Bradski, A. Kaehler, *et al.*, "Opencv," *Dr. Dobb's journal of software tools*, vol. 3, no. 2, 2000.
- [119] H. Huang and N. Baddour, "Bearing vibration data collected under time-varying rotational speed conditions," *Data in brief*, vol. 21, pp. 1745–1749, 2018.
- [120] A. K. Sharma, M. Madhusudan, S. M. Burns, P. Mukherjee, S. Yaldiz, R. Harjani, and S. S. Sapatnekar, "Common-centroid layouts for analog circuits: Advantages and limitations," in *2021 Design, Automation*

- ℰ Test in Europe Conference ℰ Exhibition (DATE)*, pp. 1224–1229, IEEE, 2021.
- [121] P. R. Kinget, “Device mismatch and tradeoffs in the design of analog circuits,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1212–1224, 2005.
- [122] V. Alimisis, V. Mouzakis, G. Gennis, E. Tsouvalas, C. Dimas, and P. P. Sotiriadis, “A hand gesture recognition circuit utilizing an analog voting classifier,” *Electronics*, vol. 11, p. 3915, Nov 2022.
- [123] V. Alimisis, G. Gennis, K. Touloupas, C. Dimas, M. Gourdouparis, and P. P. Sotiriadis, “Gaussian mixture model classifier analog integrated low-power implementation with applications in fault management detection,” *Microelectronics Journal*, vol. 126, p. 105510, 2022.
- [124] E. Georgakilas, V. Alimisis, G. Gennis, C. Aletraris, C. Dimas, and P. P. Sotiriadis, “An ultra-low power fully-programmable analog general purpose type-2 fuzzy inference system,” *AEU - International Journal of Electronics and Communications*, vol. 170, p. 154824, 2023.
- [125] V. Alimisis, G. Gennis, C. Dimas, and P. P. Sotiriadis, “An analog bayesian classifier implementation, for thyroid disease detection, based on a low-power, current-mode gaussian function circuit,” in *2021 International Conference on Microelectronics (ICM)*, pp. 153–156, 2021.
- [126] R. A. d. Silva, L. G. d. A. Fonseca, J. P. d. S. Silva, N. M. F. V. Lima, L. P. Gualdi, and I. N. D. F. Lima, “The impact of the strategic action plan to combat chronic non-communicable diseases on hospital admissions and deaths from cardiovascular diseases in brazil,” *PloS one*, vol. 17, no. 6, p. e0269583, 2022.
- [127] I. M. El-Hasnony, O. M. Elzeki, A. Alshehri, and H. Salem, “Multi-label active learning-based machine learning model for heart disease prediction,” *Sensors*, vol. 22, no. 3, p. 1184, 2022.
- [128] H. Hasanova, M. Tufail, U.-J. Baek, J.-T. Park, and M.-S. Kim, “A novel blockchain-enabled heart disease prediction mechanism using machine learning,” *Computers and Electrical Engineering*, vol. 101, p. 108086, 2022.
- [129] A. Asuncion and D. Newman, “Uci machine learning repository,” 2007.

- [130] H. Hung and V. Adzic, “Monte carlo simulation of device variations and mismatch in analog integrated circuits,” *Proc. NCUR 2006*, pp. 1–8, 2006.
- [131] Y. Sun and A. C. Cheng, “Machine learning on-a-chip: A high-performance low-power reusable neuron architecture for artificial neural networks in ecg classifications,” *Computers in biology and medicine*, vol. 42, no. 7, pp. 751–757, 2012.
- [132] Z. Altintas, W. M. Fakanya, and I. E. Tohill, “Cardiovascular disease detection using bio-sensing techniques,” *Talanta*, vol. 128, pp. 177–186, 2014.