



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ & ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Μείκτης Διακοπτόμενων Πυκνωτών

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΤΟΥ

Νικόλαου Δ. Φωτιά

Επιβλέπων: Παύλος-Πέτρος Σωτηριάδης, Αναπλ. Καθ. Ε.Μ.Π

Αθήνα, Ιούνιος 2016



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ & ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Μείκτης Διακοπτόμενων Πυκνωτών

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

του

Νικόλαου Δ. Φωτιά

Επιβλέπων: Παύλος-Πέτρος Σωτηριάδης, Αναπλ. Καθ. Ε.Μ.Π

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την

.....

Π. Σωτηριάδης

Αναπλ. Καθ. Ε.Μ.Π

.....

Ν.Ουζούνουλου

Καθ. Ε.Μ.Π.

.....

Α.Παναγόπουλος

Επ.Καθ.Ε.Μ.Π

Αθήνα, Ιούνιος 2016

.....

Νικόλαος Δ. Φωτιάς

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Νικόλαος Δ. Φωτιάς, 2016

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα. Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Πρόλογος - Ευχαριστίες

Η παρούσα διπλωματική εργασία είναι το αποτέλεσμα της πολύ επιτυχημένης συνεργασίας μου με ανθρώπους του Εθνικού Μετσόβιου Πολυτεχνείου. Θέλω να ευχαριστήσω τον επιβλέποντα και σύμβουλο καθηγητή μου, Παύλο-Πέτρο Σωτηριάδη, για τις πολύτιμες γνώσεις που μου χάρισε κατά την διάρκεια των συζητήσεων μας.

Πολύ σημαντική ήταν επίσης η καθοδήγηση που μου παρείχαν σε τεχνικά ζητήματα οι υποψήφιοι διδάκτορες, Νεοκλής Χατζηγεωργίου και Χάρης Μπασέτας, αλλά και ο Διπλωματούχος Νικόλαος Σταματόπουλος και φοιτητής Δημήτρης Μπαξεβανάκης.

Ιδιαίτερη μνεία αξίζει στους γονείς μου, Φωτιά Δημήτριο και Μήτσου Δήμητρα, και στην αδερφή μου Φωτιά Ελένη, για την αμέριστη βοήθεια τους όποτε είχα κάποιο πρόβλημα. Τέλος δεν θα μπορούσα να παραλείψω τους φίλους μου, που ανέχθηκαν τις ιδιαιτερότητες μου όλα αυτά τα χρόνια.

Περίληψη.

Το ενδιαφέρον για αμιγώς ψηφιακές αρχιτεκτονικές έχει παρουσιάσει αύξηση τα τελευταία χρόνια στη βιομηχανία των τηλεπικοινωνιακών ολοκληρωμένων κυκλωμάτων. Αυτό οφείλεται στο γεγονός ότι η αναλογική σχεδίαση είναι συνήθως πιο δύσκολη, απαιτεί περισσότερο χρόνο, και έχει μεγαλύτερο κόστος κατά την κατασκευή, ενώ τα ψηφιακά ολοκληρωμένα κυκλώματα έχουν ως πλεονεκτήματα την φορητότητα, την εύκολη παραμετροποίηση και τον αυτοματοποιημένο έλεγχο.

Στην παρούσα διπλωματική εργασία μελετάται η σχεδίαση ενός μείκτη με χρήση κυκλωμάτων διακοπτόμενων πυκνωτών, όπου οι διακόπτες οδηγούνται από ψηφιακό συνθέτη συχνοτήτων προσφέροντας έτσι τα πλεονεκτήματα που αναφέρθηκαν προηγουμένως.

Στο πρώτο κεφάλαιο της παρούσας εργασίας πραγματοποιείται η θεωρητική ανάλυση του κυκλώματος, ενώ στο δεύτερο περιγράφεται η σχεδίαση του στο πρόγραμμα Cadence. Τέλος στο τρίτο κεφάλαιο παρουσιάζονται τα αποτελέσματα προσομοιώσεων για το συνολικό κύκλωμα που σχεδιάσαμε.

Λέξεις Κλειδιά:

Μείκτης, Διακοπτόμενοι Πυκνωτές, Πύλες Μετάδοσης, Μη Επικαλυπτόμενα Ρολόγια

Abstract

There has been an increasing interest in all-digital architectures in the RFIC industry over the past few years, mainly due to the higher challenge in the design and the extra cost of fabrication of RF analog and mixed-signal ICs versus standard digital ones in modern nano-scale IC technologies. Digital circuit designs offer the advantages of portability, reconfigurability, automated checking and verification.

This thesis proposes a mixer comprised of switched capacitor circuits, where the switches are driven by a digital frequency synthesizer offering the aforementioned advantages.

Chapter 1 discusses the theory behind the proposed mixer while chapter 2 describes the design process with which the mixer was made, using the Cadence toolbox. Finally, Chapter 3 presents the results of the simulations that were conducted on the mixer.

Keywords:

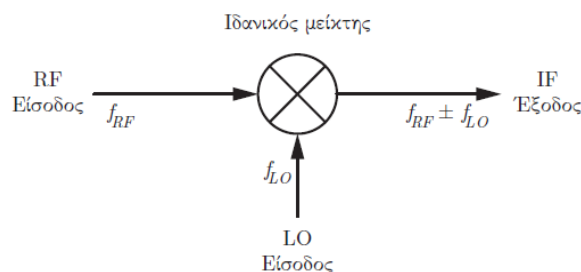
Mixer, Switched Capacitors, Transmission Gate, Non-Overlapping Clocks

Περιεχόμενα

Εισαγωγή.....	13
Ενεργοί Μείκτες.....	13
Παθητικοί Μείκτες.....	14
Μείκτης με δίοδους σε τοπολογία δακτυλιδιού (diode ring).....	14
Διακοπτικός Μείκτης.....	15
Σκοπός της εργασίας.....	15
Κεφάλαιο 1: Θεωρητική ανάλυση.....	17
1.1 Περιγραφή της λειτουργίας του βασικού Block.....	17
1.2 Ανάλυση σύμφωνα με την αρχή διατήρησης του φορτίου.....	19
1.3 Ανάλυση με εξισώσεις κατάστασης.....	20
Κεφάλαιο 2 :Σχεδίαση των βασικών στοιχείων.....	27
2.1 Ο διακόπτης.....	27
Σχεδίαση των πυλών.....	27
Προβλήματα.....	29
2.2 Το βασικό Block του πολλαπλασιαστή.....	40
2.3 Το κύκλωμα ελέγχου των Block του Μείκτη.....	43
2.4 Η Ψηφιακή Είσοδος.....	51
2.5 Τα Ρολόγια Ελέγχου.....	53
2.6 Η Συνολική Αρχιτεκτονική.....	57
Κεφάλαιο 3: Αποτελέσματα Προσομοιώσεων.....	61
3.1 LO στα 9,5MHz και συχνότητα λειτουργίας στα 100MHz.....	61
3.2 LO στα 9,6MHz και συχνότητα λειτουργίας στα 100MHz.....	63
3.3 LO στα 9,75MHz και συχνότητα λειτουργίας στα 100MHz.....	64
3.4 LO στα 9,8MHz και συχνότητα λειτουργίας στα 100MHz.....	66
Συμπεράσματα.....	67
Ανασκόπηση - Μελλοντική Εργασία.....	69
Βιβλιογραφία.....	71

Εισαγωγή.

Ένας RF μείκτης, όπως αυτός της εικόνας 1, είναι ένα ενεργό ή παθητικό στοιχείο που έχει στόχο τη μετατροπή ενός σήματος από μία συχνότητα σε κάποια άλλη. Διαθέτει τρεις θύρες: την είσοδο RF (radio frequency), την LO (local oscillator) και την IF (intermediate frequency). Ένας ιδανικός μείκτης λαμβάνει ένα σήμα RF συχνότητα f_{RF} , πραγματοποιεί τη μείξη με ένα σήμα LO συχνότητας f_{LO} και παράγει ένα σήμα εξόδου IF που αποτελείται από το άθροισμα και τη διαφορά των δύο συχνοτήτων, δηλαδή $f_{RF} \pm f_{LO}$. Στη συνέχεια, το σήμα αυτό οδηγείται σε κάποιο αναλογικό φίλτρο ώστε να επιλεγεί μία από τις δύο συχνότητες.



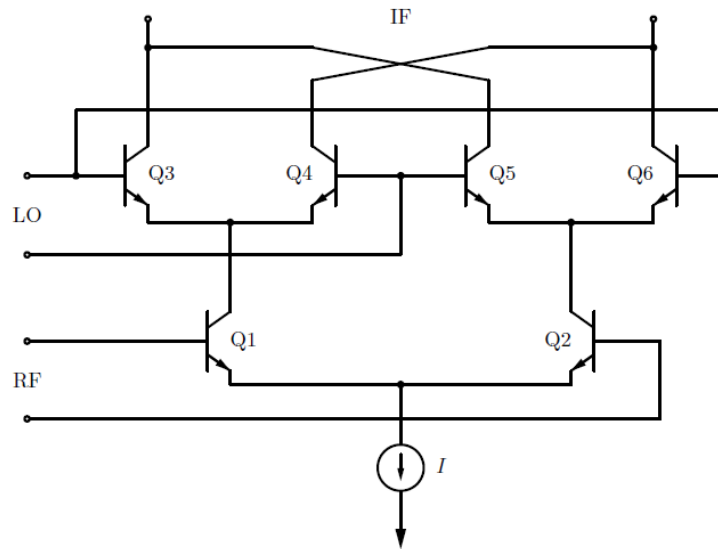
Εικόνα 1. RF μείκτης

Όταν επιλέγουμε ως IF τη διαφορά $f_{RF} - f_{LO}$, ο μείκτης καλείται downconverter και χρησιμοποιείται συνήθως σε δέκτες. Στην αντίθετη περίπτωση, όπου επιλέγουμε το άθροισμα, καλείται upconverter και χρησιμοποιείται συνήθως σε πομπούς.

Παρακάτω θα παρουσιάσουμε μερικές κλασικές τοπολογίες μεικτών καθώς και την διάταξη που θα παρουσιάσουμε σε αυτήν την διπλωματική εργασία.

Ενεργοί Μείκτες.

Ενεργοί καλούνται οι μείκτες που καταναλώνουν dc ρεύμα για τη λειτουργία τους. Συχνά προτιμώνται σε σχέση με τους παθητικούς γιατί παρουσιάζουν καλύτερες επιδόσεις, κυρίως ως προς το κέρδος μετατροπής, το οποίο ελαχιστοποιεί τη συνεισφορά του μείκτη στο συνολικό θόρυβο του συστήματος. Ένας τέτοιος μείκτης σε πλήρως διαφορική μορφή είναι ο μείκτης Gilbert που φαίνεται στην εικόνα 2.



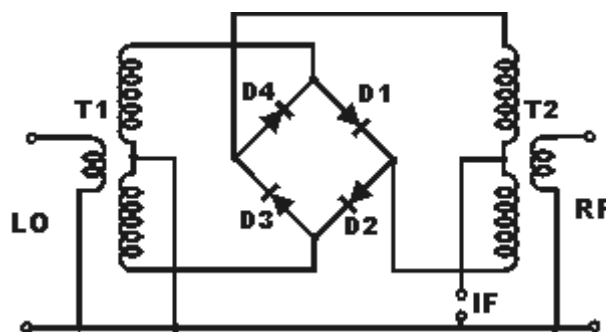
Εικόνα 2. Μείκτης Gilbert.

Οι ενεργοί μείκτες μπορούν να υλοποιηθούν ως ολοκληρωμένα κυκλώματα σε σύγχρονες τεχνολογίες, προσφέρουν κέρδος μετατροπής, απαιτούν λιγότερη ισχύ για την οδήγηση της θύρας LO και παρουσιάζουν καλύτερη απομόνωση μεταξύ των θυρών.

Παθητικοί Μείκτες.

Μείκτης με διόδους σε τοπολογία δακτυλιδιού (diode ring).

Μια μορφή του μείκτη σε τοπολογία δακτυλίου φαίνεται στην εικόνα 3.



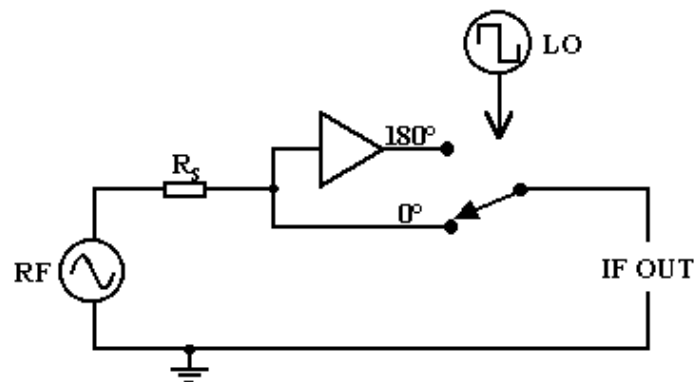
Εικόνα 3. Μείκτης σε τοπολογία δακτυλίου.

Στην τοπολογία δακτυλιδιού οι διόδοι λειτουργούν ως διακόπτες, που ελέγχονται από το LO σήμα. Εξαιτίας της μη γραμμικής φύσεως των διόδων, το ταίριασμα της εμπέδησης στις τρεις θύρες είναι δύσκολο. Επίσης, η ισχύς του LO πρέπει να είναι

αρκετά υψηλή για να εξασφαλιστεί ότι οι δίοδοι άγουν επαρκώς. Αυτό, σε συνδυασμό με την έντονη σύζευξη που παρατηρείται μεταξύ των θυρών, συνεπάγεται ότι θα εμφανίζεται κάποια συνιστώσα του LO, με αρκετή παραμόρφωση, στην θύρα RF, πράγμα μη επιθυμητό.

Διακοπτικός Μείκτης.

Στην εικόνα 4 φαίνεται ένας μείκτης που διαλέγει μέσω ενός διακόπτη αν θα οδηγηθεί στην έξοδο το σήμα RF με φάση 0° ή 180° . Ο διακόπτης ελέγχεται από το σήμα LO που έχει τη μορφή τετραγωνικού παλμού.



Εικόνα 4. Διακοπτικός μείκτης.

Αν και η ιδέα είναι ιδιαίτερα απλή, το φάσμα του σήματος IF μπορεί να είναι αρκετά πολύπλοκο, λόγω της φύσεως του τετραγωνικού παλμού που οδηγεί το διακόπτη, ο οποίος εισάγει odd numbered harmonics στο φάσμα εξόδου.

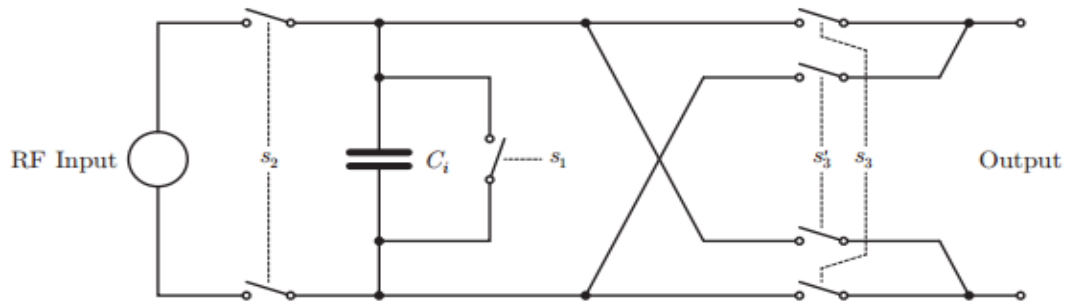
Σκοπός της εργασίας.

Στην διπλωματική αυτή εργασία εξετάζουμε τοπολογίες διακοπτικών μεικτών στις οποίες προσπαθούμε να περιορίσουμε τις περιττές αρμονικές που εισάγονται λόγω της τετραγωνικής μορφής του LO. Πιο συγκεκριμένα το LO του συστήματος μας αντί να είναι ένας απλός τετραγωνικός παλμός, αντικαθίσταται με ένα κβαντισμένο ημίτονο επιθυμητής συχνότητας. Με αυτόν τον τρόπο όσο αυξάνονται τα επίπεδα κβαντισμού, τόσο αναμένουμε να ελαχιστοποιείται η ενέργεια των επιπλέον

αρμονικών στο φάσμα εξόδου, καθώς το LO θα προσεγγίζει ένα ιδανικό ημίτονο. Για την δημιουργία αυτή του LO θα χρησιμοποιηθεί ένα DDS, όπου όμως δεν θα κάνουμε χρήση του DAC αλλά μόνο του digital stream, οι τιμές του οποίου, όπως θα δούμε στην συνέχεια, θα χρησιμοποιηθούν για την πραγματοποίηση της μείξης.

Κεφάλαιο 1: Θεωρητική ανάλυση.

Ο μείκτης που θα εξετάσουμε στην διπλωματική αυτή βασίζει την λειτουργία του σε κυκλώματα διακοπόμενων πυκνωτών, ενώ το βασικό του Block εμφανίζεται στην εικόνα 2. Η ανάλυση με εξισώσεις κατάστασης έγινε από τον Νικόλαο Σταματόπουλο και παρουσιάζονται εδώ για πληρότητα.



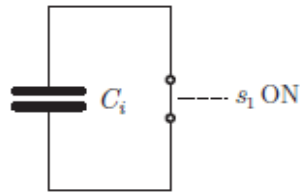
Εικόνα 1. Ιδανικό Block του μείκτη.

1.1 Περιγραφή της λειτουργίας του βασικού Block.

Το κύκλωμα του παραπάνω σχήματος αποτελείται από έναν πυκνωτή, μερικούς διακόπτες και θύρες εισόδου και εξόδου.

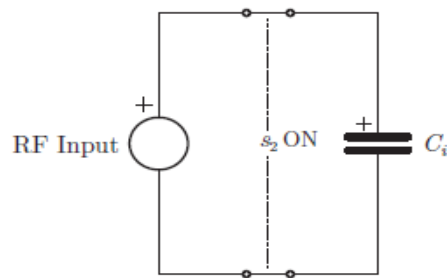
Θα αναλύσουμε την λειτουργία του κυκλώματος αυτού για έναν συγκεκριμένο τρόπο λειτουργίας. Αυτός ο τρόπος αποτελείται από τα εξής βήματα: μία τάση εισόδου εφαρμόζεται στον πυκνωτή, έπειτα, ανάλογα με την ψηφιακή τιμή του σήματος που παρέχεται ως LO, κάποιοι πυκνωτές αναστρέφονται και όλη η συστοιχία συνδέεται στον πυκνωτή εξόδου. Το φορτίο ανακατανέμεται αμέσως και η τάση εξόδου αναπτύσσεται τελικά στον πυκνωτή εξόδου. Απαραίτητη προϋπόθεση για την προβλεπόμενη λειτουργία του κυκλώματος είναι να ενεργοποιούνται οι τρεις φάσεις από ρολόγια με αμοιβαία μη επικαλυπτόμενους παλμούς, ώστε να είναι διακριτές μεταξύ τους οι καταστάσεις.

- **Φάση 1 (reset):** Ο διακόπτης s_1 χρησιμοποιείται για μηδενισμό της τάσης του πυκνωτή, όπως φαίνεται στην εικόνα 3.



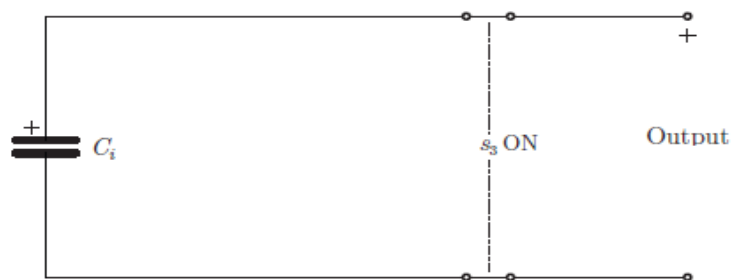
Εικόνα 2. Φάση 1.

- **Φάση 2 (charge):** Το ζεύγος διακοπών s_2 χρησιμοποιείται για εφαρμογή της τάσης εισόδου στον πυκνωτή C_i , όπως φαίνεται στην εικόνα 4.

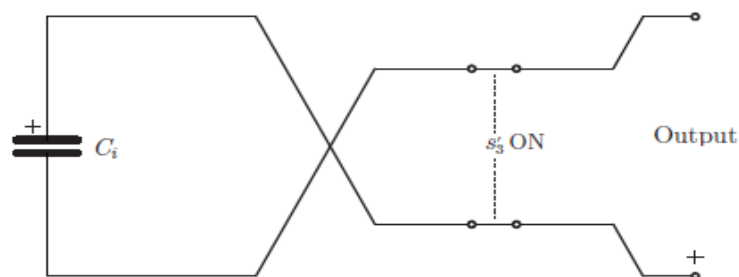


Εικόνα 3. Φάση 2.

- **Φάση 3 (output):** Τα ζεύγη διακοπών s_3, s'_3 χρησιμοποιούνται για το πέρασμα της τάσης του πυκνωτή στην έξοδο, με ορθή ή αναστροφή πολικότητας, σύμφωνα με το bit ελέγχου, που θα λαμβάνεται από το ψηφιακό LO σήμα. Η λειτουργία της φάσης αυτής φαίνεται στις εικόνες 5 και 6.



Εικόνα 4. Φάση 3-Ορθή έξοδος.



Εικόνα 5. Φάση 3-Αντεστραμμένη έξοδος.

1.2 Ανάλυση συμφώνα με την αρχή διατήρησης του φορτίου.

Ο μείκτης που μελετάμε χρησιμοποιεί μία συστοιχία από πανομοιότυπα υποκύκλωματά όπως αυτό που περιγράψαμε της εικόνας 1. Όλα τα υποκύκλωματά έχουν ίσης χωρητικότητας πυκνωτές και ακολουθούν ταυτόχρονα τις τρεις φάσεις λειτουργίας που περιγράφηκαν στην προηγούμενη ενότητα. Στην τρίτη φάση, το ψηφιακό σήμα LO ορίζει ποιοι πυκνωτές θα περάσουν στην έξοδο την τάση τους με ορθή ή ανάστροφη πολικότητα. Έτσι, επιτυγχάνεται, σε κάθε υποκύκλωμα, πολλαπλασιασμός με ± 1 , ενώ, συνολικά, μετά τις ανακατανομές φορτίου, εμφανίζεται στην έξοδο ένα κλάσμα της τάσης εισόδου που είναι ανάλογο με το σήμα LO, το οποίο υποδηλώνει τη διαδικασία του πολλαπλασιασμού του τελευταίου με το σήμα εισόδου.

Έστω ότι ο μείκτης χρησιμοποιεί m το πλήθος τέτοια υποκύκλωματά με διακοπόμενο πυκνωτή και ο πυκνωτής εξόδου είναι αφόρτιστος.

- **Φάση 1 (reset):** Στην φάση αυτή οι πυκνωτές εισόδου C_i εκφορτίζονται πλήρως οπότε το συνολικό φορτίο στο κύκλωμα θα είναι μηδενικό.
- **Φάση 2 (charge):** Αν V_{in} η τάση εισόδου την χρονική στιγμή αυτή και εφόσον η συχνότητα λειτουργίας f_s είναι αρκετά μεγαλύτερη από την συχνότητα εισόδου ώστε να θεωρείται η τάση αυτή σταθερή, τότε κάθε ένας από τους m πυκνωτές των Block φορτίζεται με φορτίο Q_i το οποίο ισούται με $Q_i = C_i V_{in}$.
- **Φάση 3 (output):** Στην φάση αυτήν, έστω ότι n πυκνωτές από τους m συνδέονται αντίστροφα. Τότε το συνολικό φορτίο που θα ανακατανεμηθεί στους m πυκνωτές και στον πυκνωτή εξόδου ισούται με $Q = (m - 2n)C_i V_{in}$. Επομένως, αν V_{out} η τάση εξόδου και C_{out} ο πυκνωτής εξόδου, τότε απο την αρχή διατήρησης του φορτίου έχουμε ότι:

$$(m - 2n)C_i V_{in} = C_{out} V_{out} + mC_i V_{in} \rightarrow V_{out} = (m - 2n) \frac{C_i}{mC_i + C_{out}} V_{in}.$$

Από την παραπάνω σχέση βλέπουμε ότι ο πολλαπλασιασμός πραγματοποιείται μεταξύ του σήματος εισόδου και ενός ψηφιακού σήματος που παίρνει τιμές $-m, -m+2, \dots, m-2, m$ (συνολικά m τιμές).

1.3 Ανάλυση με εξισώσεις κατάστασης.

Αντίστοιχα με πριν, έστω ότι ο μείκτης χρησιμοποιεί m το πλήθος υποκυκλώματα με διακοπτόμενο πυκνωτή. Συνεπώς, έχουμε στο κύκλωμα $m + 1$ μεταβλητές κατάστασης, λαμβάνοντας υπόψη και την τάση του πυκνωτή που συνδέεται ως φορτίο στην έξοδο της συστοιχίας. Θεωρούμε επίσης ότι οι διακόπτες παρουσιάζουν εσωτερική αντίσταση R .

- **Φάση 1 (reset) $0 < t < t_1$:** Έστω u_1, u_2, \dots, u_m οι τάσεις στα άκρα των m πυκνωτών και v_{out} η τάση του πυκνωτή εξόδου. Γράφοντας τις εξισώσεις κατάστασης για την διαδικασία αυτή, παίρνουμε την παρακάτω μητρική μορφή:

$$\begin{bmatrix} \dot{v}_1(t) \\ \dot{v}_2(t) \\ \dot{v}_3(t) \\ \vdots \\ \dot{v}_m(t) \\ \dot{v}_{out}(t) \end{bmatrix} = -\frac{1}{RC} \begin{bmatrix} 1 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 1 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 1 & 0 \\ 0 & 0 & 0 & \cdots & 0 & 0 \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ \vdots \\ v_m(t) \\ v_{out}(t) \end{bmatrix} \quad (1)$$

Η λύση για το χρονικό διάστημα $0 < t < t_1$ που διαρκεί η πρώτη φάση είναι:

$$\begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ \vdots \\ v_m(t) \\ v_{out}(t) \end{bmatrix} = \begin{bmatrix} e^{-\frac{t}{RC}} & 0 & 0 & \cdots & 0 & 0 \\ 0 & e^{-\frac{t}{RC}} & 0 & \cdots & 0 & 0 \\ 0 & 0 & e^{-\frac{t}{RC}} & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & e^{-\frac{t}{RC}} & 0 \\ 0 & 0 & 0 & \cdots & 0 & 1 \end{bmatrix} \begin{bmatrix} v_1(0) \\ v_2(0) \\ v_3(0) \\ \vdots \\ v_m(0) \\ v_{out}(0) \end{bmatrix} \quad (2)$$

- **Φάση 2 (charge) $t_1 < t < t_2$:** Έστω $u(t)$ το σήμα της RF εισόδου. Με την προϋπόθεση ότι η συχνότητα λειτουργίας f_s του κυκλώματος είναι αρκετά μεγαλύτερη από την συχνότητα του $u(t)$, μπορούμε να θεωρήσουμε ότι η $u(t)$ είναι σταθερή κατά τη διάρκεια της δεύτερης φάσης. Γράφοντας τις εξισώσεις κατάστασης για τη διαδικασία αυτή, παίρνουμε την παρακάτω

μητρική μορφή:

$$\begin{bmatrix} \dot{v}_1(t) \\ \dot{v}_2(t) \\ \dot{v}_3(t) \\ \vdots \\ \dot{v}_m(t) \\ \dot{v}_{out}(t) \end{bmatrix} = -\frac{1}{2RC} \begin{bmatrix} 1 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 1 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 1 & 0 \\ 0 & 0 & 0 & \cdots & 0 & 0 \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ \vdots \\ v_m(t) \\ v_{out}(t) \end{bmatrix} + \frac{1}{2RC} \begin{bmatrix} 1 \\ 1 \\ 1 \\ \vdots \\ 1 \\ 0 \end{bmatrix} u(t) \quad (3)$$

Η παραπάνω εξίσωση έχει τη μορφή:

$$\dot{v}(t) = -Av(t) + bu(t) \quad (4)$$

με λύση:

$$v(t) = e^{A(t-t_1)}v(t_1) + \int_{t_1}^t e^{A(t-\tau)}bu(\tau)d\tau \quad (5)$$

και επειδή θεωρούμε την $u(t)$ σταθερή και ίση με $u(t_1)$, λαμβάνουμε την εξής αναλυτική λύση:

$$\begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ \vdots \\ v_m(t) \\ v_{out}(t) \end{bmatrix} = e^{-\frac{t-t_1}{2RC}} \begin{bmatrix} 1 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 1 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 1 & 0 \\ 0 & 0 & 0 & \cdots & 0 & e^{\frac{t-t_1}{2RC}} \end{bmatrix} \begin{bmatrix} v_1(t_1) \\ v_2(t_1) \\ v_3(t_1) \\ \vdots \\ v_m(t_1) \\ v_{out}(t_1) \end{bmatrix} + 2RC(1 - e^{-\frac{t-t_1}{2RC}}) \begin{bmatrix} 1 \\ 1 \\ 1 \\ \vdots \\ 1 \\ 0 \end{bmatrix} u(t_1) \quad (6)$$

- **Φάση 3 (output) $t_2 < t < t_3$:** Θα ορίσουμε αρχικά τα παρακάτω μεγέθη.

Έστω:

p_i : η πολικότητα του i -οστού πυκνωτή (+1 για ορθή, ή -1 για ανάστροφη)

k : λόγος χωρητικότητας ενός πυκνωτή της συστοιχίας προς τη χωρητικότητα του C_{out} , δηλαδή $\frac{C_i}{C_{out}}$.

Το διάνυσμα $\mathbf{p} = [p_1 \ p_2 \ \dots \ p_m]^T$ (μήκους $m = 2^b$) αποτελεί αναπαράσταση σε θερμομετρικό κώδικα της δυαδικής λέξης (μήκους b bits) που δίνεται ως σήμα LO, με την ιδιαιτερότητα ότι κατασκευάζεται με -1 ώστε να αντιστρέφει ένα μέρος της συστοιχίας πυκνωτών κάθε φορά.

Γράφοντας τις εξισώσεις κατάστασης σε μητρική μορφή, λαμβάνουμε:

$$\begin{bmatrix} \dot{v}_1(t) \\ \dot{v}_2(t) \\ \dot{v}_3(t) \\ \vdots \\ \dot{v}_m(t) \\ \dot{v}_{out}(t) \end{bmatrix} = -\frac{1}{2RC} \begin{bmatrix} 1 & 0 & 0 & \dots & 0 & -p_1 \\ 0 & 1 & 0 & \dots & 0 & -p_2 \\ 0 & 0 & 1 & \dots & 0 & -p_3 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & -p_m \\ -kp_1 & -kp_2 & -kp_3 & \dots & -kp_m & mk \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ \vdots \\ v_m(t) \\ v_{out}(t) \end{bmatrix} \quad (7)$$

Ενώ ο πίνακας A έχει την μορφή:

$$A = -\frac{1}{2RC} \left[\begin{array}{c|c} \mathbf{I} & -\mathbf{p} \\ \hline -\mathbf{ap}^T & mk \end{array} \right] \quad (8)$$

Επειδή είναι δύσκολο να υπολογιστεί αναλυτικά ο e^{At} για αυτόν τον πίνακα, μπορούμε να βρούμε μία έκφραση για τον \mathbf{A}^n και να χρησιμοποιήσουμε το ανάπτυγμα σε σειρά για την προσέγγιση του e^{At} .

Με την παρατήρηση ότι $\mathbf{p}^T \mathbf{p} = m$, προχωράμε σε υπολογισμό του \mathbf{A}^2 :

$$A^2 = \left(-\frac{1}{2RC}\right)^2 \left[\begin{array}{c|c} I + kpp^\top & -(1 + mk)p \\ \hline -(k + mk^2)p^\top & mk + (mk)^2 \end{array} \right] \quad (9)$$

Οπότε η έκφραση για το A^n είναι η:

$$A^n = \left(-\frac{1}{2RC}\right)^n \left[\begin{array}{c|c} I + \alpha_n pp^\top & \beta_n p \\ \hline \gamma_n p^\top & \delta_n \end{array} \right] \quad (10)$$

Ενώ για το $A^{n+1} = A^n A$ έχουμε:

$$A^{n+1} = \left(-\frac{1}{2RC}\right)^{n+1} \left[\begin{array}{c|c} I + (\alpha_n - k\beta_n)pp^\top & (-1 - m\alpha_n + mk\beta_n)p \\ \hline (\gamma_n - k\delta_n)p^\top & -m\gamma_n + mk\delta_n \end{array} \right] \quad (11)$$

Από τα παραπάνω λαμβάνουμε τα συστήματα:

$$\begin{aligned} \begin{bmatrix} \alpha_{n+1} \\ \beta_{n+1} \end{bmatrix} &= \begin{bmatrix} 1 & -k \\ -m & mk \end{bmatrix} \begin{bmatrix} \alpha_n \\ \beta_n \end{bmatrix} + \begin{bmatrix} 0 \\ -1 \end{bmatrix} \\ \begin{bmatrix} \gamma_{n+1} \\ \delta_{n+1} \end{bmatrix} &= \underbrace{\begin{bmatrix} 1 & -k \\ -m & mk \end{bmatrix}}_X \begin{bmatrix} \gamma_n \\ \delta_n \end{bmatrix} \end{aligned} \quad (12)$$

Για το δεύτερο σύστημα η λύση είναι απλή, όπως βλέπουμε παρακάτω:

$$\begin{bmatrix} \gamma_n \\ \delta_n \end{bmatrix} = X^{n-1} \begin{bmatrix} \gamma_1 \\ \delta_1 \end{bmatrix} = X^{n-1} \begin{bmatrix} -k \\ mk \end{bmatrix} \quad (13)$$

Για το πρώτο σύστημα έχουμε τα εξής:

$$\begin{bmatrix} \alpha_n \\ \beta_n \end{bmatrix} = X^{n-1} \begin{bmatrix} \alpha_1 \\ \beta_1 \end{bmatrix} + \sum_{j=0}^{n-2} X^j \begin{bmatrix} 0 \\ -1 \end{bmatrix} \quad (14)$$

με:

$$\sum_{j=0}^{n-2} X^j = (X^{n-1} - I)(X - I)^{-1} \quad (15)$$

και επομένως:

$$\begin{bmatrix} \alpha_n \\ \beta_n \end{bmatrix} = X^{n-1} \begin{bmatrix} \alpha_1 \\ \beta_1 \end{bmatrix} + (X^{n-1} - I)(X - I)^{-1} \begin{bmatrix} 0 \\ -1 \end{bmatrix} \quad (16)$$

Τώρα διαγωνοποιώντας τον X παίρνουμε τα παρακάτω:

$$X^{n-1} = (1 + mk)^{n-2} X \quad (17)$$

και

$$(X - I)^{-1} = \frac{1}{mk} \begin{bmatrix} 1 - mk & -k \\ -m & 0 \end{bmatrix} \quad (18)$$

Τώρα αντικαθιστώντας παραπάνω παίρνουμε:

$$\begin{aligned} \begin{bmatrix} \alpha_n \\ \beta_n \end{bmatrix} &= \begin{bmatrix} \frac{1}{m} [(1 + mk)^{n-1} - 1] \\ -(1 + mk)^{n-1} \end{bmatrix} \\ \begin{bmatrix} \gamma_n \\ \delta_n \end{bmatrix} &= \begin{bmatrix} -k(1 + mk)^{n-1} \\ mk(1 + mk)^{n-1} \end{bmatrix} \end{aligned} \quad (19)$$

Και επομένως ο A^n μπορεί να γραφεί ως :

$$A^n = \left(-\frac{1}{2RC}\right)^n \left[\begin{array}{c|c} I + \frac{1}{m} [(1 + mk)^{n-1} - 1] pp^\top & -(1 + mk)^{n-1} p \\ \hline -k(1 + mk)^{n-1} p^\top & mk(1 + mk)^{n-1} \end{array} \right] \quad (20)$$

όπου πλέον μπορεί να χρησιμοποιηθεί για την εύρεση του e^{At} μέσω της σχέσης

$$e^{At} = I + At + \frac{1}{2!} A^2 t^2 + \frac{1}{3!} A^3 t^3 + \dots = \sum_{n=0}^{\infty} \frac{1}{n!} A^n t^n \quad (21)$$

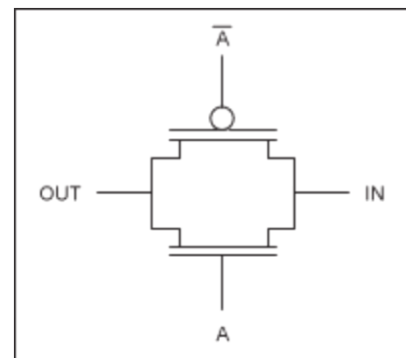
Κεφάλαιο 2 :Σχεδίαση των βασικών στοιχείων.

2.1 Ο διακόπτης.

Μια αρχική προσέγγιση για τον διακόπτη είναι η χρήση ενός μόνο transistor MOS, είτε n-MOS είτε p-MOS, το οποίο θα λειτουργεί στην περιοχή της τριόδου. Όπως γνωρίζουμε η αντίσταση στην περιοχή αυτή δίνεται από την σχέση $R = \left(\frac{\mu_{n(p)}C_{ox}W}{L}(V_{GS(SG)} - |V_{Tn(p)}|\right)^{-1}$ για το n-MOS και p-MOS αντίστοιχα. Από την παραπάνω σχέση μπορούμε να δούμε ότι όταν η διαφορά της τάσης μεταξύ gate και source μειώνεται(αυξάνεται αντίστοιχα για το p-MOS), αυξάνεται η αντίσταση τριόδου, ενώ για μεγάλες(μικρές) τιμές της τάσης source η αντίσταση γίνεται άπειρη (ανοιχτός διακόπτης) παρόλο που θέλουμε το MOS να άγει. Από τα παραπάνω φαίνεται ότι από μόνα τους είτε τα p-MOS είτε τα n-MOS είναι ακατάλληλα για διακόπτες. Η λύση στο πρόβλημα που παρουσιάσαμε παραπάνω έρχεται από τα ψηφιακά κυκλώματα, όπου εισάγεται η πύλη μετάδοσης.

➤ Πύλη μετάδοσης.

Όπως είδαμε παραπάνω, το n-MOS άγει για χαμηλές τάσεις την πυγή του, ενώ το p-MOS για υψηλές. Επομένως αν συνδέσουμε παράλληλα ένα n και ένα p MOS, θα έχουμε αγωγή για κάθε τιμές τάσης στην είσοδο μικρότερη από την τροφοδοσία. Επιπρόσθετα, η συνολική αντίσταση της πύλης μετάδοσης είναι μικρότερη από αυτή των μεμονωμένων στοιχείων, καθιστώντας την κατάλληλη για κυκλώματα με υψηλή συχνότητα λειτουργίας.



Εικόνα 1. Πύλη μετάδοσης.

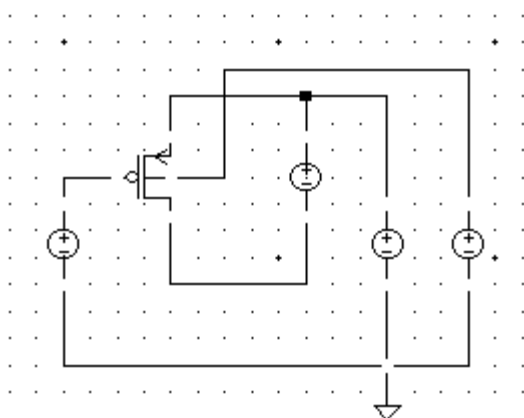
Στην συνέχεια θα παρουσιάσουμε τα χαρακτηριστικά που επιλέχθηκαν για τις πύλες μετάδοσης, καθώς και τα προβλήματα που εμφανίζουν μαζί με τις λύσεις τους.

Σχεδίαση των πυλών.

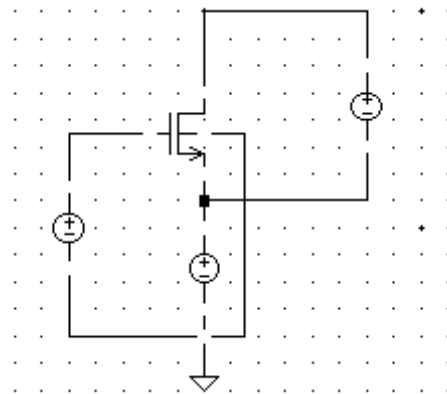
Όπως έχουμε δει η συχνότητα λειτουργίας του κυκλώματος μας σχετίζεται άμεσα με την αντίσταση που εμφανίζουν οι διακόπτες, καθώς όσο μεγαλύτερη είναι τόσο περισσότερος χρόνος απαιτείται για την φόρτιση των πυκνωτών (η σταθερά χρόνου είναι ανάλογη του RC). Οπότε θα προσπαθήσουμε να πετύχουμε όσο το δυνατόν

μικρότερη αντίσταση γίνεται. Από την σχέση $R = \left(\frac{\mu_{n(p)} C_{ox} W}{L} (V_{GS(SG)} - |V_{Tn(p)}|)\right)^{-1}$ και δεδομένου ότι οι κινητικότητα των ηλεκτρονίων(οπών) είναι σταθερή, όπως και η χωρητικότητα αν μονάδα εμβαδού του οξειδίου ($C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$), οι παράμετροι που μπορούμε να επηρεάσουμε σχεδιαστικά είναι τα πλάτη των τρανζίστορ, το μήκος τους καθώς και η τάση κατωφλίου. Η τάση κατωφλίου δίνεται από την σχέση $V_T = V_{T0} + \gamma(\sqrt{|V_{SB} + 2\phi_F|} - \sqrt{|2\phi_F|})$, όπου V_{T0} η τάση κατωφλίου για μηδενική πόλωση σώματος, V_{SB} η τάση μεταξύ πηγής και σώματος, $2\phi_F$ το έργο εξόδου του ημιαγωγού και γ η παράμετρος του φαινομένου σώματος. Είναι προφανές από την παραπάνω σχέση και από τον τύπο της αντίστασης για τα MOSFET, ότι αν μειώσουμε την τάση κατωφλίου στην ελάχιστη δυνατή V_{T0} η συνολική αντίσταση θα μειωθεί. Για να το πετύχουμε αυτό χρειάζεται να βραχυκυκλώσουμε την πυγή και το σώμα του MOS μεταξύ του, το οποίο απαιτεί την κατασκευαστική τεχνολογία triple well. Για τις προσημειώσεις μας έχουμε υποθέσει ότι δεν έχουμε πρόσβαση σε αυτήν την τεχνολογία, οπότε οι παράμετροι έχουν απομείνει για αλλαγή είναι το μήκος και το πλάτος των στοιχείων. Πάλι από την σχέση $R = \left(\frac{\mu_{n(p)} C_{ox} W}{L} (V_{GS(SG)} - |V_{Tn(p)}|)\right)^{-1}$, βλέπουμε ότι με την αύξηση του μήκους των τρανζίστορ έχουμε και αύξηση της αντίστασης. Επομένως, είναι προφανές ότι χρειάζεται να κρατήσουμε το πλάτος όσο το δυνατόν μικρότερο, όπου στην τεχνολογία που έγιναν οι προσημειώσεις είναι 180 nm.

Όσον αφορά το πλάτος των στοιχείων, με μία πρώτη ματιά βλέπουμε ότι δεν έχουμε κάποιον περιορισμό στο πλάτος που μπορούμε να χρησιμοποιήσουμε. Βέβαια θα δούμε αργότερα, ότι δεν μπορούμε να αυξήσουμε το πλάτος απεριόριστα για διάφορους λόγους, όπως για παράδειγμα το συνολικό μέγεθος που θα έχει η διάταξη μας. Για την μελέτη της επίδρασης του πλάτους των τρανζίστορ στην συνολική αντίσταση τους χρησιμοποιήθηκαν οι τοπολογίες που φαίνονται στις εικόνες 2 και 3 για τα n-MOS και p-MOS αντίστοιχα. Στις τοπολογίες αυτές, τα τρανζίστορ με την βοήθεια πηγών βρίσκονται στην περιοχή της τριόδου, ενώ το πλάτος τους μεταβάλλεται από 2 έως 40 μικρόμετρα.

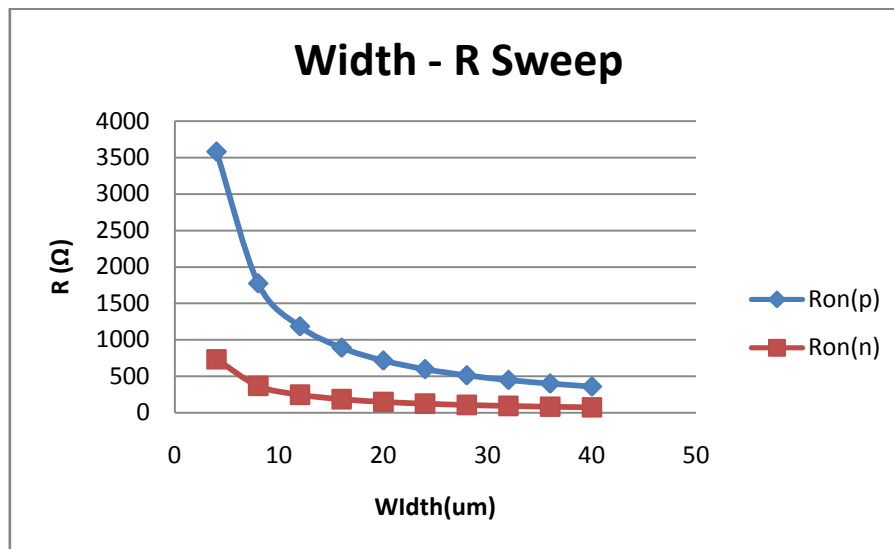


Εικόνα 3. p-MOS topology.



Εικόνα 2. n-MOS topology.

Τα αποτελέσματα των παραπάνω προσομοιώσεων εμφανίζονται στο γράφημα 1.



Γράφημα 1. Width-R Sweep.

Από το παραπάνω φαίνεται ότι οι καμπύλες έχουν την αναμενόμενη συμπεριφορά, ενώ αξίζει να σημειωθεί ότι η διαφορά των δύο καμπύλων οφείλεται στην μικρότερη κινητικότητα των οπών (μ_p) σε σχέση με την κινητικότητα των ηλεκτρονίων (μ_n).

Προβλήματα.

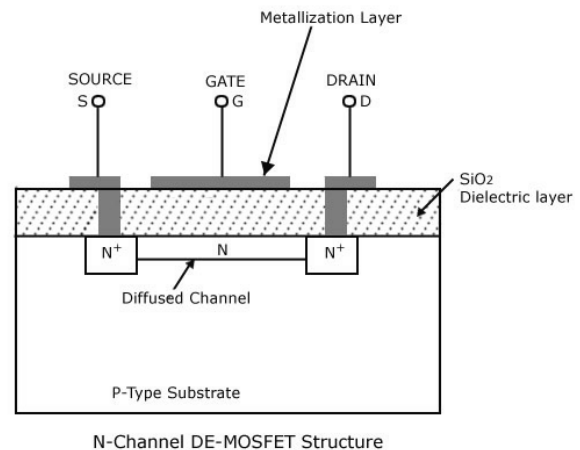
Όπως φάνηκε προηγουμένως, το μέγεθος των τρανζίστορ μπορεί να επιλεγεί όσο μεγάλο επιθυμείτε για να επιτευχθεί η ζητούμενη αντίσταση. Όμως, δεδομένου ότι οι πύλες χρησιμοποιούνται σε κυκλώματα διακοπτόμενων πυκνωτών, πρέπει να ληφθούν υπόψη προβλήματα όπως το charge injection, το clock feedthrough αλλά και ο συγχρονισμός των n-MOS και p-MOS.

Charge Injection

Το φαινόμενο αυτό θα γίνει καλύτερα κατανοητό, αν σκεφτούμε την βασική αρχή λειτουργίας των MOSFET. Όπως είναι γνωστό, για να αρχίσει να άγει ένα τρανζίστορ, έστω n-MOS, πρέπει να εφαρμοστεί στην πύλη του μία τάση η οποία να είναι μεγαλύτερη από την τάση κατωφλίου. Όταν γίνει αυτό, στην περιοχή κάτω από την πύλη γίνεται αντιστροφή φορτίου με αποτέλεσμα να δημιουργηθεί αγωγίμο κανάλι, όπως φαίνεται και στην εικόνα 4.

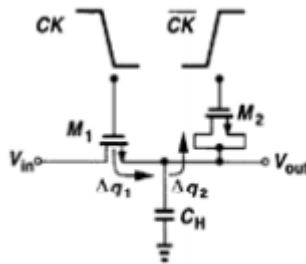
Το φορτίο που είναι αποθηκευμένο στο κανάλι αυτό θα ισούται με

$Q_{ch} = WLC_{ox}(V_H - V_{in} - V_{T(n)})$. Τώρα όταν κλείσει ο διακόπτης, το φορτίο αυτό θα εκφορτιστεί στην είσοδο και στην έξοδο. Αν υποθέσουμε ότι το μισό φορτίο περνάει στην έξοδο τότε παρατηρούμε μεταβολή τάσης που ισούται με $\Delta V = \frac{WLC_{ox}(V_H - V_{in} - V_{T(n)})}{2C_H}$ (1), όπου C_H ο πυκνωτής που φορτίζεται στην έξοδο.



Εικόνα 4. N-channel Creation.

Η ακύρωση του φορτίου αυτού, πραγματοποιείται χρησιμοποιώντας την διάταξη της εικόνας 5. Όπως βλέπουμε, πριν από τον πυκνωτή στην έξοδο έχει συνδεθεί ένα n-MOS με το drain και το source βραχυκυκλωμένα, πλάτος το μισό του τρανζίστορ που λειτουργεί σαν διακόπτης, ενώ στην πύλη του δίνεται σήμα ελέγχου συμπληρωματικό αυτού. Με αυτόν τον τρόπο το φορτίο που απελευθερώνεται όταν ανοίγει ο διακόπτης

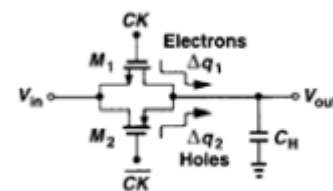


Εικόνα 5. Charge Injection Cancellation.

χρησιμοποιείται από το τρανζίστορ που έχει βραχυκυκλωμένα τα drain και source για την δημιουργία του καναλιού του. Αντίστοιχο είναι το

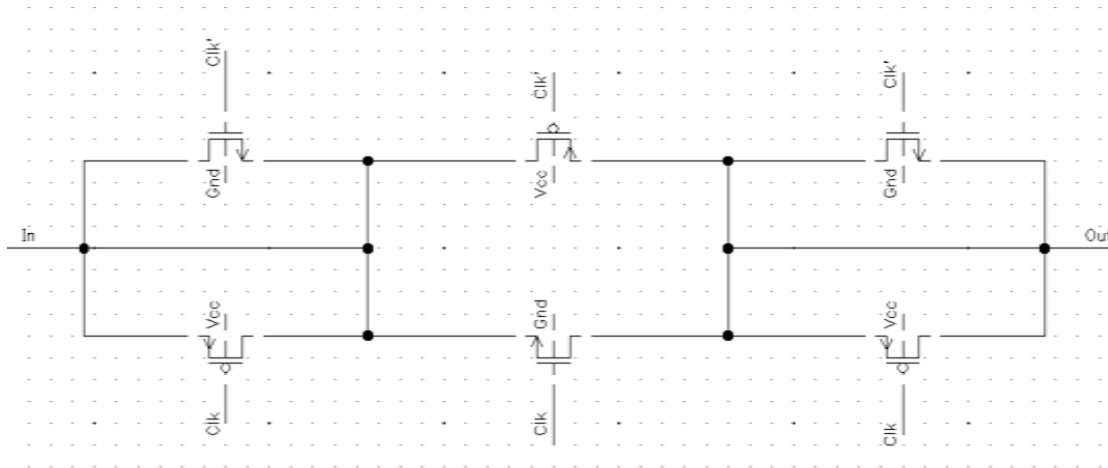
φαινόμενο και για τα p-MOS, καθώς και η ακύρωση του.

Πέρα από την μέθοδο αυτή που επιλέξαμε για την ακύρωση του επιπλέον φορτίου, η επιλογή της χρήσης πύλης μετάδοσης αντί για μεμονωμένων τρανζίστορ προσφέρει θετικά στην ακύρωση αυτή, καθώς οι οπές που απελευθερώνονται από το p-MOS αναιρούνται σε κάποιον βαθμό από τα ηλεκτρόνια που απελευθερώνονται από το n-MOS, όπως βλέπουμε στην εικόνα 6.



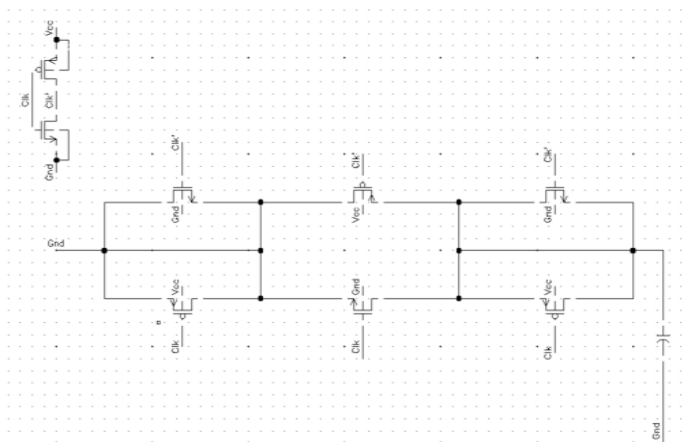
Εικόνα 6. Charge Injection Cancellation using a Transmission Gate.

Από τα παραπάνω η πύλη μετάδοσης που σχεδιάστηκε φαίνεται στην εικόνα 7. Μέχρι τώρα δεν μας είχε απασχολήσει καθόλου το μέγεθος του πυκνωτή που φορτίζουμε στην έξοδο. Όπως είδαμε όπως από την σχέση (1), όσο μεγαλύτερος είναι τόσο μικρότερη είναι η μεταβολή της τάσης στην έξοδο λόγω του charge injection, αλλά ταυτόχρονα αυξάνεται ο χρόνος φόρτισης

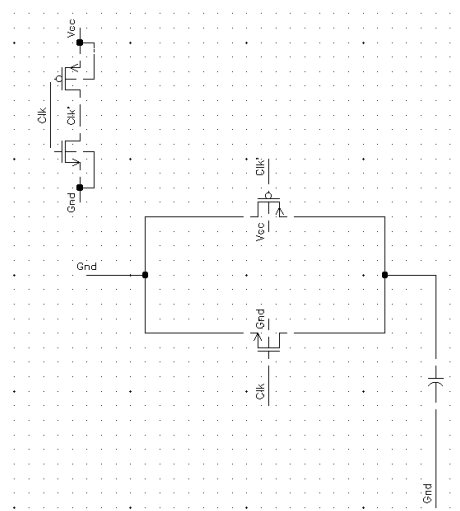


Εικόνα 7. Πύλη μετάδοσης.

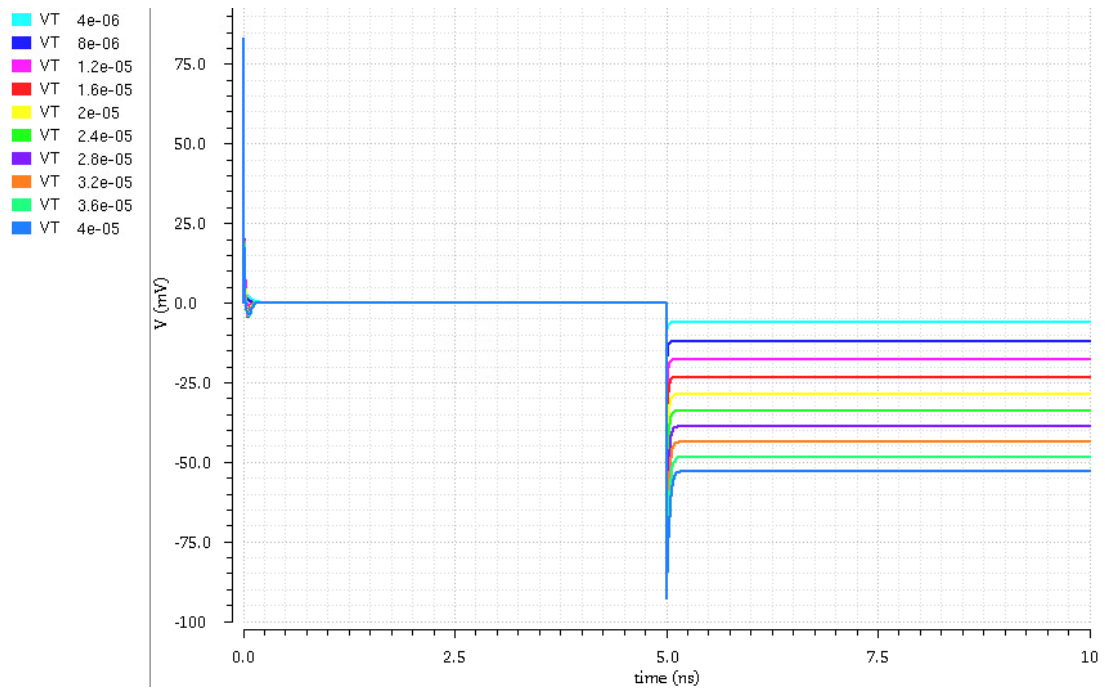
του και συνεπώς γίνεται πιο αργή η διάταξη. Επομένως πρέπει να επιλέξουμε μεταξύ ταχύτητας και ακρίβειας. Παρακάτω ακολουθούν προσημειώσεις της πύλης μετάδοσης με και χωρίς τα βραχυκυκλωμένα τρανζίστορ για να δούμε την επίδραση του φαινομένου του charge injection. Οι διατάξεις που εξετάστηκαν φαίνονται στις εικόνες 8 και 9. Σε αυτές η είσοδος παραμένει γειωμένη, ενώ οι πύλες ελέγχονται από παλμό περιόδου 10 nsec και πλάτους 5 nsec και μεταβάλλουμε αρχικά μόνο το πλάτος των τρανζίστορ με $C = 500\text{fF}$ και στην συνέχεια μεταβάλλουμε τον πυκνωτή με σταθερό πλάτος τρανζίστορ $20\mu\text{m}$. Από τα αποτελέσματα που φαίνονται παρακάτω βλέπουμε ότι όσο αυξάνεται το πλάτος των τρανζίστορ αυξάνεται και η μεταβολή της τάσης εξόδου, ενώ όσο αυξάνεται ο πυκνωτής μειώνεται η μεταβολή της τάσης εξόδου. Τέλος είναι προφανές ότι η πύλη που σχεδιάσαμε έχει καλύτερη συμπεριφορά από την απλή πύλη μετάδοσης με τα δύο τρανζίστορ.



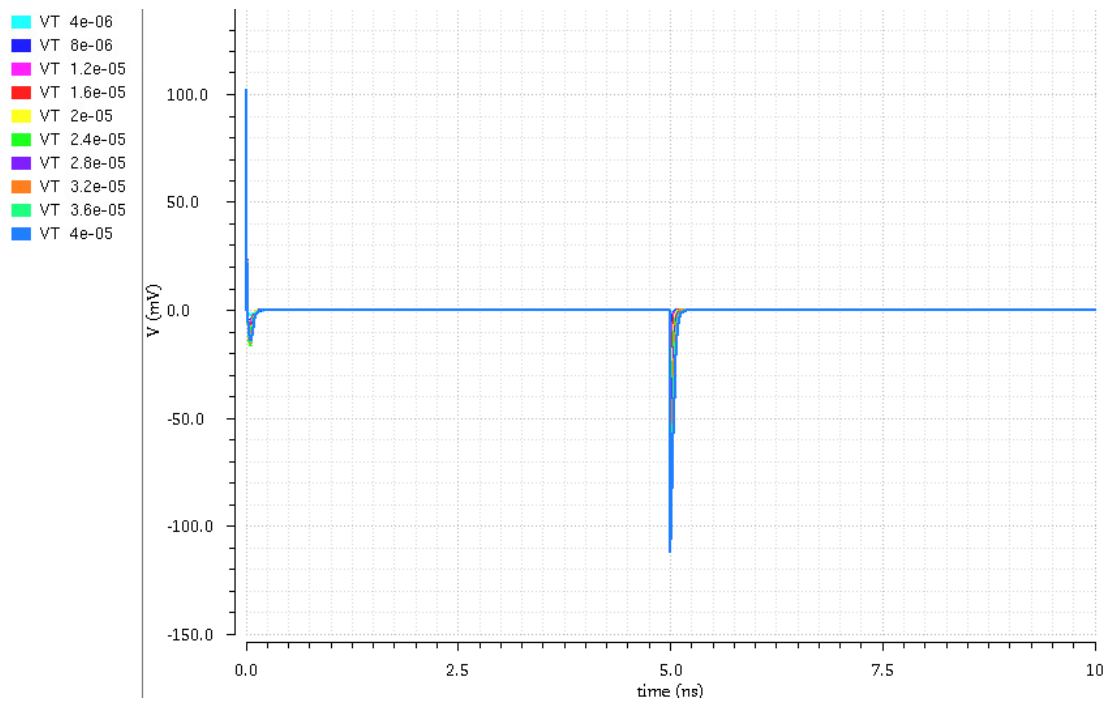
Εικόνα 8. Πύλη μετάδοσης με dummies.



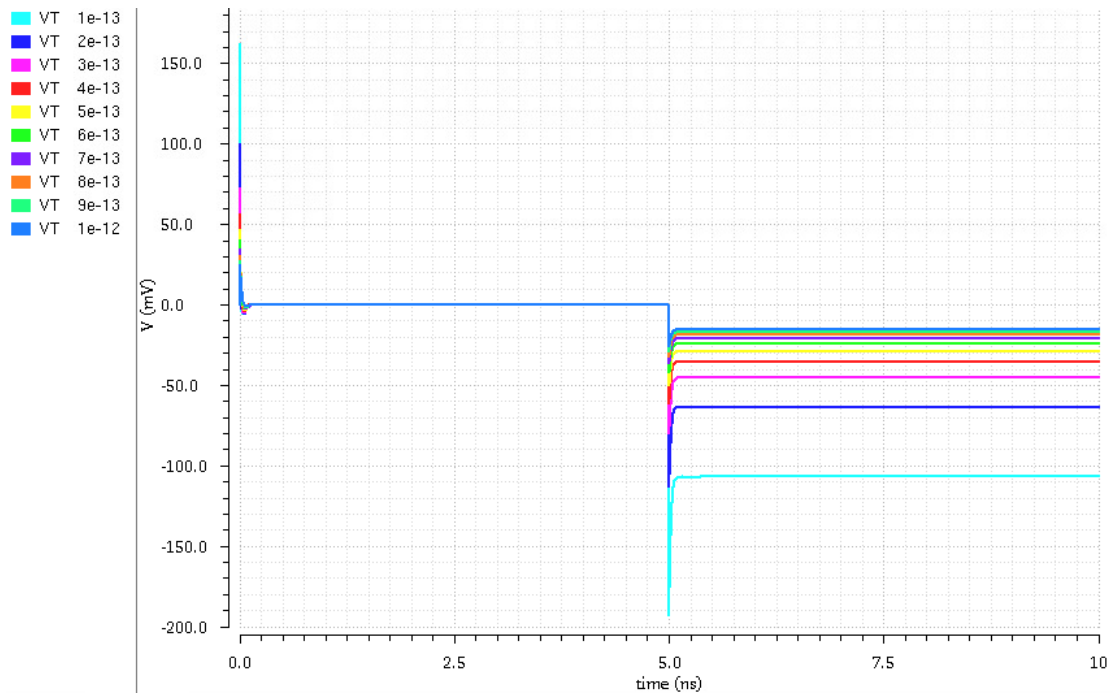
Εικόνα 9. Πύλη μετάδοσης χωρίς dummies.



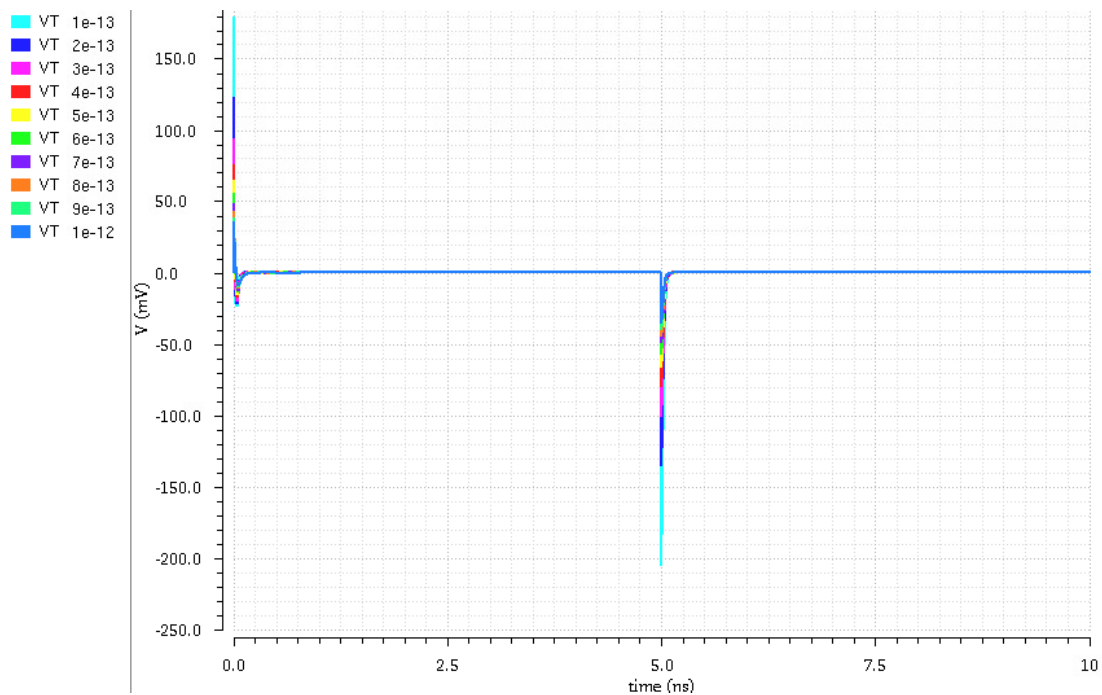
Εικόνα 10. Charge injection για πλάτος από 4-40um χωρίς dummies.



Εικόνα 11. Charge injection για πλάτος από 4-40um με dummies.



Εικόνα 12. Charge injection για πυκνωτή από 0,1-1pF χωρίς dummies.



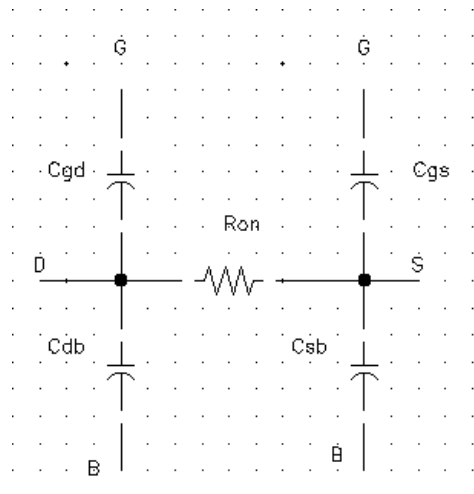
Εικόνα 13. Charge injection για πυκνωτή από 0,1-1pF με dummies.

Σε αυτό το σημείο αξίζει να σημειωθεί ότι αφού το κύκλωμα είναι διαφορετικό στην είσοδο και στην έξοδο, το επιπλέον φορτίο λόγω του charge injection αναιρείται, αν οι πύλες είναι οι ίδιες. Στην πραγματικότητα όμως έχουμε mismatch κατά την

σχεδίαση, με αποτέλεσμα να χρειάζεται να χρησιμοποιήσουμε τις μεθόδους που περιγράψαμε.

Clock Feedthrough

Ένα επιπλέον πρόβλημα που εμφανίζεται λόγω της χρήσης MOSFET είναι η μεταβολή της τάσης εξόδου, λόγω του παλμού ελέγχου των τρανζίστορ. Για να γίνει πιο κατανοητό το φαινόμενο αυτό, παρακάτω ακολουθεί ανάλυση της πύλης που σχεδιάστηκε, όπου τα τρανζίστορ έχουν αντικατασταθεί από το μοντέλο υψηλών συχνοτήτων, το οποίο για την περιοχή της τριόδου φαίνεται στην εικόνα 14. Η ανάλυση γίνεται για τις περιπτώσεις όπου η πύλη είναι είτε ανοιχτή είτε κλειστή.



Εικόνα 14. Μοντέλο υψηλών συχνοτήτων στην τριόδο.

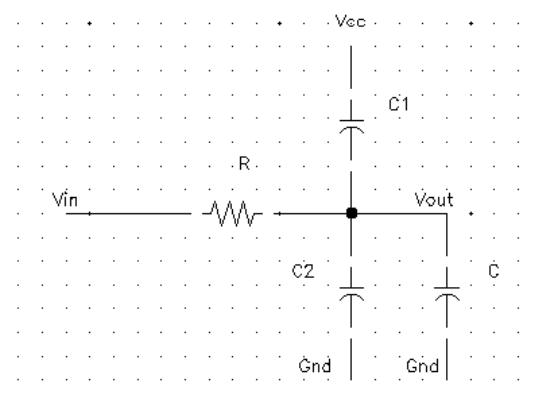
➤ Η Πύλη Άγει.

Όταν η πύλη άγει προκύπτει από την εικόνα 7 το ισοδύναμο κύκλωμα της εικόνας 15, όπου έχουμε αγνοήσει του πυκνωτές C_{db} και C_{sb} λόγω της μικρής τιμής τους, ενώ έχουμε ότι $C_1 = C_{gd(p)} + C_{gs(p)} + C_{gd(n)}$ και

$$C_2 = C_{gd(n)} + C_{gs(n)} + C_{gd(p)}$$

Εύκολα βλέπουμε από το θεώρημα της επαλληλίας ότι η μεταβολή της τάσης στην έξοδο λόγω του ρολογιού, το οποίο είναι στην τιμή V_{cc} ισούται

$$\text{με } \Delta V = \frac{C_1}{C_1 + C_2 + C} V_{cc}.$$

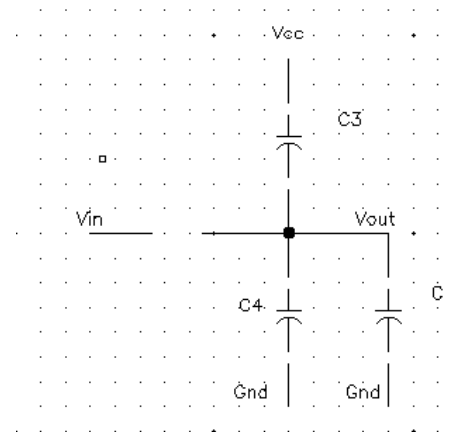


Εικόνα 15. Ισοδύναμο κύκλωμα της εικόνας 7 όταν άγει η πύλη.

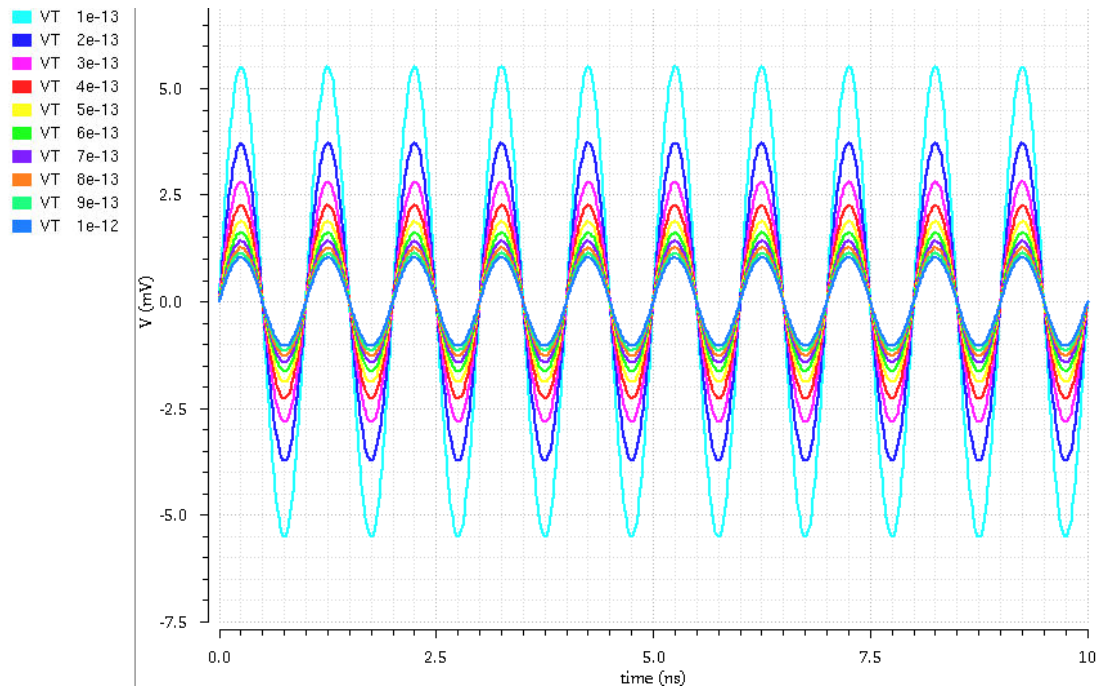
➤ Η Πύλη δεν Άγει.

Αντίστοιχα με πριν σχηματίζουμε το ισοδύναμο μοντέλο (εικόνα 16), ενώ άμεσα βλέπουμε ότι η μεταβολή στην τάση είναι πάλι $\Delta V = \frac{C_3}{C_4+C_3+C} V_{cc}$, όπου $C_3 = C_2$ και $C_4 = C_1$.

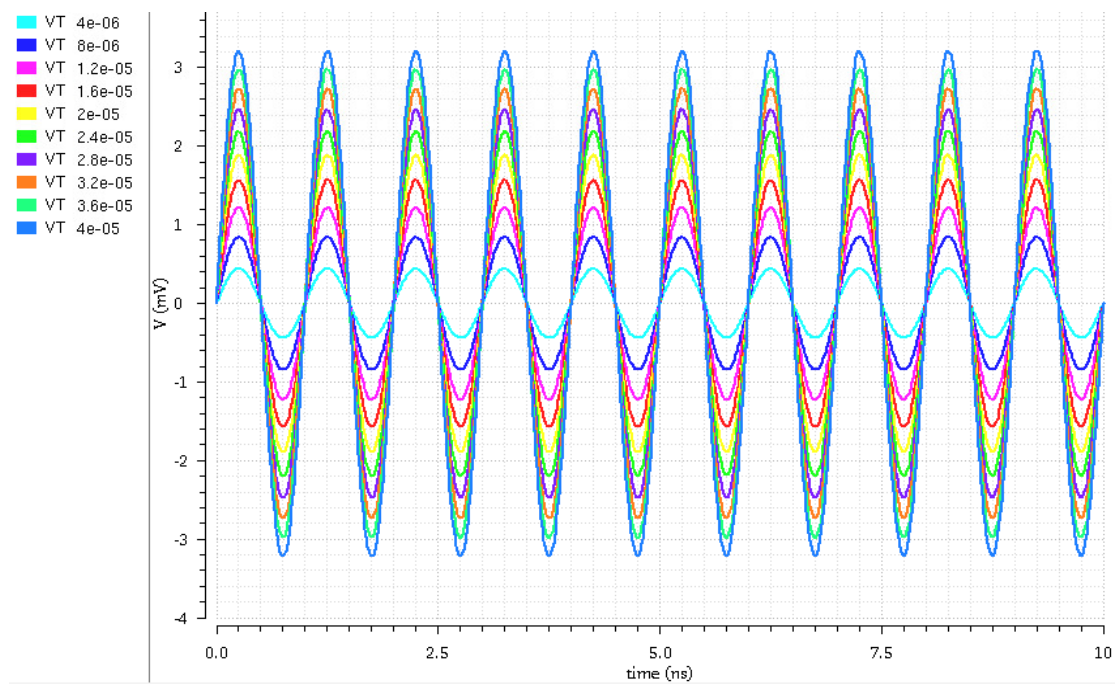
Εικόνα 16. Ισοδύναμο κύκλωμα της εικόνας 7 όταν δεν άγει η πύλη.



Σύμφωνα με τα παραπάνω, και δεδομένου ότι $C_{gd} = C_{gs} = \frac{1}{2}WLC_{ox} + WL_{OV}C_{ox}$, αν επιλέξουμε τα p-MOS και τα n-MOS να έχουν τις ίδιες διαστάσεις, προκύπτει ότι η offset τάση που θα εμφανίζεται στην έξοδο θα ισούται με $\Delta V = \frac{\frac{3}{2}WLC_{ox} + 3WL_{OV}C_{ox}}{3WLC_{ox} + 6WL_{OV}C_{ox} + C} V_{clk}$. Από την εξίσωση αυτή παρατηρούμε ότι θέλουμε έναν αρκετά μεγάλο πυκνωτή στην έξοδο για να μειωθεί η offset αυτή τάση. Επιπλέον με μία μικρή αλλαγή, η παραπάνω σχέση μετατρέπεται στην ακόλουθη $\Delta V = \frac{\frac{3}{2}LC_{ox} + 3L_{OV}C_{ox}}{3LC_{ox} + 6L_{OV}C_{ox} + \frac{C}{W}} V_{clk}$, από όπου βλέπουμε ότι η μείωση της επιπλέον αυτής τάσης επιτυγχάνεται με μείωση του πλάτους των τρανζίστορ. Και οι δύο αυτές αλλαγές όμως δυσχεραίνουν την ταχύτητα της διάταξης. Η επίδραση των μεγεθών αυτών στο clock feedthrough φαίνεται στις ακόλουθες προσομοιώσεις, όπου η πύλη διατηρείται ανοιχτή, ενώ υπερθέτουμε ένα μικρό ημιτονικό σήμα στο Clk'.

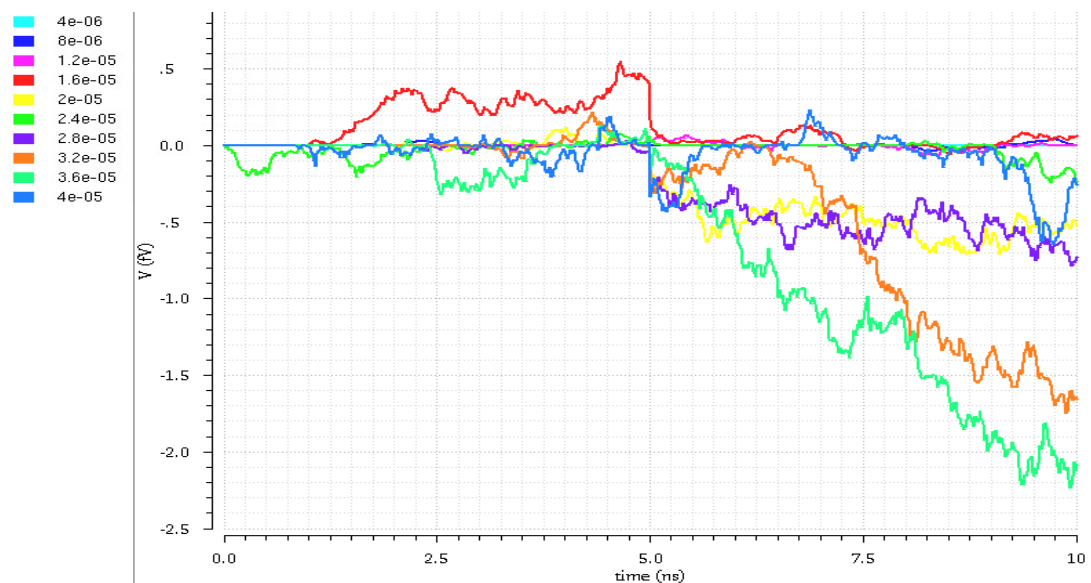


Εικόνα 17. Clock Feedthrough για πυκνωτή από 0,1-1pF.

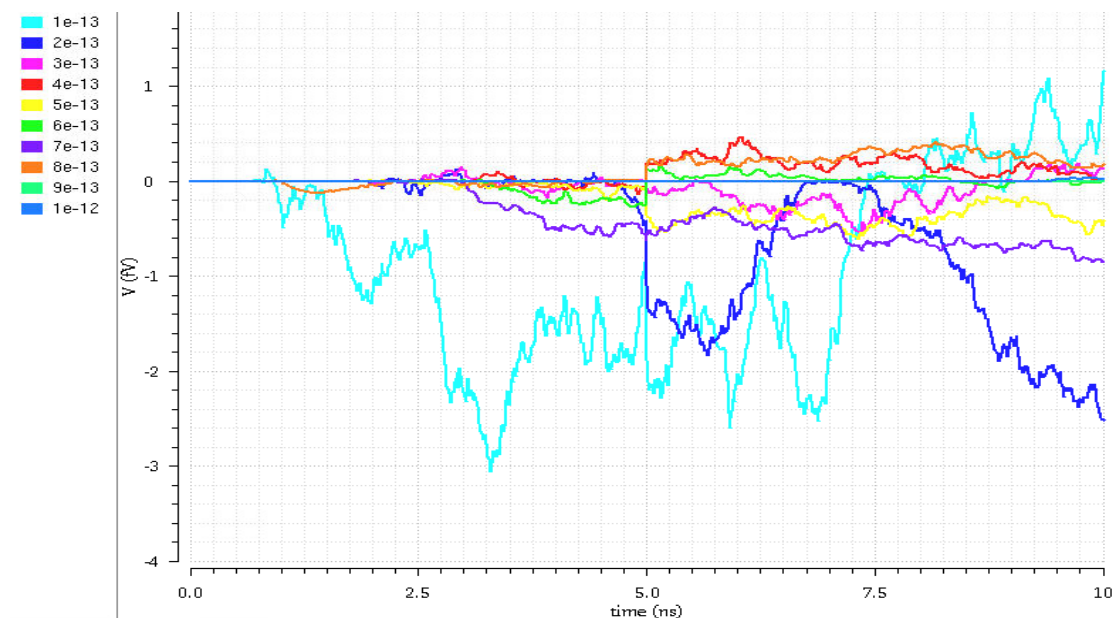


Εικόνα 18. Clock Feedthrough για πλάτος από 4-40 um.

Η λύση στο φαινόμενο αυτό έρχεται από τον τρόπο με τον οποίο έχει σχεδιαστεί το βασικό block του πολλαπλασιαστή. Πιο συγκεκριμένα όπως είδαμε στην εισαγωγή, αλλά και όπως φαίνεται στην εικόνα 19, η έξοδος του block είναι διαφορική. Με αυτόν τον τρόπο η επιπλέον τάση λόγω του ρολογιού απαλείφεται, καθώς αφαιρείται. Το συμπέρασμα αυτό προκύπτει προσομοιώνοντας μία διάταξη αντίστοιχη με την προηγούμενη, τροποποιώντας την είσοδο και την έξοδο ώστε να γίνουν διαφορικές. Τα αποτελέσματα φαίνονται στις παρακάτω εικόνες, τόσο για διάφορες τιμές του πλάτους των τρανζίστορ, όσο και για διάφορες τιμές του πυκνωτή εξόδου, και συμφωνούν με τα παραπάνω συμπεράσματα.



Εικόνα 19. Θόρυβος στην έξοδο για πλάτος από 4-40 μm και διαφορική έξοδο.



Εικόνα 20. Θόρυβος στην έξοδο για πυκνωτή από 0,1-1pF και διαφορική έξοδο.

Switching Time.

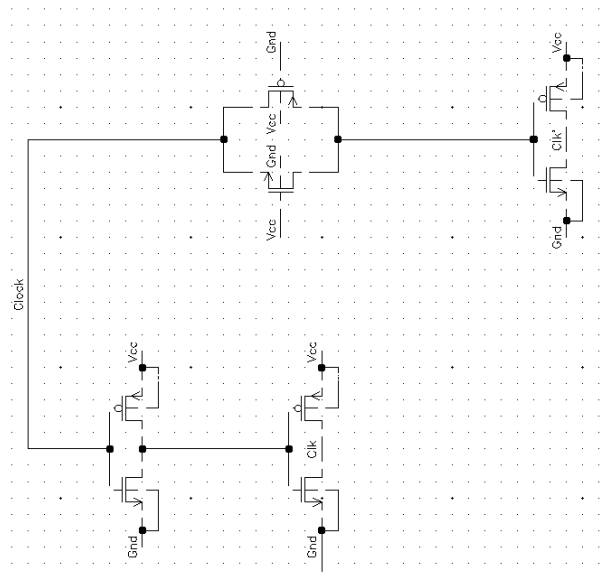
Για υψηλές συχνότητες λειτουργίας είναι απαραίτητα τα n-MOS και τα p-MOS να ανοίγουν ταυτόχρονα, καθώς αν δεν συμβαίνει αυτό η είσοδος συνεχίζει να οδηγεί την έξοδο με αποτέλεσμα να μεταβάλλεται η τάση εξόδου. Το πρόβλημα αυτό αρχικά εντοπίστηκε μέσα από την προσομοίωση της διάταξης του σχήματος 8, αφού μετατράπηκε πρώτα σε διαφορικό, και με είσοδο σταθερή τιμή τάσης στα 1,8 V. Το αποτέλεσμα φαίνεται στην εικόνα 21, που όπως βλέπουμε, μόλις ο παλμός ελέγχου γίνεται μηδέν η έξοδος αυξάνεται σε μεγαλύτερη τιμή από την επιθυμητή.



Εικόνα 21. Μεταβολή της εξόδου λόγω διαφοράς στον switching time.

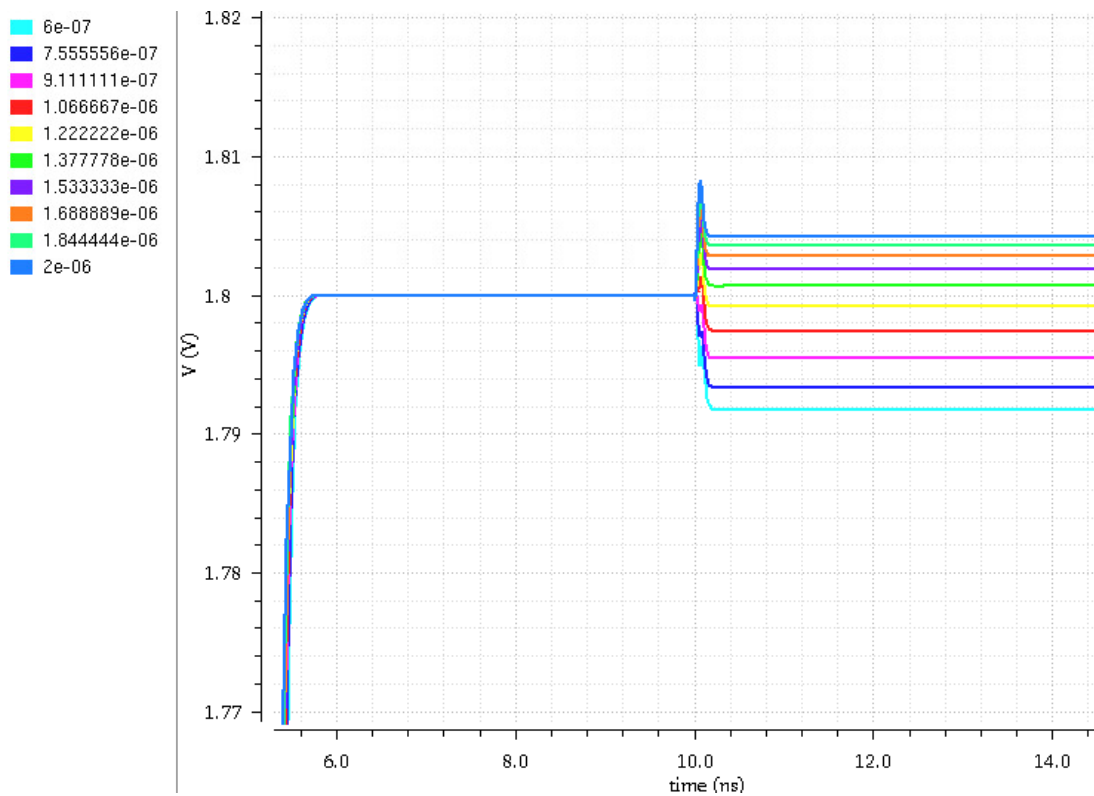
Για να επιλυθεί αυτό το πρόβλημα χρησιμοποιήθηκε το

κύκλωμα της εικόνας 22. Το κύκλωμα αυτό εισάγει καθυστέρηση με την βοήθεια της πύλης μετάδοσης, η οποία πάντα άγει, στον αντεστραμμένο παλμό του ρολογιού, ώστε να επιτυγχάνεται το ταυτόχρονο switching των τρανζίστορ. Η καθυστέρηση που εισάγεται υπολογίστηκε με προσομοίωση για τρανζίστορ πλάτους 20μm και πυκνωτή εξόδου 500fF. Τα



αποτελέσματα φαίνονται στην εικόνα 23.

Εικόνα 22. Κύκλωμα ελέγχου της πύλης μετάδοσης.



Εικόνα 23. Μεταβολή της εξόδου για διάφορα πλάτη των τρανζίστορ καθυστέρησης.

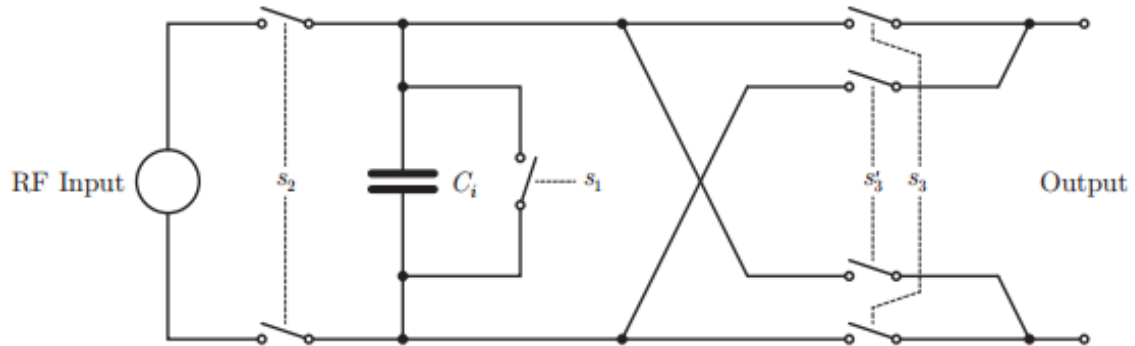
Από τα παραπάνω, μπορούμε να επιλέξουμε το κατάλληλο πλάτος τρανζίστορ στο κύκλωμα ελέγχου που δημιουργήθηκε για να πετύχουμε ταυτόχρονο κλείσιμο των τρανζίστορ.

Σύνοψη.

Στο κεφάλαιο αυτό αναλύθηκαν οι πύλες μετάδοσης που χρησιμοποιήθηκαν στις υπόλοιπες διατάξεις, τα προβλήματα που παρουσιάζουν τα πραγματικά στοιχεία καθώς και οι μέθοδοι επίλυσης τους. Αναφέρουμε ότι οι διαστάσεις που επιλέχθηκαν για τα τρανζίστορ είναι πλάτος 20μm , μήκος 160 nm, ενώ ο πυκνωτής εξόδου επιλέχθηκε να έχει μέγεθος 500 fF. Τέλος στην εικόνα 24 παρουσιάζεται το σύμβολο που δημιουργήθηκε και θα χρησιμοποιείται στην υπόλοιπη εργασία για την πύλη μετάδοσης.

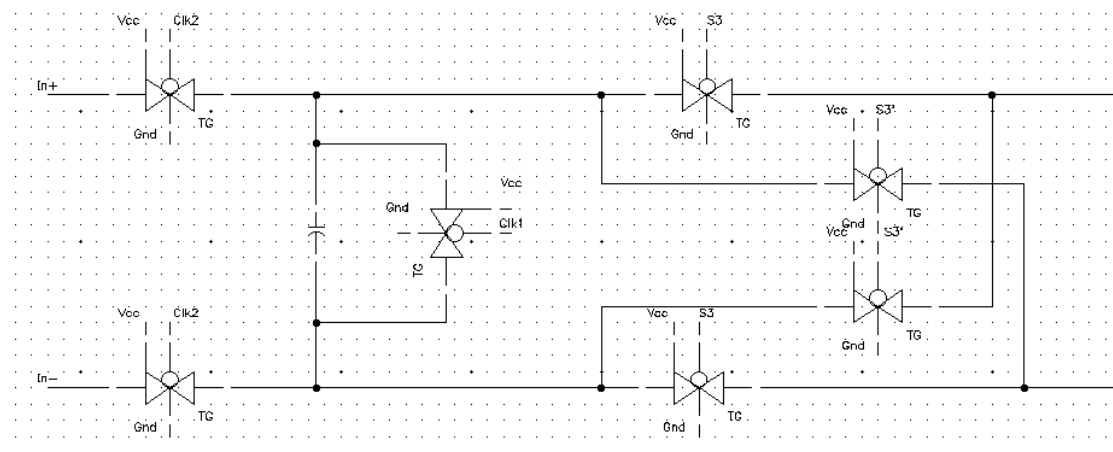
2.2 Το βασικό Block του πολλαπλασιαστή.

Όπως είδαμε και στην εισαγωγή το βασικό Block του πολλαπλασιαστή δίνεται στην εικόνα 1, ενώ η λειτουργία του έχει είδη παρουσιαστεί.



Εικόνα 1. Mixer Block.

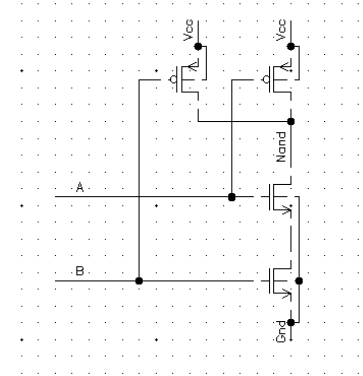
Η υλοποίηση του κυκλώματος αυτού πραγματοποιήθηκε χρησιμοποιώντας τις πύλες μετάδοσης που σχεδιάσαμε στην προηγούμενη ενότητα, για τις οποίες χρησιμοποιήθηκε πλάτος τρανζίστορ 20um, ενώ το μέγεθος του πυκνωτή C_i επιλέχθηκε να είναι 500fF. Η υλοποίηση αυτή παρουσιάζεται στην εικόνα 2.



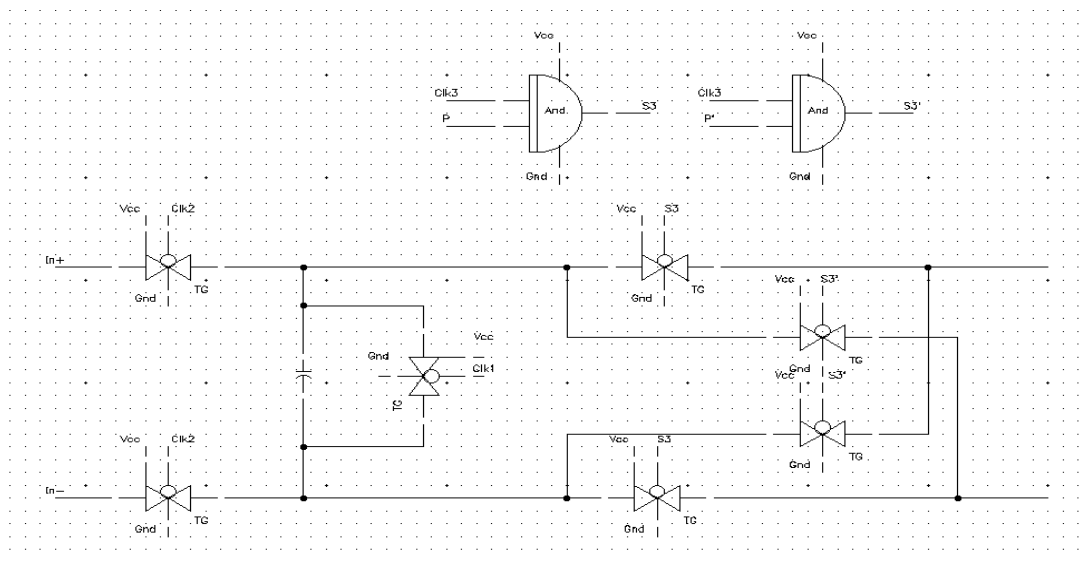
Εικόνα 2. Υλοποίηση στο Cadence.

Το επόμενο ζήτημα που χρειάστηκε να αντιμετωπιστεί είναι ο τρόπος με τον οποίο θα επιλέγεται το ζεύγος διακοπών s_3 ή s'_3 στο στάδιο της εξόδου. Για τον λόγω αυτό δημιουργήθηκαν δύο πύλες AND δύο εισόδων όπως βλέπουμε στην εικόνα 3, ενώ η εισαγωγή τους στο Block φαίνεται στην εικόνα 4. Έτσι, αν η είσοδος ελέγχου ρ_i είναι +1 (ισούται με την τάση τροφοδοσίας) τότε λειτουργεί μόνο το ζεύγος s_3 καθώς μηδενίζεται το ρολόι του ζεύγους s'_3 , ενώ όταν το ρ_i είναι -1 (ισούται με την

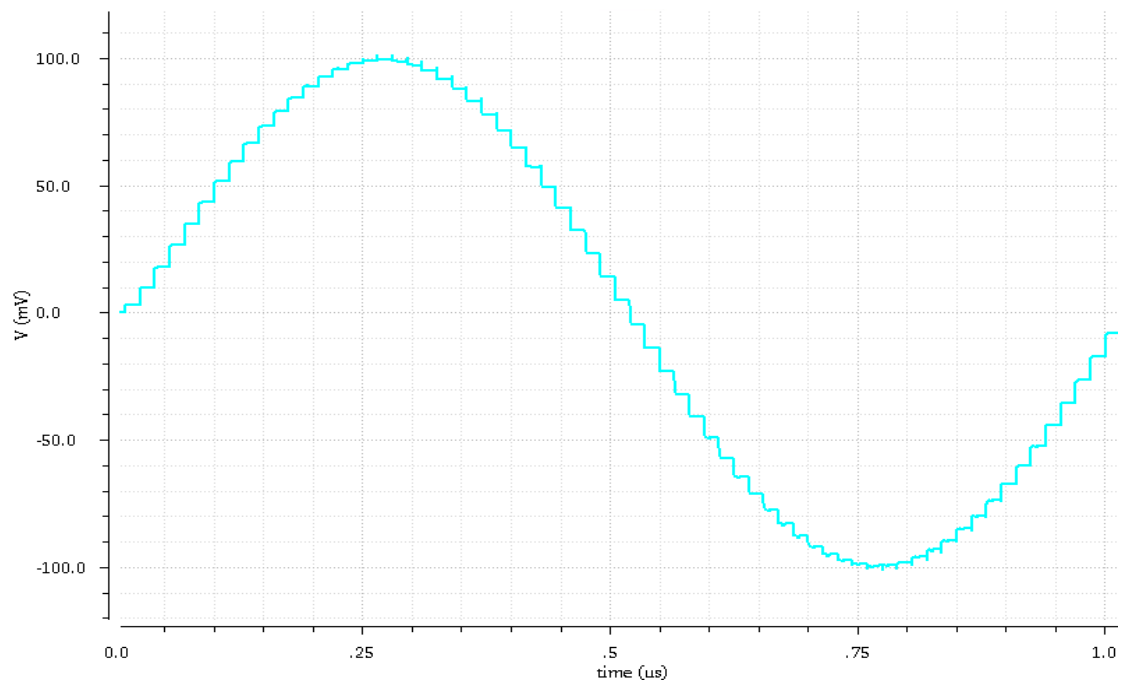
τάση γης) λειτουργεί μόνο το ζεύγος s'_3 . Στην συνέχεια παρουσιάζεται η λειτουργία ενός μόνο Block για εισόδους ελέγχου +1 και -1 αντίστοιχα, ενώ η είσοδος είναι ένα ημιτονικό σήμα και στην έξοδο προσθέσαμε έναν πυκνωτή 500fF. Τα αποτελέσματα φαίνονται στις εικόνες 5 και 6 αντίστοιχα.



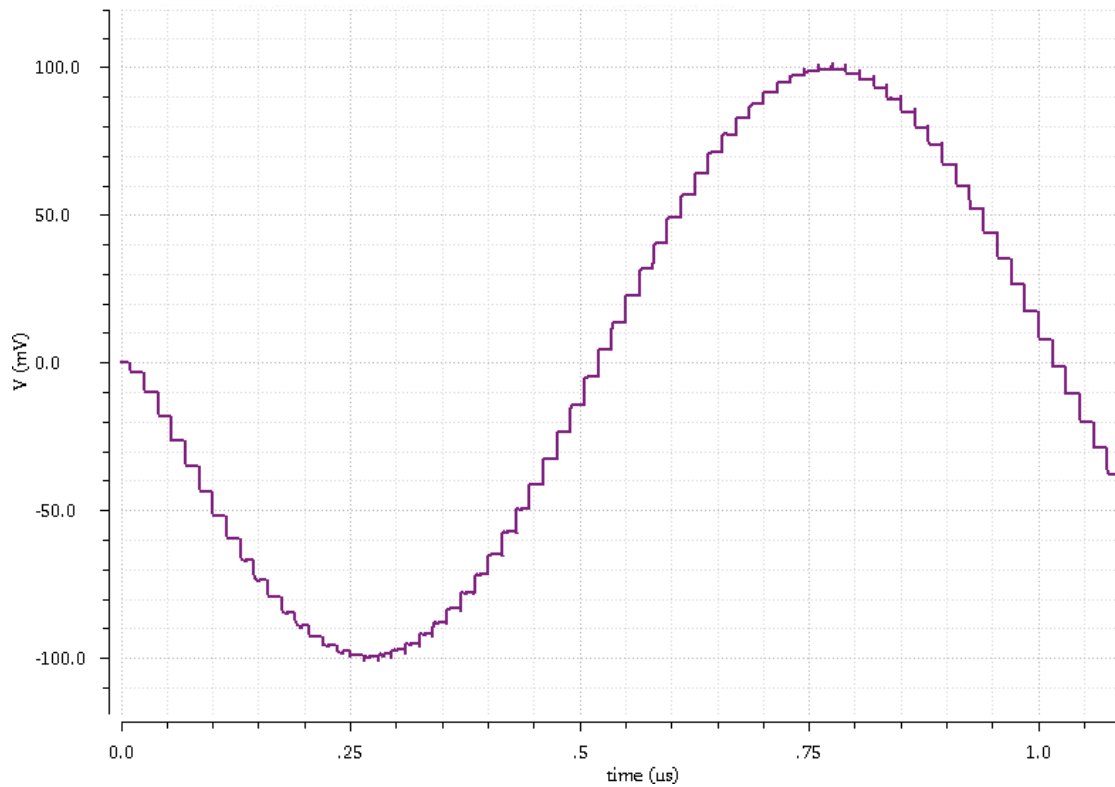
Εικόνα 3. Πύλη AND



Εικόνα 4. Block Μείκτη με τις πύλες AND



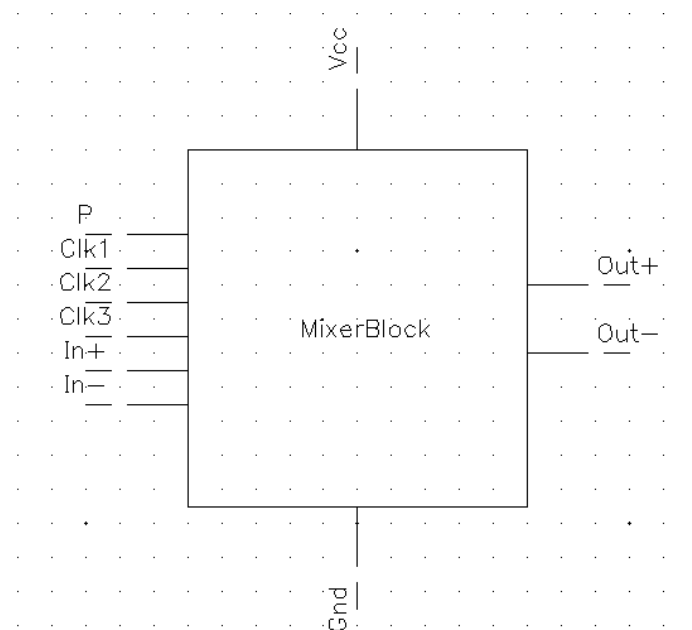
Εικόνα 5. Έξοδος του block για P = +1.



Εικόνα 5. Έξοδος του block για $P = -1$.

Όπως ήταν αναμενόμενο οι δύο έξοδοι έχουν την μορφή δειγματοληπτημένου ημιτόνου, όπου στην δεύτερη περίπτωση έχει αντιστραφεί λόγω της λειτουργίας του ζεύγους s'_3 .

Τέλος παραθέτουμε το σύμβολο που δημιουργήσαμε για το block και που θα χρησιμοποιήσουμε στα επόμενα κυκλώματα.



Εικόνα 6. Mixer Block.

Αξίζει να σημειωθεί ότι η είσοδος $A_3A_2A_1A_0$ είναι αδιάφορη καθώς οι στάθμες του ημιτόνου πρέπει να είναι περιττές για να έχουμε αναπαράσταση και του μηδενός. Στην συνέχεια περιγράφεται η σχεδίαση της κάθε συνάρτησης ξεχωριστά με την χρήση του χάρτη Karnaugh και λογικές πύλες NAND.

- Συνάρτηση P_{15}

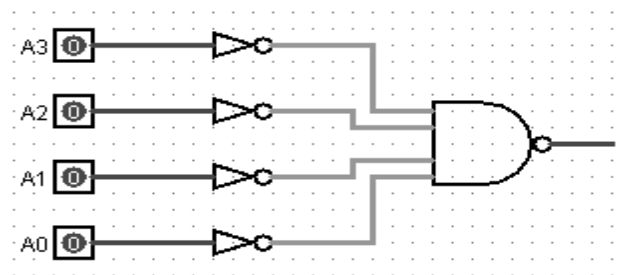
Με απλή ανασκόπηση του πίνακα αληθείας βλέπουμε ότι η συνάρτηση αυτή θα δίνει πάντοτε στην έξοδο λογικό 1. Οπότε στην έξοδο αυτή θα περνάμε την τάση τροφοδοσίας.

- Συνάρτηση P_{14}

Πάλι με ανασκόπηση του πίνακα 1 βρίσκουμε ότι

$$P_{14} = A_3 + A_2 + A_1 + A_0.$$

Η υλοποίηση της συνάρτησης αυτής ακολουθεί στην εικόνα 1.



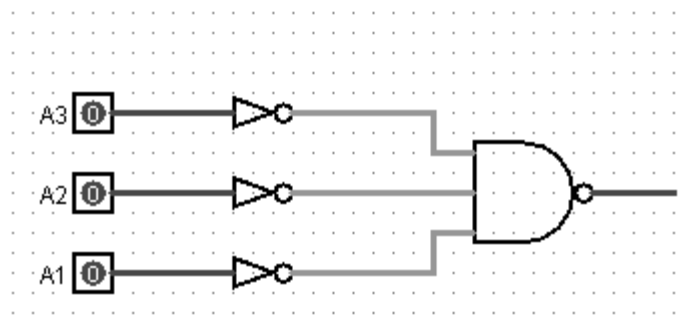
Εικόνα 1. Συνάρτηση P_{14} .

- Συνάρτηση P_{13}

Με την βοήθεια της μεθόδου Karnaugh προκύπτει ότι

$$P_{13} = A_3 + A_2 + A_1,$$

ενώ η υλοποίηση με λογικές πύλες φαίνεται στην εικόνα 2.



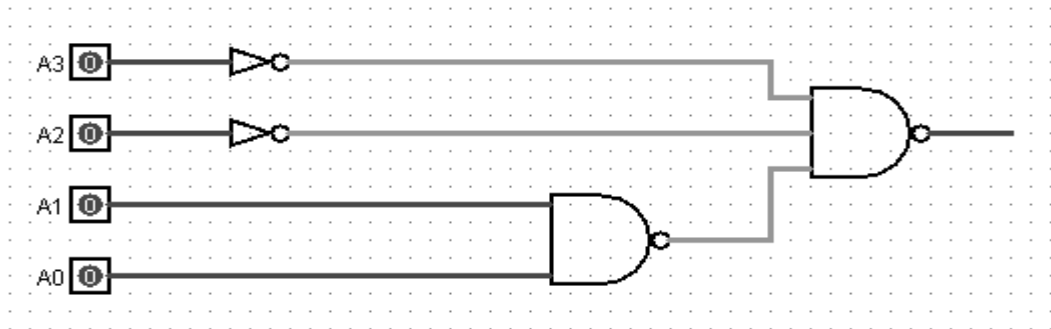
Εικόνα 2. Συνάρτηση P_{13} .

- Συνάρτηση P_{12}

Η συνάρτηση αυτή έχει την ακόλουθη μορφή

$$P_{12} = A_3 + A_2 + A_1A_0$$

με την υλοποίηση της εικόνας 3.



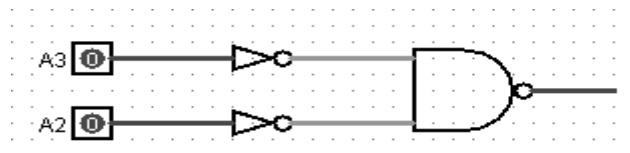
Εικόνα 3. Συνάρτηση P_{12} .

- Συνάρτηση P_{11}

Ελαχιστοποιημένη μορφή:

$$P_{11} = A_3 + A_2$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.



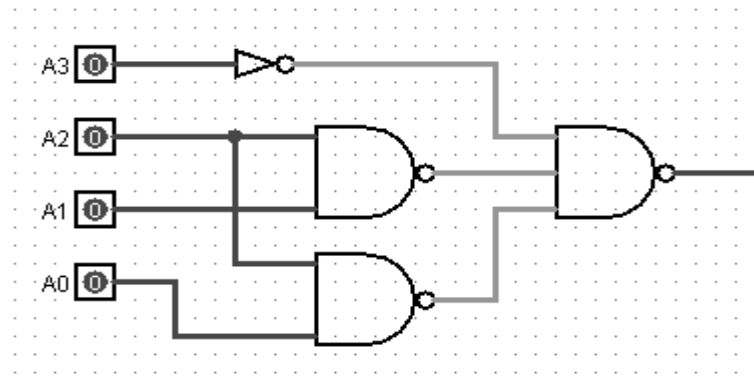
Εικόνα 4. Συνάρτηση P_{11} .

- Συνάρτηση P_{10}

Ελαχιστοποιημένη μορφή:

$$P_{10} = A_3 + A_2A_0 + A_2A_1$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

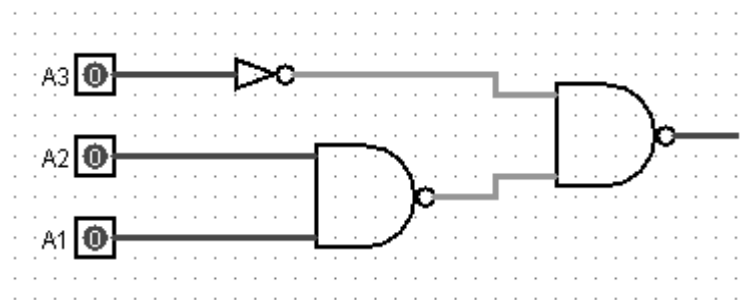
Εικόνα 5. Συνάρτηση P_{10} .

- Συνάρτηση P_9

Ελαχιστοποιημένη μορφή:

$$P_9 = A_3 + A_2A_1$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

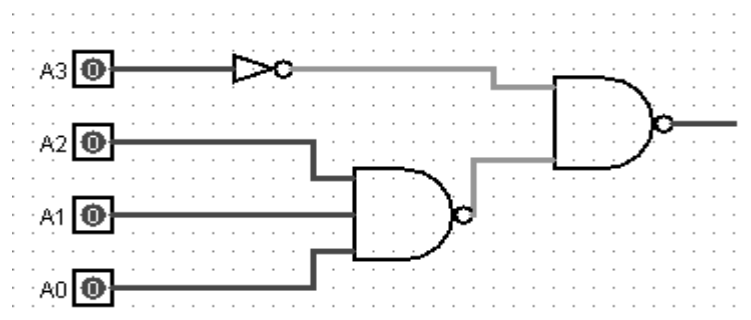
Εικόνα 6. Συνάρτηση P_9 .

- Συνάρτηση P_8

Ελαχιστοποιημένη μορφή:

$$P_8 = A_3 + A_2A_1A_0$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

Εικόνα 7. Συνάρτηση P_8 .

- Συνάρτηση P_7

Ελαχιστοποιημένη μορφή:

$$P_7 = A_3$$

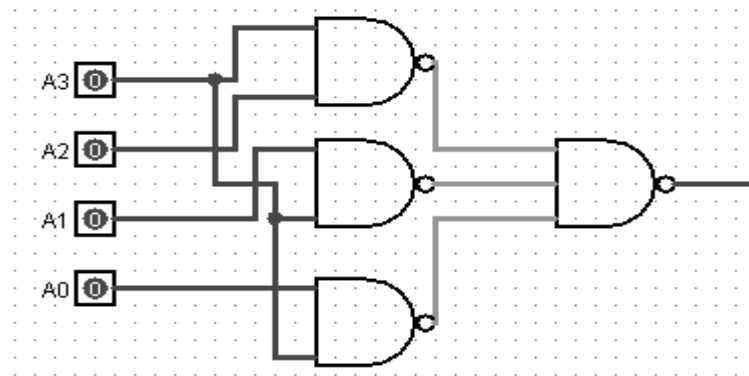
Οπότε στην έξοδο του ελεγκτή περνάμε το πιο σημαντικό bit A_3 .

- Συνάρτηση P_6

Ελαχιστοποιημένη μορφή:

$$P_6 = A_3A_0 + A_3A_1 + A_3A_2$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.



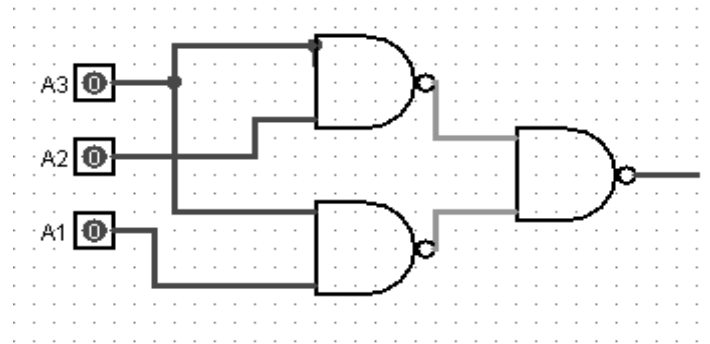
Εικόνα 8. Συνάρτηση P_6 .

- Συνάρτηση P_5

Ελαχιστοποιημένη μορφή:

$$P_5 = A_3A_1 + A_3A_2$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

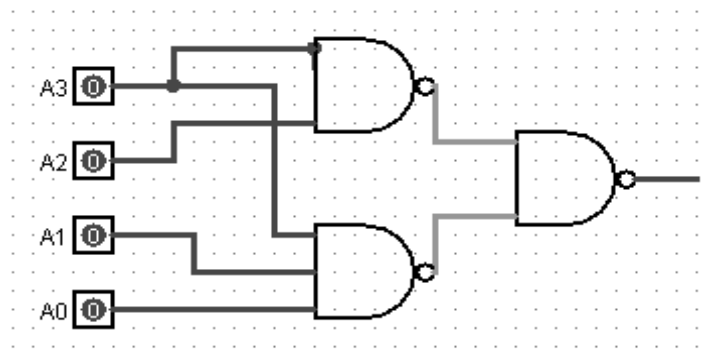
Εικόνα 9. Συνάρτηση P_5 .

- Συνάρτηση P_4

Ελαχιστοποιημένη μορφή:

$$P_4 = A_3A_1A_0 + A_3A_2$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

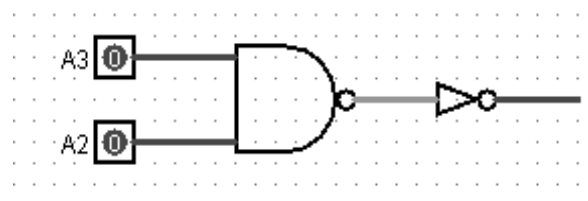
Εικόνα 10. Συνάρτηση P_4 .

- Συνάρτηση P_3

Ελαχιστοποιημένη μορφή:

$$P_3 = A_3A_2$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.

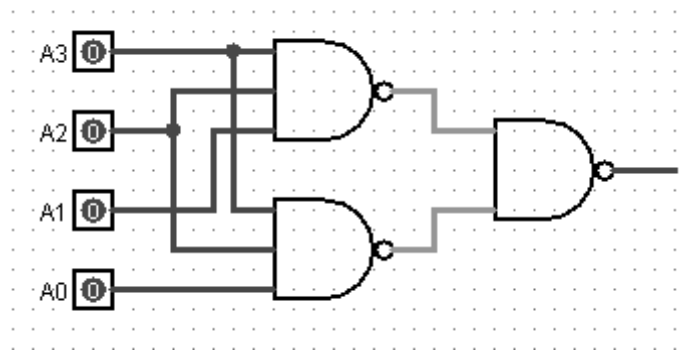
Εικόνα 11. Συνάρτηση P_3 .

- Συνάρτηση P_2

Ελαχιστοποιημένη μορφή:

$$P_2 = A_3A_2A_1 + A_3A_2A_0$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.



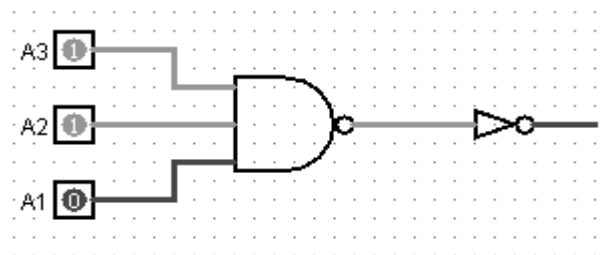
Εικόνα 3. Συνάρτηση P_2 .

- Συνάρτηση P_1

Ελαχιστοποιημένη μορφή:

$$P_1 = A_3A_2A_1$$

Υλοποίηση με λογικές πύλες NAND και αντιστροφείς.



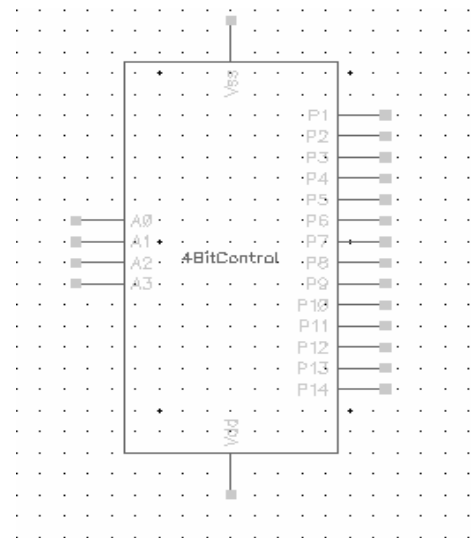
Εικόνα 13. Συνάρτηση P_1 .

- Συνάρτηση P_0

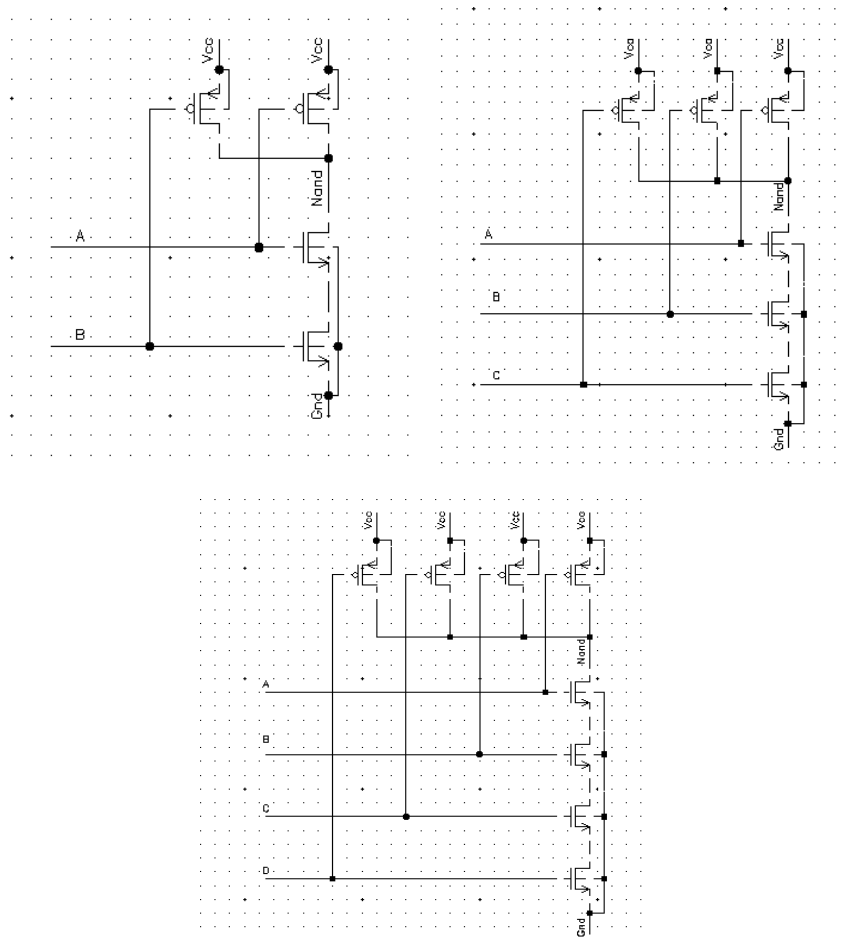
Από τον πίνακα αληθείας βλέπουμε ότι η συνάρτηση αυτή θα είναι πάντα ίση με το λογικό 0. Επομένως αρκεί να περάσουμε στην έξοδο του ελεγκτή την χαμηλή τροφοδοσία (γη).

Αφού υλοποιήσαμε τις παραπάνω συναρτήσεις στο Cadence, δημιουργήσαμε το σύμβολο της εικόνας 14, το οποίο και θα χρησιμοποιούμε στην συνέχεια για το ελεγκτή τεσσάρων bit.

Τέλος για πληρότητα στις εικόνες 15, 16 και 17 παραθέτουμε τις πύλες NAND δύο, τριών και τεσσάρων εισόδων που δημιουργήσαμε.



Εικόνα 14. Σύμβολο Mixer Control



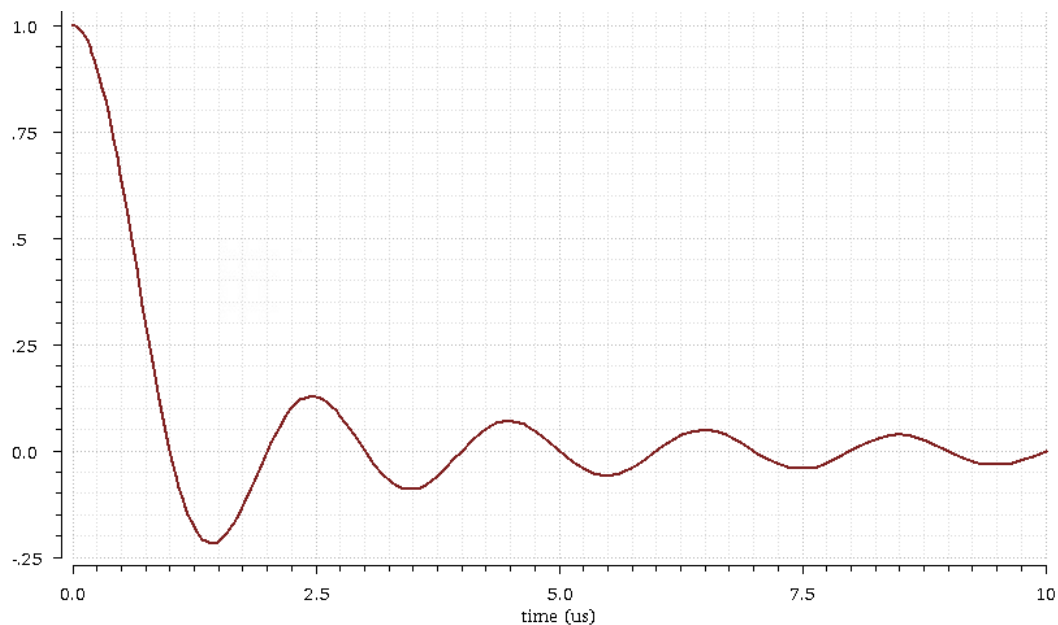
Εικόνα 15-16-17. NAND 2-3 και 4 εισόδων.

2.4 Η Ψηφιακή Είσοδος.

Στην προηγούμενη ενότητα υλοποιήθηκε το σύστημα το οποίο αντιστοιχίζει τα bit του ψηφιακού σήματος στον θερμομετρικό κώδικα έτσι ώστε να πραγματοποιείται ο πολλαπλασιασμός. Σε αυτήν την ενότητα θα εξετάσουμε τον τρόπο με τον οποίο μπορούμε να εισάγουμε στο περιβάλλον προσομοίωσης του Cadence το ψηφιακό ημίτονο που συντίθεται και πιο συγκεκριμένα τα bit που το αναπαριστούν.

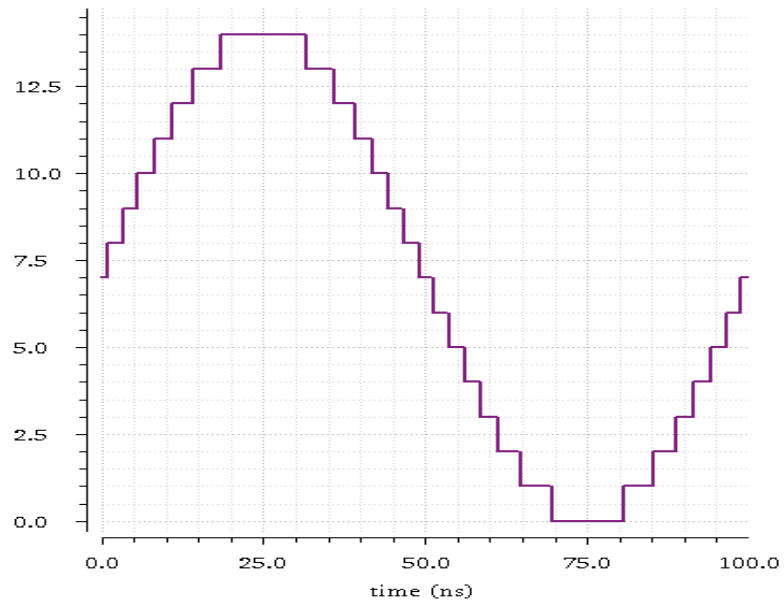
Πριν προχωρήσουμε στον τρόπο με τον οποίο εισάγουμε τα δεδομένα αυτά στο Cadence, αξίζει να αναφέρουμε ότι το ψηφιακό σήμα συντίθεται με την βοήθεια ενός DDS(Direct Digital Synthesizer). Για τις προσομοιώσεις ωστόσο τα Bit που αναπαριστούν το σήμα συντέθηκαν με την βοήθεια του Matlab.

Το περιβάλλον του Cadence επιτρέπει την εισαγωγή κυματομορφών από αρχείο μέσω της πηγής Vrwlf, ανεξαρτήτου της πολυπλοκότητας. Παρακάτω παρουσιάζουμε δύο διαφορετικές κυματομορφές που σχηματίσαμε με την βοήθεια αυτού του εργαλείου.



Εικόνα 1. Τεχνητή είσοδος 1 που εισάγαμε στο Cadence με την βοήθεια της πηγής Vrwlf.

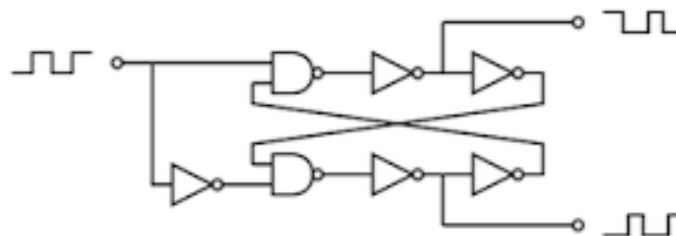
Τέλος παρουσιάζουμε ένα από τα κβαντισμένα ημίτονα που χρησιμοποιήθηκαν για τις προσομοιώσεις του κεφαλαίου τρία. Έτσι στην εικόνα 2 παρουσιάζεται ένα ημίτονο που έχει κβαντιστεί με την χρήση 4 bit (αλλά μόλις σε 15 επίπεδα για να έχουμε συμμετρία των επιπέδων γύρω από το μηδέν).



Εικόνα 2. Κβαντισμένο ημίτονο που λειτουργεί ως είσοδος για το κύκλωμά μας.

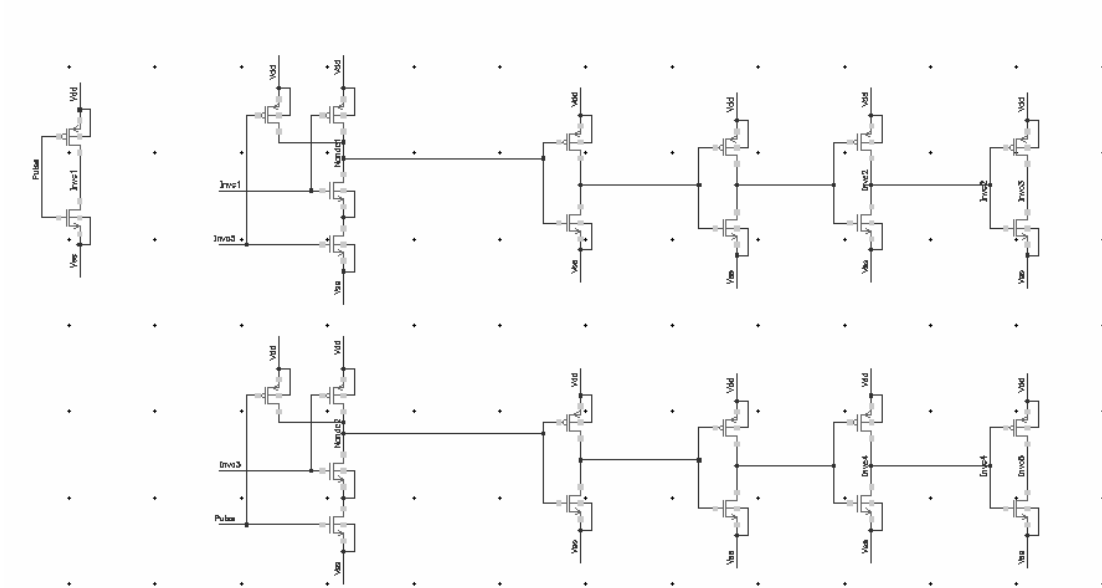
2.5 Τα Ρολόγια Ελέγχου.

Στην εισαγωγή είδαμε ότι για να λειτουργήσει η διάταξη που εξετάζουμε χρειαζόμαστε τρεις παλμούς ρολογιού που να ελέγχουν τις τρεις φάσεις reset, charge και output. Επιπλέον δεδομένου ότι οι φάσεις αυτές δεν πρέπει να επικαλύπτονται, καθώς αν συμβαίνει αυτό η έξοδος δεν μπορεί να προσδιοριστεί, οι παλμοί αυτοί θα πρέπει να είναι επίσης μη επικαλυπτόμενοι. Στο σημείο αυτό είχαμε να επιλύσουμε το πρόβλημα δημιουργίας από έναν παλμό, τρεις διαφορετικούς οι οποίοι δεν πρέπει να είναι στην υψηλή τάση ταυτόχρονα. Η λύση του προβλήματος αυτού ήρθε απλοποιώντας την υλοποίηση μας, παραλείποντας την φάση του reset. Αν τα σήματα εισόδου μεταβάλλονται πιο αργά από την συχνότητα λειτουργίας, τότε δεν επιφέρεται καμία αλλαγή στην συνάρτηση μεταφοράς του κυκλώματος. Επομένως πλέον χρειάζεται να δημιουργήσουμε μόνο δύο μη επικαλυπτόμενους παλμούς από το ρολόι εισόδου, η συχνότητα του οποίου καθορίζει την συχνότητα λειτουργίας της διάταξης. Στην εικόνα 1 φαίνεται η διάταξη που χρησιμοποιήθηκε για την δημιουργία των δύο αυτών παλμών.



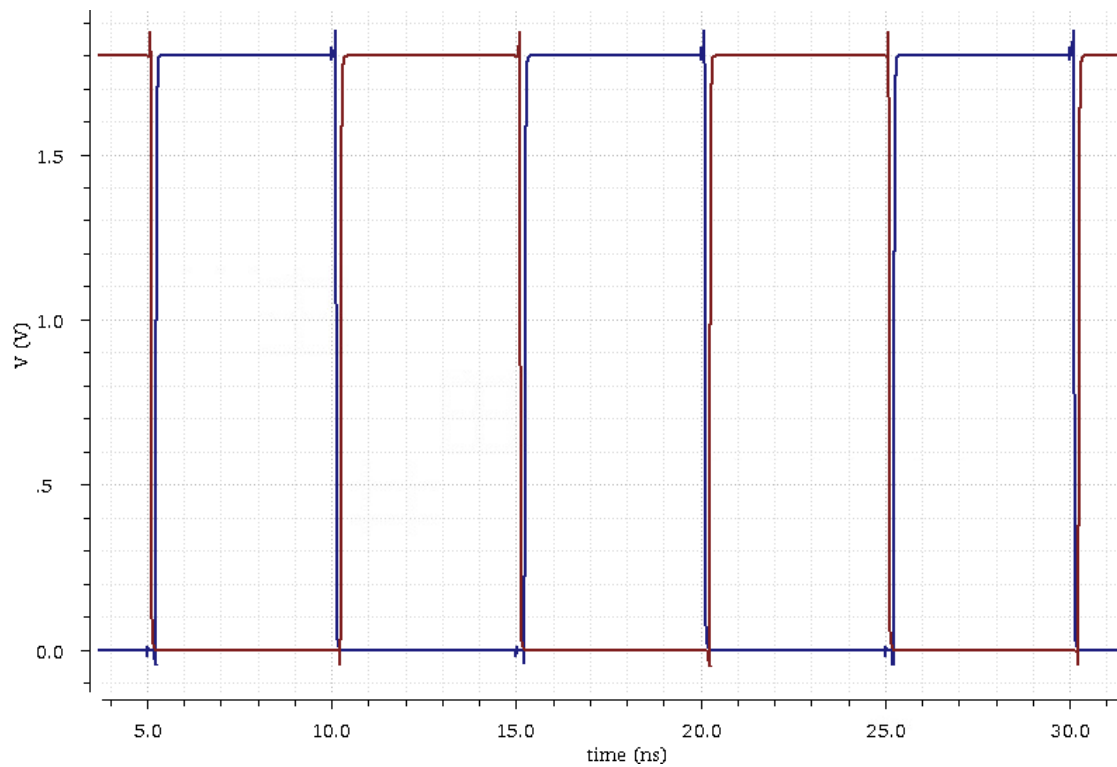
Εικόνα 1. Διάταξη για την δημιουργία μη επικαλυπτόμενων παλμών.

Η διάταξη αυτή επιτυγχάνει την δημιουργία μη επικαλυπτόμενων ρολογιών με την βοήθεια των πυλών NAND, καθώς με αυτές το ένα σήμα αποκλείει το άλλο, ενώ ο χρόνος για τον οποίο οι δύο παλμοί είναι στο μηδέν καθορίζεται από τον αριθμό των αντιστροφών στην έξοδο. Στην εικόνα 2 βλέπουμε την διάταξη που σχεδιάσαμε στο Cadence.

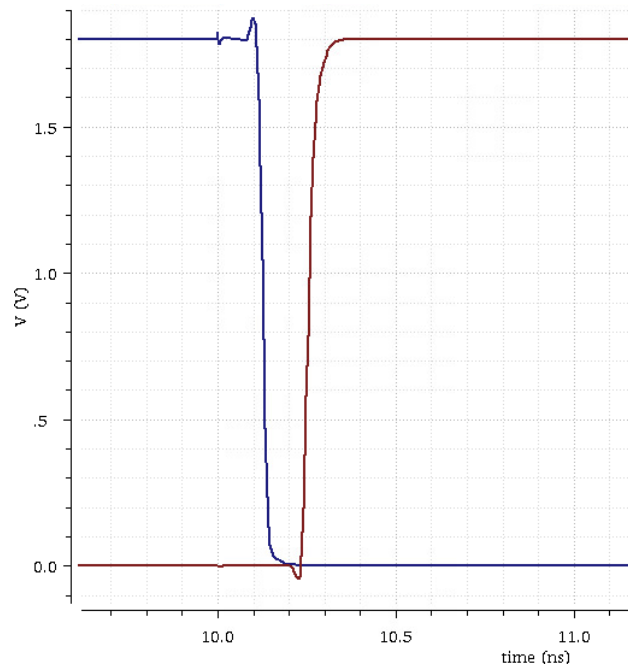


Εικόνα 2. Διάταξη δημιουργίας μη επικαλυπτόμενων παλμών.

Στις εικόνες 3 και 4 παρουσιάζεται η έξοδος του παραπάνω κυκλώματος για είσοδο παλμό περιόδου 10ns και duty cycle 50%.

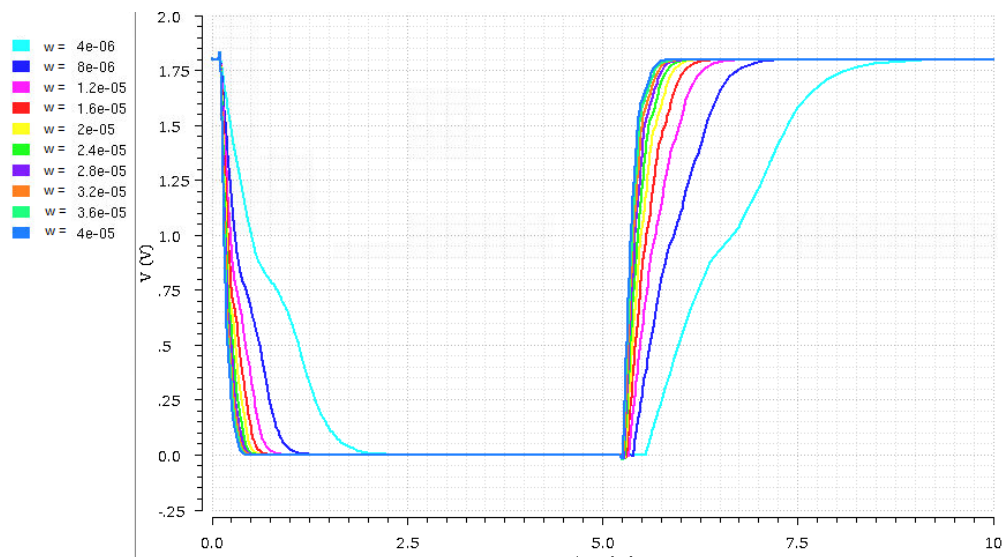


Εικόνα 3. Μη επικαλυπτόμενοι παλμοί.

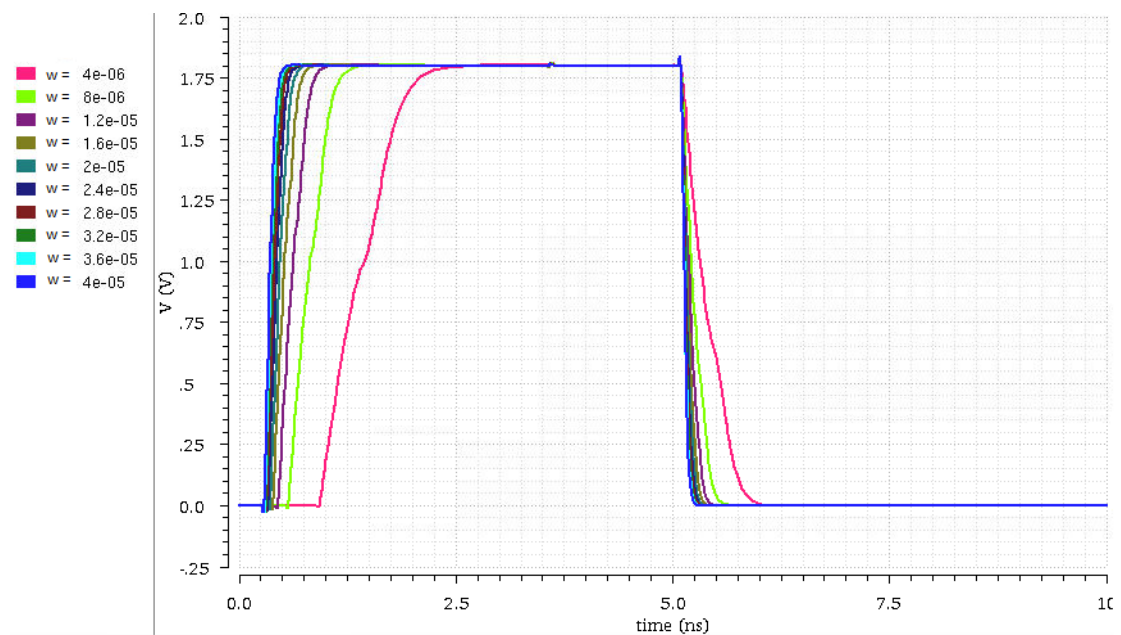


Εικόνα 4. Χρόνος μεταξύ των δύο παλμών.

Τα παραπάνω αποτελέσματα προέκυψαν για αντιστροφείς και λογικές πύλες με τις ελάχιστες διαστάσεις. Δεδομένου όμως ότι η διάταξη αυτή θα χρησιμοποιηθεί για να οδηγήσει τις πύλες δεκάδων τρανζίστορ, οι οποίες εμφανίζουν κάποια χωρητικότητα, είναι απαραίτητο να αυξήσουμε τις διαστάσεις των στοιχείων μας για να μην παραμορφώνονται οι δύο παλμοί. Στις εικόνες 5-6 παρουσιάζονται οι κυματομορφές των παλμών που οδηγούν έναν πολλαπλασιαστή τεσσάρων bit, για διάφορα μεγέθη στοιχείων.



Εικόνα 5. Έξοδος του κυκλώματος δημιουργίας παλμών για διάφορα μεγέθη στοιχείων.

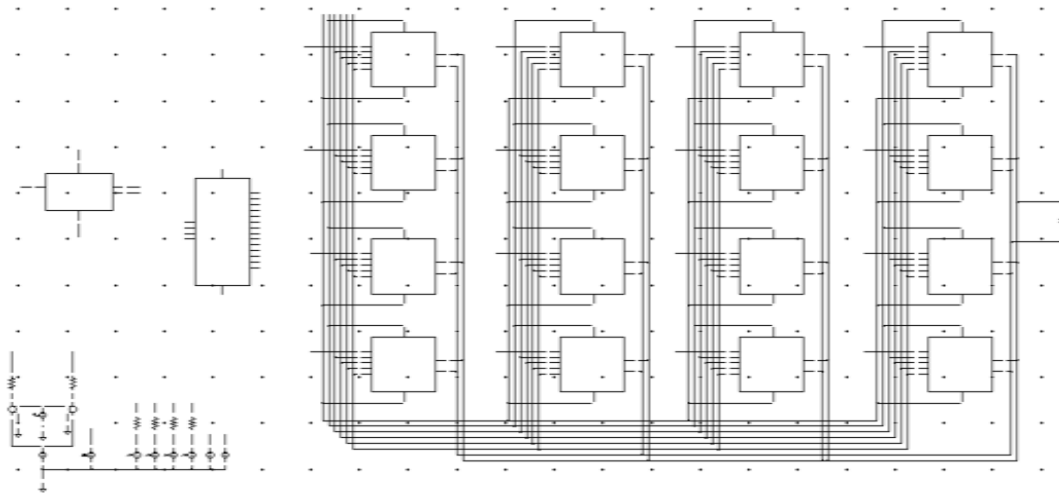


Εικόνα 6. Έξοδος του κυκλώματος δημιουργίας παλμών για διάφορα μεγέθη στοιχείων.

Από τις παραπάνω εικόνες είναι εμφανής η παραμόρφωση των παλμών για μικρά μεγέθη στοιχείων, αφού αδυνατούν να οδηγήσουν το φορτίο αρκετά γρήγορα, πρόβλημα που επιλύεται αυξάνοντας τις διαστάσεις. Τέλος αξίζει να αναφέρουμε ότι για τον πολλαπλασιαστή τεσσάρων Bit χρησιμοποιήσαμε πλάτος τρανζίστορ 20μm για τα n-MOS του αντιστροφέα 40μm για τα n-MOS των πυλών NAND και 30μm για τα p-MOS.

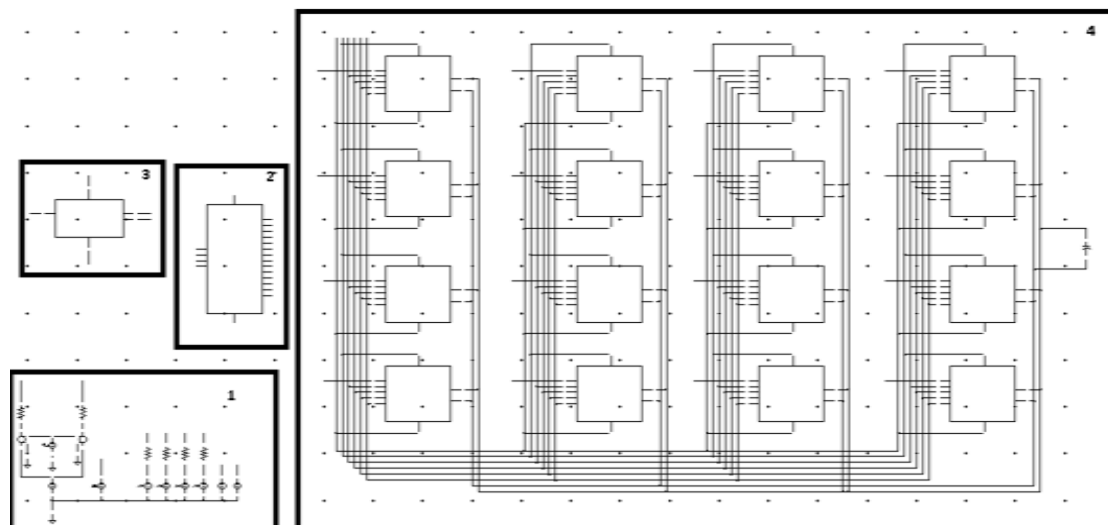
2.6 Η Συνολική Αρχιτεκτονική.

Αφού ολοκληρώσαμε την σχεδίαση των επιμέρους στοιχείων της διάταξης μας, στο κεφάλαιο αυτό παραθέτουμε το συνολικό κύκλωμα όπου προέκυψε αφού ενώσαμε τα στοιχεία μας. Στην εικόνα 1 παραθέτουμε την συνολική αρχιτεκτονική για σήμα LO που περιγράφεται με 4 Bit.



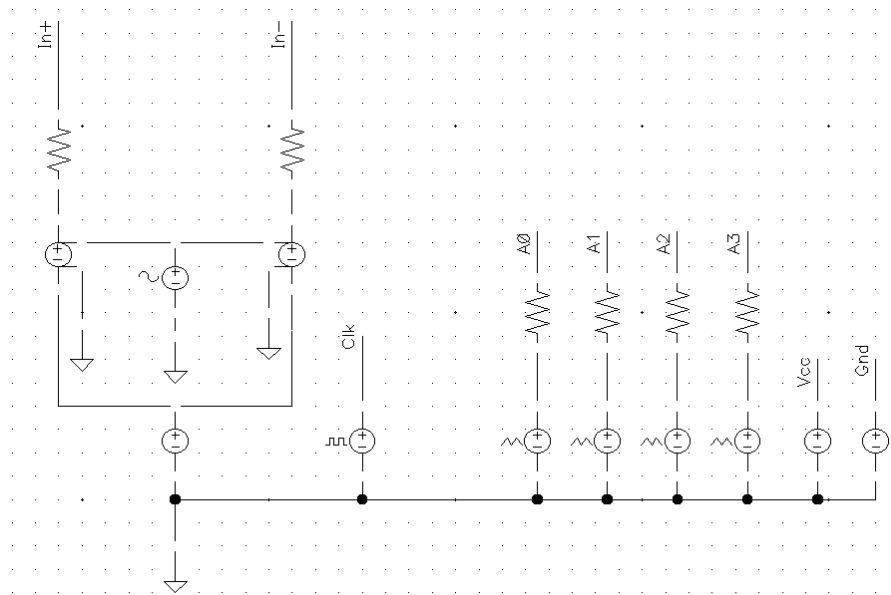
Εικόνα 1. Συνολική αρχιτεκτονική για 4Bit LO

Λόγω του μεγέθους του κυκλώματος, δεν είναι τόσο κατανοητό ποιά είναι τα κομμάτια που συνθέτουν το κύκλωμα. Για αυτόν τον λόγο θα παρουσιάσουμε κάθε κομμάτι ξεχωριστά. Στην εικόνα 2 βλέπουμε τα βασικά κομμάτια για την λειτουργία της διάταξης μας.



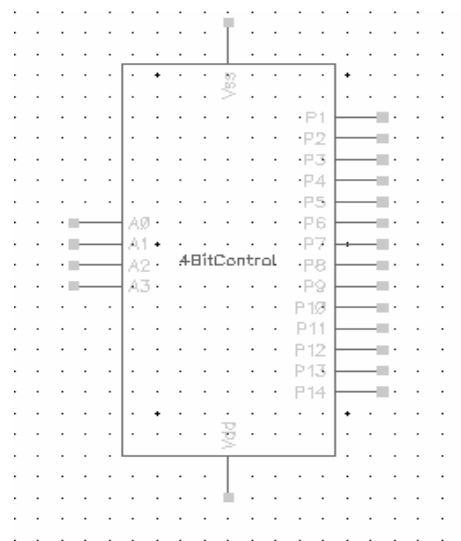
Εικόνα 2. Συνολική αρχιτεκτονική για 4Bit LO όπου επισυμαίνουμε τα βασικά στοιχεία.

Ξεκινώντας από τις εισόδους βλέπουμε στην εικόνα 3 με ποιόν τρόπο έχουμε πετύχει την διαφορική είσοδο, ενώ έχουμε προσθέσει και τις πηγές V_{rwlf} οι οποίες χρησιμεύουν για την είσοδο των Bit που περιγράφουν το LO. Τέλος βλέπουμε το ρολόι που ελέγχει τον κύκλο λειτουργίας αλλά και κάποιες αντιστάσεις σε σειρά με τις πηγές οι οποίες προσεγγίζουν τι αντιστάσεις εξόδου προηγούμενων σταδίων, όπως είναι το DDS ή ο δέκτης.



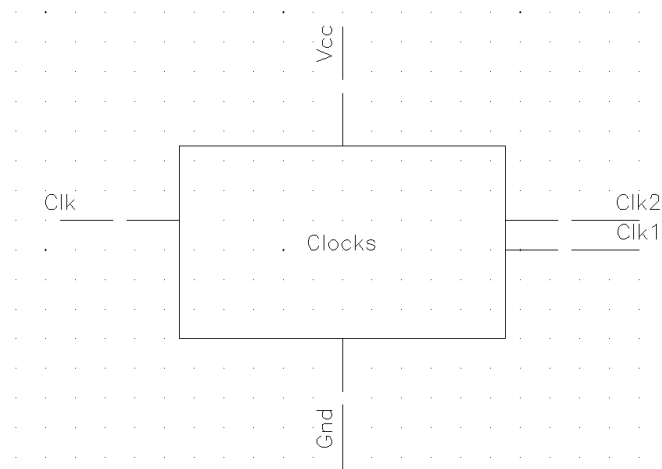
Εικόνα 3. Οι εισόδους του συστήματος.

Το επόμενο στοιχείο που πρέπει να δείξουμε είναι το λογικό κύκλωμα που μετατρέπει τα Bit εισόδου σε εισόδους ελέγχου για τα Block p_i . Το κύκλωμα αυτό υλοποιήθηκε στην παράγραφο 2.3 και για λόγους πληρότητας στην εικόνα 4 φαίνεται το σύμβολο που χρησιμοποιήσαμε.



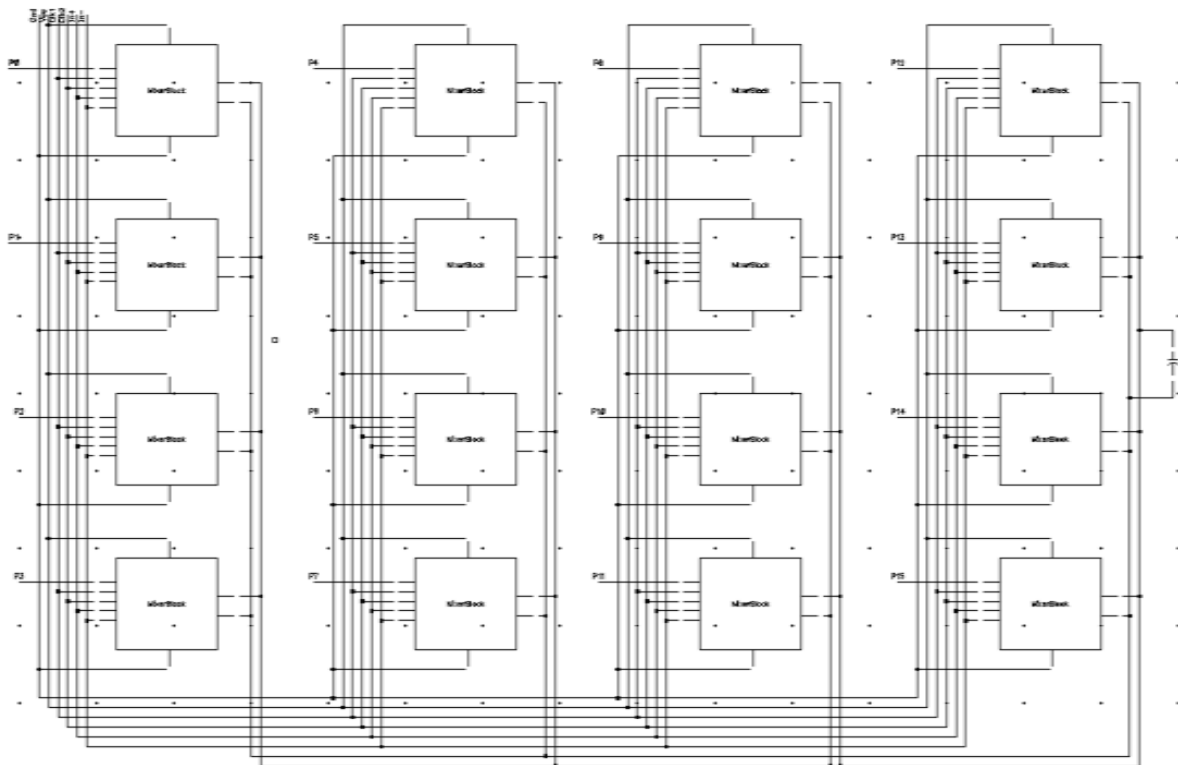
Εικόνα 4. Λογικό κύκλωμα μετατροπής των Bit εισόδου σε εισόδους ελέγχου των Block p_i

Στην συνέχεια θα παρουσιάσουμε το σύμβολο του κυκλώματος που παράγει τους παλμούς εισόδου από το ρολόι ελέγχου (Εικόνα 5), όπου και για αυτό το κύκλωμα η ανάλυση έγινε σε προηγούμενη παράγραφο (2.5).



Εικόνα 5. Κύκλωμα δημιουργίας των παλμών που ελέγχουν την κάθε φάση.

Τέλος θα παρουσιάσουμε τα παράλληλα συνδεδεμένα Block με τα οποία επιτυγχάνεται ο επιθυμητός πολλαπλασιασμός. Στις παραγράφους 2.2 και 2.1 είδαμε πως σχεδιάζουμε το βασικό block και πιο συγκεκριμένα τον διακόπτη και έχει γίνει εκτενής ανάλυση της λειτουργίας τους. Τα παράλληλα συνδεδεμένα block φαίνονται στην εικόνα 6.

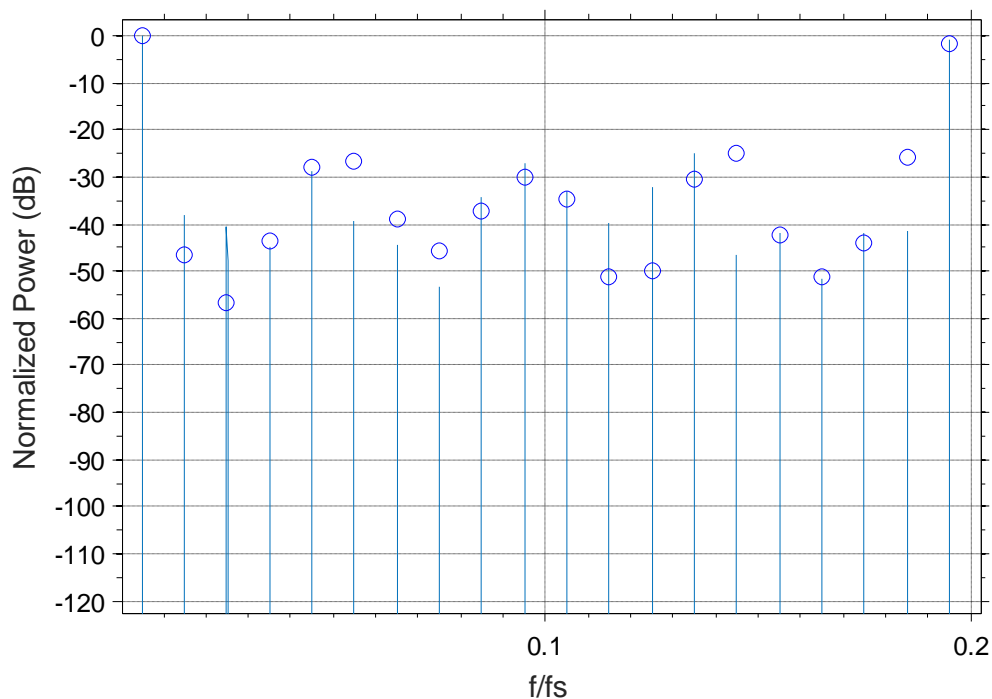


Εικόνα 6. Τα παράλληλα συνδεδεμένα Block με τα οποία επιτυγχάνεται η μείξη.

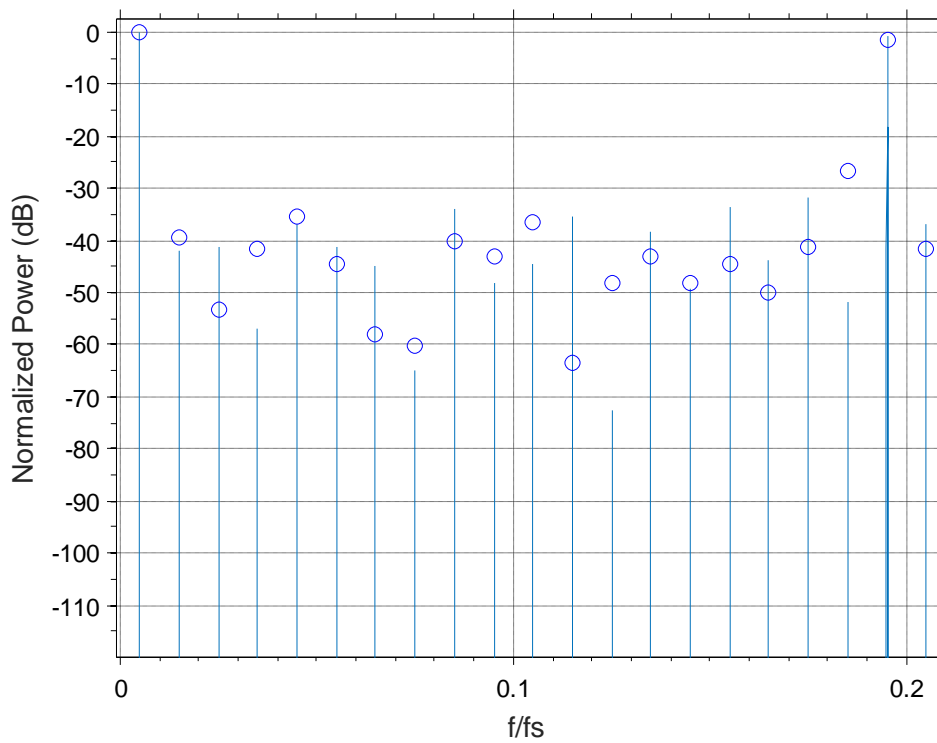
Κεφάλαιο 3: Αποτελέσματα Προσομοιώσεων

Στο προηγούμενο κεφάλαιο περιγράφηκε η σχεδίαση κάθε επιμέρους στοιχείου του κυκλώματος μας. Στο κεφάλαιο αυτό θα παρουσιαστούν τα αποτελέσματα των προσομοιώσεων του συνολικού κυκλώματος για αναπαράσταση του LO με 3,4 και 5 bit. Σε κάθε μία υποενότητα έχουμε συχνότητα του αναλογικού σήματος στα 10MHz ενώ η συχνότητα του LO μεταβάλλεται από τα 9,5MHz έως τα 9,9MHz. Τέλος πριν παρουσιάσουμε τα αποτελέσματα αξίζει να αναφέρουμε ότι τα spurs με πλάτος αρκετά dB χαμηλότερα από τις κύριες συνιστώσες του γινομένου (άθροισμα και διαφορά) οφείλονται στην κβαντισμένη μορφή που έχει το σήμα LO, τα οποία μπορούν να καταπιεστούν ακόμα περισσότερο εισάγοντας στην ψηφιακή είσοδο dithering.

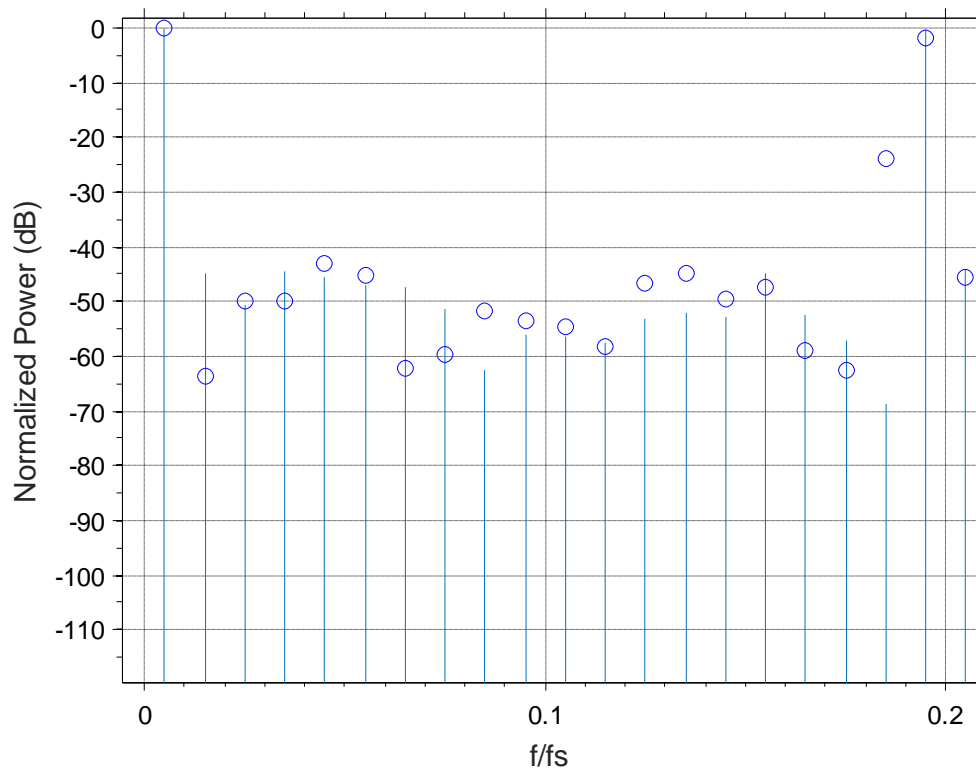
3.1 LO στα 9,5MHz και συχνότητα λειτουργίας στα 100MHz.



Εικόνα 1. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,5 MHz και κβαντισμένο με χρήση 3 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

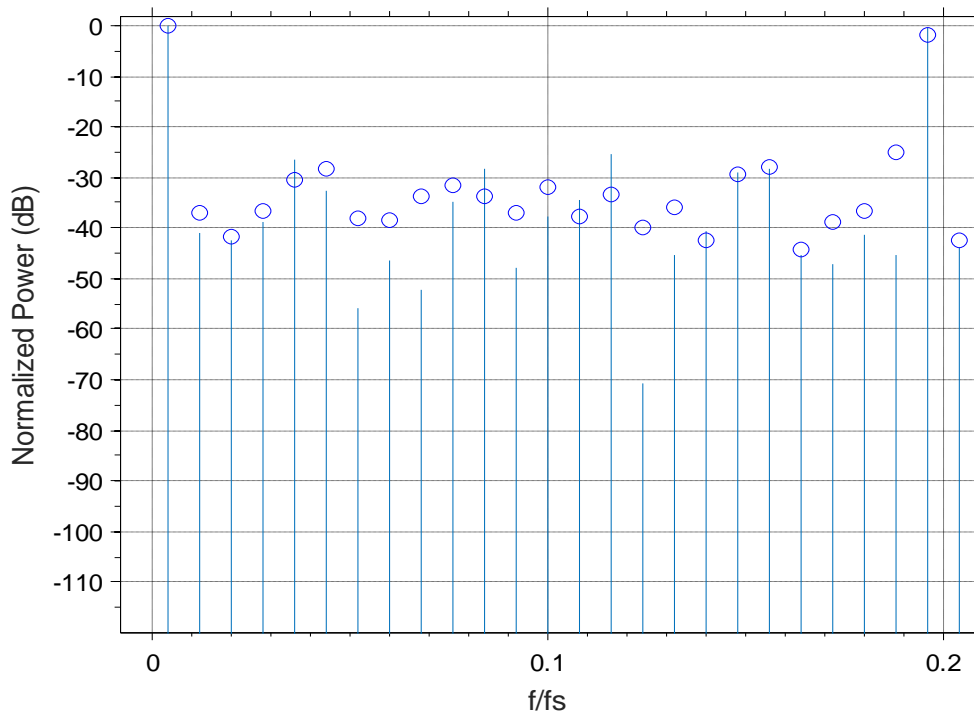


Εικόνα 2. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,5 MHz και κβαντισμένο με χρήση 4 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

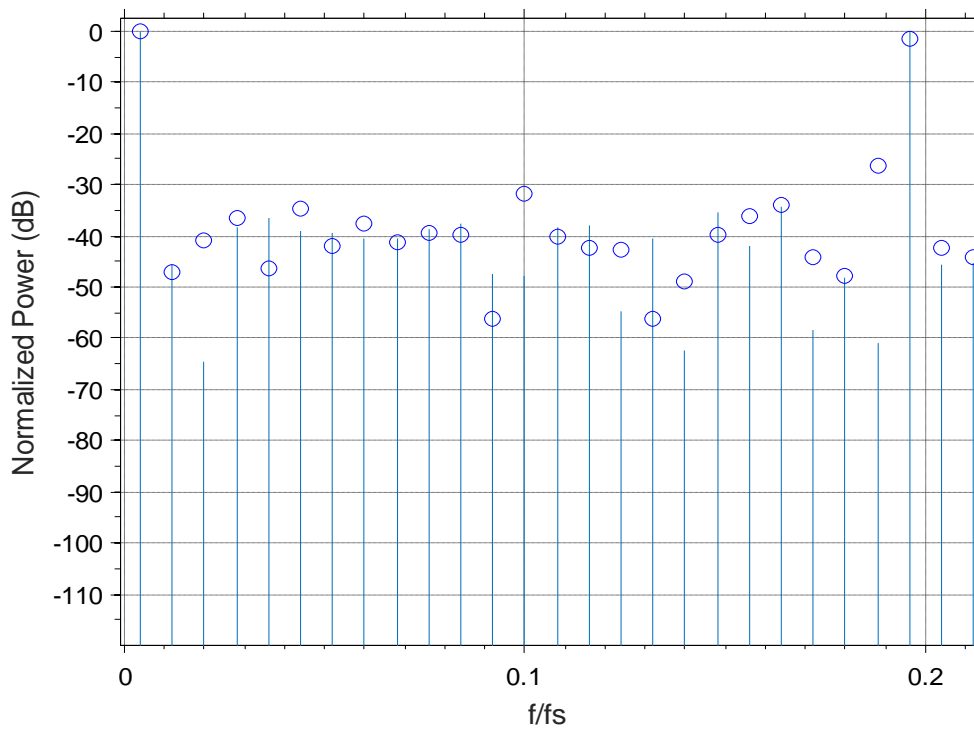


Εικόνα 3. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,5 MHz και κβαντισμένο με χρήση 5 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

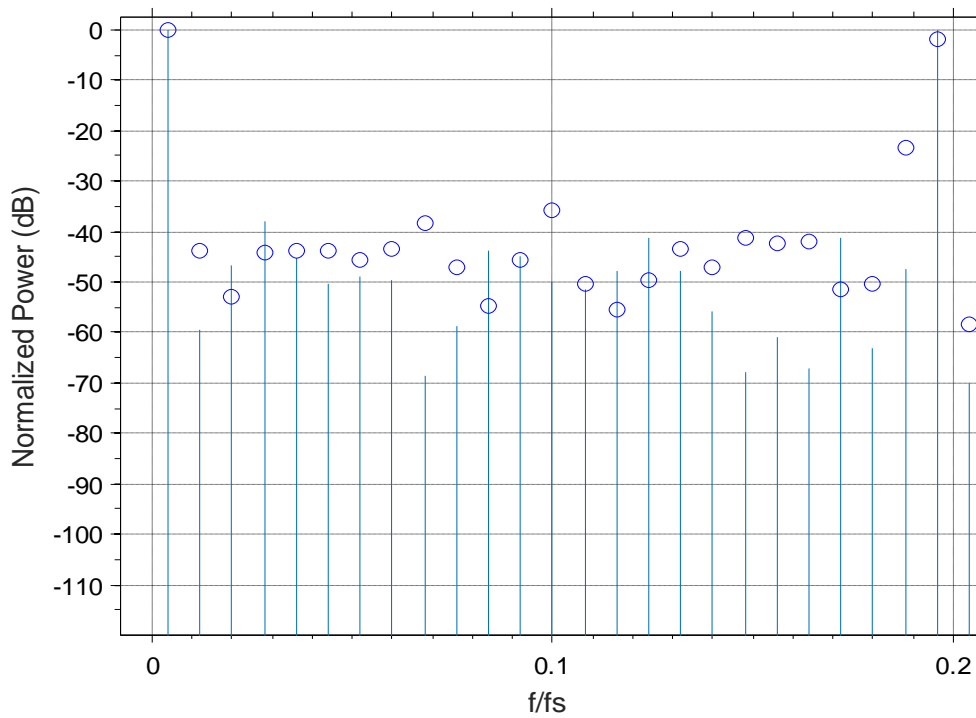
3.2 LO στα 9,6MHz και συχνότητα λειτουργίας στα 100MHz.



Εικόνα 1. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,6 MHz και κβαντισμένο με χρήση 3 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

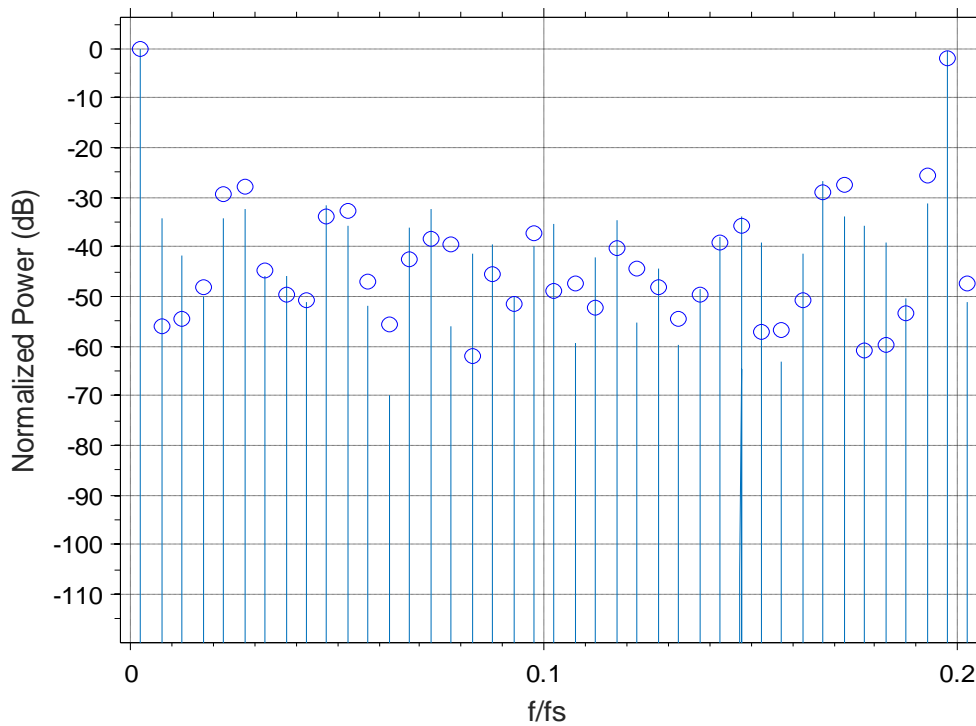


Εικόνα 2. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,6 MHz και κβαντισμένο με χρήση 4 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

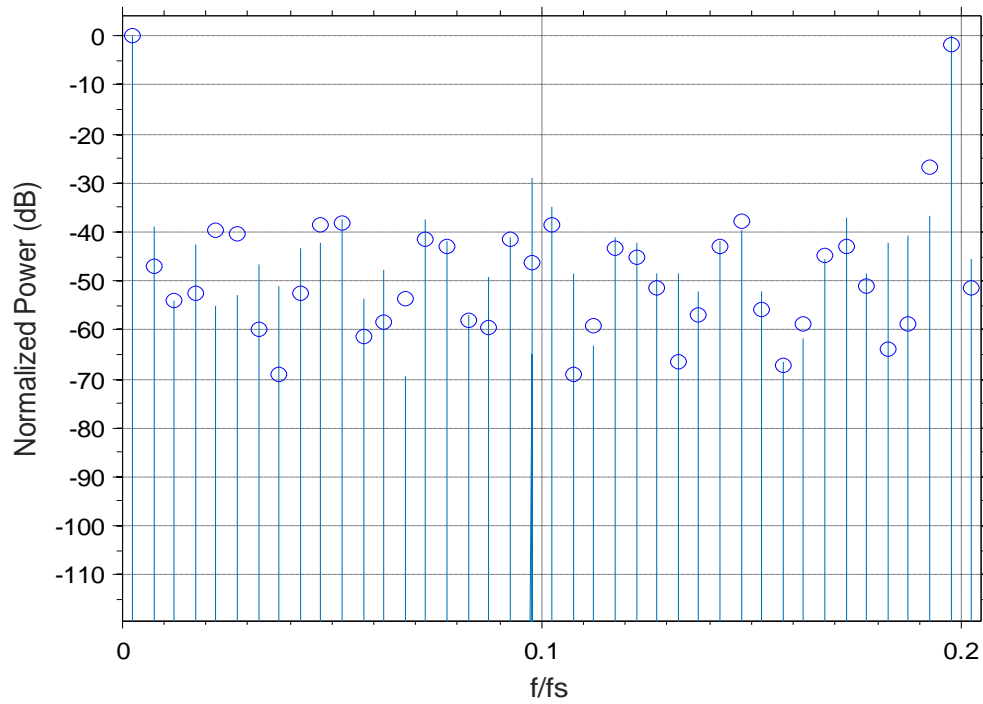


Εικόνα 3. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,6 MHz και κβαντισμένο με χρήση 5 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

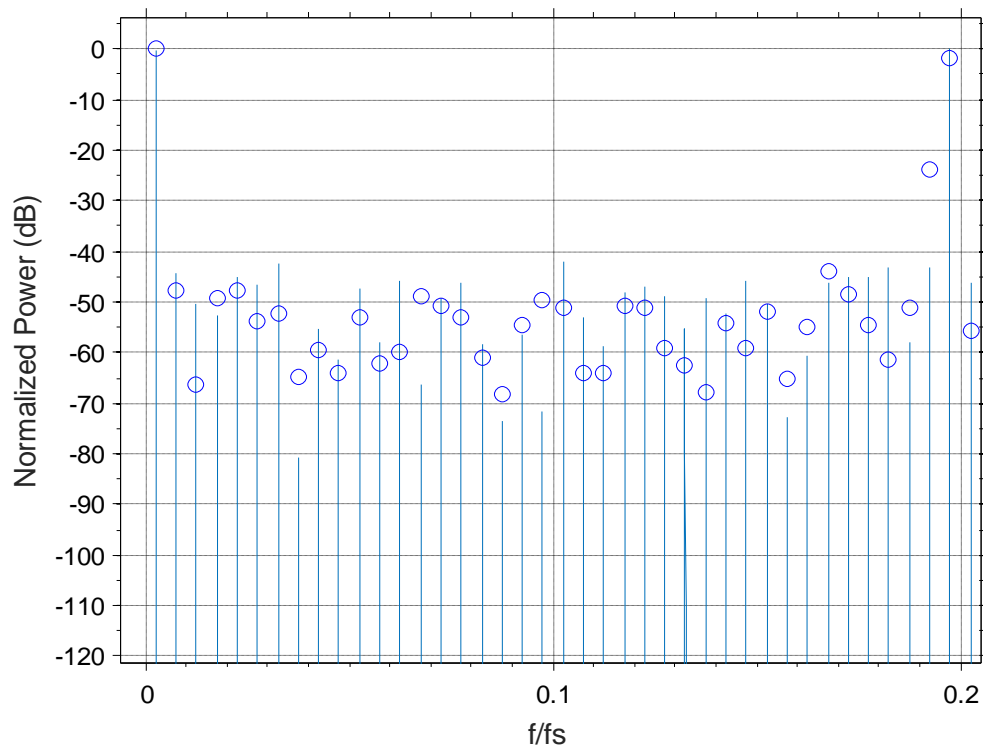
3.3 LO στα 9,75MHz και συχνότητα λειτουργίας στα 100MHz.



Εικόνα 1. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,75MHz και κβαντισμένο με χρήση 3 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').

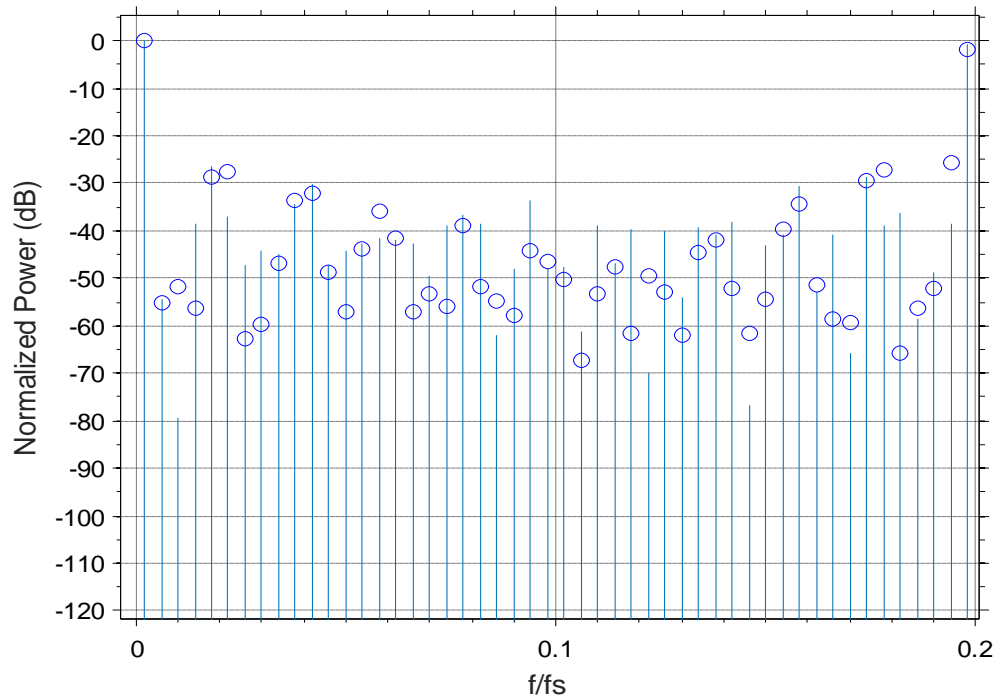


Εικόνα 2. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,75MHz και κβαντισμένο με χρήση 4 bit και F_s στα 100MHz (Cadence 'ο' Matlab 'lines').

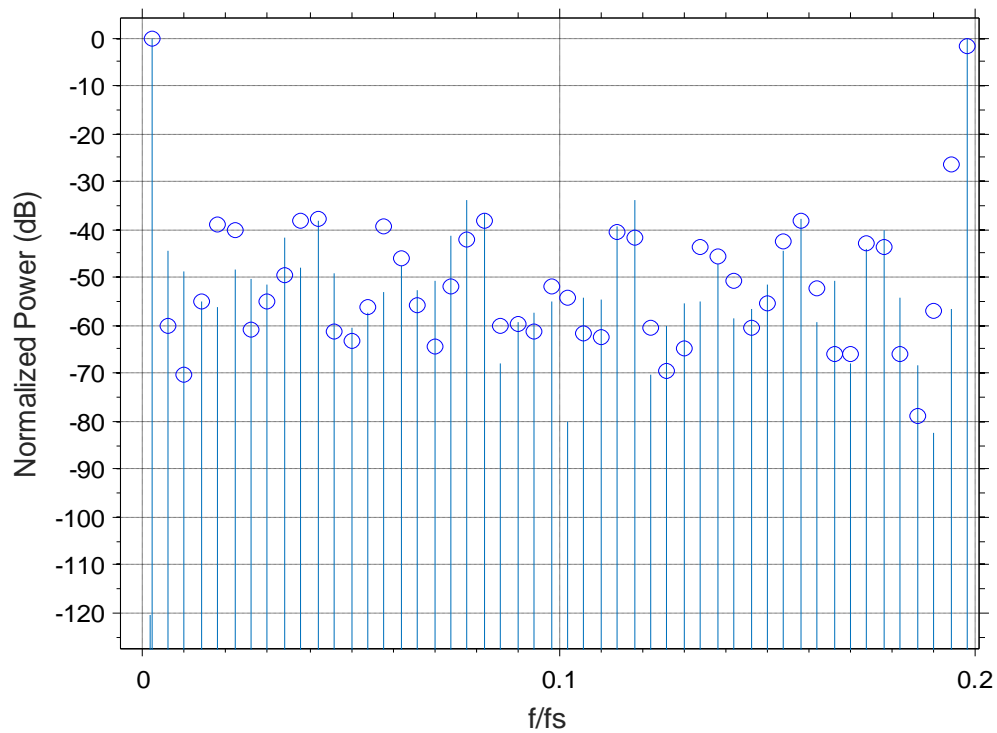


Εικόνα 3. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,75MHz και κβαντισμένο με χρήση 5 bit και F_s στα 100MHz (Cadence 'ο' Matlab 'lines').

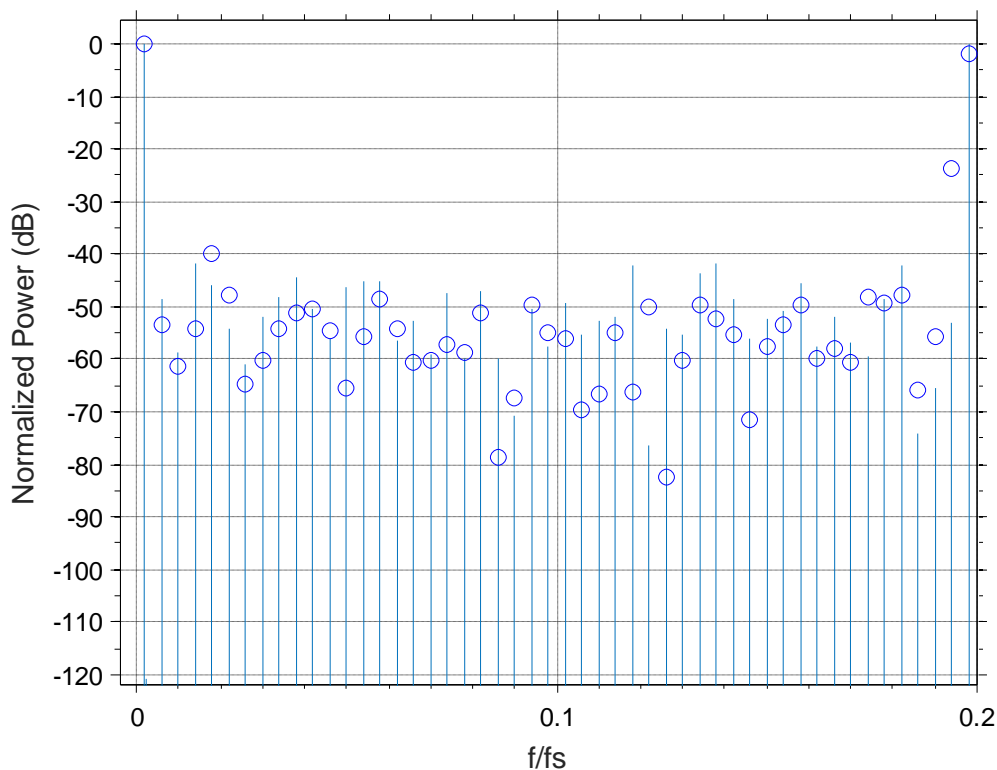
3.4 LO στα 9,8MHz και συχνότητα λειτουργίας στα 100MHz.



Εικόνα 1. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,8 MHz και κβαντισμένο με χρήση 3 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').



Εικόνα 2. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,8 MHz και κβαντισμένο με χρήση 4 bit και F_s στα 100MHz (Cadence 'o' Matlab 'lines').



Εικόνα 3. Φάσμα εξόδου για Αναλογικό σήμα στα 10MHz, LO στα 9,8 MHz και κβαντισμένο με χρήση 5 bit και Fs στα 100MHz (Cadence 'o' Matlab 'lines').

Συμπεράσματα.

Συγκρίνοντας τα αποτελέσματα του Cadence και του Matlab βλέπουμε ότι έχουμε τις επιθυμητές συνιστώσες στις συχνότητες που αντιστοιχούν στην διαφορά και στο άθροισμα, οπότε η μείξη επιτυγχάνεται, ενώ τα spurs που εμφανίζονται στις ενδιάμεσες συχνότητες είναι αρκετά κοντά μεταξύ τους. Όποιες διαφορές οφείλονται στο γεγονός ότι η θεωρητική ανάλυση είναι αρκετά πιο απλοποιημένη από την προσομοίωση του Cadence. Πιο συγκεκριμένα, όπως είδαμε και στο πρώτο κεφάλαιο, για την ανάλυση της λειτουργίας του μείκτη μας σε θεωρητικό επίπεδο υποθέσαμε ότι τα μόνα στοιχεία που έχουμε στο κύκλωμα είναι οι αντιστάσεις των διακοπών και οι πυκνωτές φόρτισης(εισόδων και εξόδου). Αντίθετα στην σχεδίαση στο Cadence εισάγονται στοιχεία όπως παρασιτικές χωρητικότητες και αντιστάσεις, αλλά και καθυστερήσεις των παλμών ελέγχου με αποτέλεσμα την απόκλιση των αποτελεσμάτων από τα θεωρητικά. Από τα παραπάνω λοιπόν είναι αναμενόμενο να υπάρχει διαφοροποίηση μεταξύ της θεωρίας και των προσομοιώσεων όσον αφορά

τα spurs χωρίς όμως αυτές οι διαφορές να είναι αισθητά μεγάλες. Τέλος αυτό που πρέπει να κρατήσουμε από τις προσομοιώσεις αυτές είναι ότι όσο αυξάνεται ο αριθμός των επιπέδων με τα οποία περιγράφουμε το LO, τόσο περισσότερο καταπιέζονται τα ανεπιθύμητα spurs, το οποίο αποτελεί και στόχο της διπλωματικής μας. Αν επιπλέον εισάγουμε και dithering στο LO αυτά τα spurs θα καταπιεστούν σε ακόμα μεγαλύτερο βαθμό. Περαιτέρω μελέτη για την επίδραση του dithering μπορείτε να βρείτε στην επισυναπτόμενη βιβλιογραφία.

Ανασκόπηση - Μελλοντική Εργασία

Στόχος της παρούσας διπλωματικής εργασίας είναι η διερεύνηση μεικτών διακοπτικού τύπου με ψηφιακή είσοδο κβαντισμένη σε πολλαπλά bit.

Στο πρώτο κεφάλαιο μελετήθηκε θεωρητικά η συμπεριφορά της τοπολογίας που χρησιμοποιήθηκε και με την χρήση της αρχής διατήρησης του φορτίου για μια σύντομη ανάλυση αλλά και με εξισώσεις κατάστασης για πιο αναλυτικά αποτελέσματα.

Στο δεύτερο κεφάλαιο παρουσιάστηκε η ιεραρχική σχεδίαση κάθε επιμέρους στοιχείου της διάταξης. Πιο συγκεκριμένα μελετήθηκε η σχεδίαση των διακοπών, που αποτελούν το πιο σημαντικό στοιχείο της διάταξης, ενώ στην συνέχεια υλοποιήθηκαν το βασικό Block, το κύκλωμα ελέγχου του και τα μη επικαλυπτόμενα ρολόγια.

Τέλος παρουσιάστηκαν τα αποτελέσματα προσομοιώσεων του συνολικού κυκλώματος που σχεδιάσαμε για LO κβαντισμένο με χρήση 3,4 και 5 Bit. Από τα αποτελέσματα αυτά είδαμε ότι πραγματοποιείται ο πολλαπλασιασμός, ενώ είδαμε επίσης ότι όσο αυξάνεται ο αριθμός των Bits τόσο περισσότερο καταπιέζονται τα μη επιθυμητά spurs που οφείλονται στην κβαντισμένη μορφή του LO.

Το επόμενο βήμα είναι η εισαγωγή στην διάταξη που σχεδιάστηκε dithering για την περαιτέρω βελτίωση των αποτελεσμάτων αλλά και ένας πλήρης χαρακτηρισμός του μείκτη.

Βιβλιογραφία.

- [1] Analog Devices. "MT-080, Mixers and Modulators". Oct. 2008.
- [2] T. H. Lee. "The Design of CMOS Radio-Frequency Integrated Circuits". 2nd ed. Cambridge University Press, 2004.
- [3] J. Vankka and K. Halonen. "Direct Digital Synthesizers: Theory, Design and Applications". Springer, 2006.
- [4] J. C. Gandy and Gabor C. Temes. "Oversampling Delta-Sigma Data Converters: Theory, Design, and Simulation". Wiley-IEEE Press, 1991.
- [5] J. Proakis and M. Salehi. "Digital Communications". McGraw-Hill, 2007.
- [6] R. M. Gray. "Quantization Noise Spectra". In: IEEE Transactions on Information Theory 36.6 (Nov. 1990), pp. 1220–1244.
- [7] J. P. Boyd. "Chebyshev and Fourier Spectral Methods". 2nd ed. Dover Publications, 2001.
- [8] P. P. Sotiriadis and N. Miliou. "Single-Bit Digital Frequency Synthesis via Dithered Nyquist-Rate Sinewave Quantization". In: IEEE Transactions on Circuits and Systems 61.1 (Sept. 2013), pp. 61–73.
- [9] K. Galanopoulos and P. P. Sotiriadis. "Optimal Dithering Sequences for Spurs Suppression in Pulse Direct Digital Synthesizers". In: IEEE International Frequency Control Symposium (FCS). IEEE. Baltimore, MD, May 2012, pp. 1–4.
- [10] Roubik Gregorian, Gabor C Temes. "Analog MOS Integrated Circuits for Signal Processing"
- [11] Νικόλαος Σταματόπουλος. "Μείκτης Διακοπτικού Τύπου με Ενσωματωμένο Ψηφιακό Συνθέτη Συχνοτήτων"
- [12] Weste-Harris. "CMOS VLSI"
- [13] Ricardo Suarez, Paul Gray and David Hodges. "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques--Part II"
- [14] Bing Sheu and Chenming HU. "Switch-Induced Error Voltage on a Switched Capacitor"

