



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ  
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Σχεδίαση και Υλοποίηση  
Μετατροπέα Δεδομένων Ενός Ψηφίου

Αδάμ Ν. Ραπτάκης

Επιβλέπων:  
Πάυλος-Πέτρος Σωτηριάδης  
Αναπλ. Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2017





ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ  
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Σχεδίαση και Υλοποίηση  
Μετατροπέα Δεδομένων Ενός Ψηφίου

Αδάμ Ν. Ραπτάκης

Επιβλέπων:  
Πάυλος-Πέτρος Σωτηριάδης  
Αναπλ. Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 7<sup>η</sup> Ιουλίου 2017.

.....	.....	.....
Π.Π. Σωτηριάδης	Π. Κωττής	Χ. Καψάλης
Αναπλ. Καθηγητής Ε.Μ.Π.	Καθηγητής Ε.Μ.Π.	Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2017

.....  
Αδάμ Ν. Ραπτάκης

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Αδάμ Ν. Ραπτάκης, 2017

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα. Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

# Περίληψη

Το αντικείμενο της παρούσης διπλωματικής εργασίας είναι η σχεδίαση και υλοποίηση ενός κυκλώματος μετατροπής 1-bit ψηφιακού σήματος σε αναλογική παλμοσειρά. Πρωταρχικοί στόχοι της σχεδίασης αποτέλεσαν η υψηλή συχνότητα λειτουργίας και ο χαμηλός προσθετικός θόρυβος φάσης του κυκλώματος. Το κύκλωμα του μετατροπέα αποτελεί μέρος ενός ευρύτερου συστήματος  $\Sigma$ - $\Delta$  διαμόρφωσης, το οποίο αναπτύχθηκε στο KC705 Evaluation Board (Kintex-7 FPGA Family) της Xilinx. Τα σήματα ρολογιού που χρησιμοποιούνται για το χρονισμό του συστήματος παράγονται στο κύκλωμα του μετατροπέα βάση ενός εξωτερικού ταλαντωτή αναφοράς. Ο μετατροπέας πραγματοποιεί δειγματοληψία του 1-bit ψηφιακού σήματος εξόδου του FPGA με ένα ρολόι εξαιρετικά χαμηλού jitter προκειμένου να μειώσει το θόρυβο φάσης του αναλογικού σήματος. Η συχνότητα και η φάση κάθε σήματος ρολογιού ελέγχονται από το χρήστη μέσω μικροελεγκτή ώστε να πετυχαίνεται βέλτιστος χρονισμός κατά τη διαδικασία της δειγματοληψίας. Το σύστημα FPGA και μετατροπέα λειτουργεί με συχνότητα ρολογιού έως 500 MHz. Οι απαραίτητες προσομοιώσεις για την προσαρμογή των γραμμών μεταφοράς του συστήματος πραγματοποιήθηκαν στο περιβάλλον του Advanced Design System (ADS) 2016.

Όσον αφορά τη δομή της εργασίας στο 1ο Κεφάλαιο γίνεται μία σύντομη εισαγωγή στις βασικές διεργασίες που πραγματοποιούνται κατά τη μετατροπή δεδομένων. Στο 2ο κεφάλαιο αναλύονται τα πλεονεκτήματα και οι αρχές λειτουργίας των υπερδειγματοληπτικών μετατροπέων δίνοντας έμφαση στη μορφοποίηση θορύβου που πραγματοποιούν οι  $\Sigma$ - $\Delta$  διαμορφωτές. Στο 3ο κεφάλαιο παρουσιάζονται τα κύρια χαρακτηριστικά του θορύβου φάσης των ταλαντωτών και των δίθυρων στοιχείων εστιάζοντας στην επίδραση του jitter στα συστήματα μετατροπής δεδομένων. Στο 4ο κεφάλαιο παρουσιάζεται το κύκλωμα του μετατροπέα που κατασκευάστηκε και αναλύονται τα κρίσιμα στοιχεία της σχεδίασης. Στο 5ο κεφάλαιο παραθέτονται τα αποτελέσματα των μετρήσεων που πραγματοποιήθηκαν για τον έλεγχο της ορθής λειτουργίας και των επιδόσεων του κυκλώματος του μετατροπέα.

## Λέξεις Κλειδιά

1-bit, μετατροπή δεδομένων, δειγματοληψία, θόρυβος κβαντισμού,  $\Sigma$ - $\Delta$  διαμόρφωση, υπερδειγματοληψία, μορφοποίηση θορύβου, θόρυβος φάσης, jitter, γραμμές μεταφοράς, προσαρμογή



# Abstract

This work presents the design and actual implementation of an oversampling 1-bit digital to analog converter (DAC). High speed of operation and low additive phase noise were the primary goals of the circuit's design. The 1-bit DAC is part of a  $\Sigma$ - $\Delta$  modulation system which was developed on Xilinx's KC705 Evaluation Board (Kintex-7 FPGA Family). The system is clocked using high quality clock signals generated by the 1-bit DAC circuit. An external reference high-performance oscillator is used for clock signal generation. The 1-bit DAC is sampling and reclocking the FPGA's 1-bit output data signal with an ultra-low jitter clock signal. The goal is to significantly reduce the phase noise of the data signal. The frequency and phase of each clock signal can be configured via a microcontroller in order to achieve perfect timing in the sampling process. The FPGA - DAC system can operate with clock frequency up to 500 MHz. The necessary simulations for impedance matching were carried out in Advanced Design Systems.

This manuscript consists of five chapters. The 1st chapter is a brief introduction to the analog-to-digital and digital-to-analog conversion. The 2nd chapter is an analysis of the advantages and the basic concepts of oversampling converters, such as noise shaping and  $\Sigma$ - $\Delta$  modulation. In the 3rd chapter the phase noise in oscillators as well as the impact of jitter on data conversion systems are described. The 1-bit DAC circuit is presented in the 4th chapter along with information about the components used and the design of the transmission lines. Finally, the 5th chapter exhibits the measurement results concerning the performance of the implemented 1-bit DAC circuit.

## Keywords

single-bit, data conversion, sampling, quantization noise,  $\Sigma$ - $\Delta$  modulation, oversampling, noise shaping, phase noise, jitter, transmission lines, impedance matching

---



# Ευχαριστίες

Θα ήθελα καταρχάς να ευχαριστήσω τον κύριο Σωτηριάδη, ο οποίος μου ανέθεσε το συγκεκριμένο θέμα διπλωματικής εργασίας και με καθοδήγησε καθ' όλη τη διάρκεια διεκπεραίωσης της. Μου έδωσε την ευκαιρία να εργαστώ σε ένα περιβάλλον από το οποίο συγκέντρωσα μοναδικές γνώσεις και εμπειρία στον τομέα της ηλεκτρονικής. Κατόπιν, θα ήθελα να ευχαριστήσω τον υποψήφιο διδάκτορα Χάρη Μπασέτα για το χρόνο, τις γνώσεις και τα ευχάριστα διαλείμματα τένις που μου προσέφερε. Επίσης, ευχαριστώ όλα τα παιδιά του εργαστηρίου ηλεκτρονικής για τη βοήθεια που μου παρείχαν και το όμορφο κλίμα που δημιούργησαν. Θα ήθελα να εκφράσω ιδιαίτερος την ευγνωμοσύνη μου στον Κώστα Ούστογλου, η συμβολή του οποίου υπήρξε καθοριστική για την ολοκλήρωση του πρακτικού μέρους της παρούσας εργασίας. Επίσης θα ήθελα να ευχαριστήσω θερμά τον Ανδρέα Μποζατζίδη για το χρόνο που αφιέρωσε και τις ιδιαίτερα χρήσιμες συμβουλές που μου προσέφερε απλόχερα. Ευχαριστώ δε θερμά την Broadcom Ημιαγωγοί Ελλάς ΑΕ και ειδικότερα τον κύριο Ιάσων Βασιλείου για την παραχώρηση του εργαστηρίου της εταιρείας για τη διεξαγωγή μετρήσεων. Τέλος, ευχαριστώ την οικογένειά μου και όλους τους ανθρώπους που στάθηκαν δίπλα μου κατά τη διάρκεια της προσπάθειάς μου.



# Περιεχόμενα

<b>1</b>	<b>Εισαγωγή στη Μετατροπή Δεδομένων</b>	<b>1</b>
1.1	Μετατροπή Σήματος από Αναλογικό σε Ψηφιακό . . . . .	1
1.1.1	Περιοδική Δειγματοληψία . . . . .	2
1.1.2	Κβαντισμός και σφάλμα κβαντισμού . . . . .	6
1.1.3	Κωδικοποίηση . . . . .	10
1.2	Μετατροπή Σήματος από Ψηφιακό σε Αναλογικό . . . . .	11
1.2.1	Αποκωδικοποίηση . . . . .	11
1.2.2	Κράτηση μηδενικής τάξης . . . . .	12
1.2.3	Φίλτρο ανακατασκευής . . . . .	14
<b>2</b>	<b>Υπερδειγματοληπτικοί Μετατροπείς</b>	<b>15</b>
2.1	Υπερδειγματοληψία . . . . .	15
2.2	Υπερδειγματοληψία με Μορφοποίηση Θορύβου . . . . .	19
2.2.1	Σ-Δ Διαμόρφωση . . . . .	20
2.2.2	Μορφοποίηση Θορύβου 1ης Τάξης . . . . .	24
2.2.3	Μορφοποίηση Θορύβου 2ης Τάξης . . . . .	27
2.2.4	Μορφοποίηση Θορύβου Ανώτερης Τάξης . . . . .	29
2.2.5	Ζωνοπερατός Σ-Δ Διαμορφωτής . . . . .	31
2.3	Υπερδειγματοληπτική A/D Μετατροπή . . . . .	33
2.4	Υπερδειγματοληπτική D/A Μετατροπή . . . . .	37
<b>3</b>	<b>Θόρυβος Φάσης</b>	<b>43</b>
3.1	Βασικές Έννοιες . . . . .	43
3.2	Θόρυβος Φάσης Δίθυρου Στοιχείου . . . . .	47
3.2.1	Θερμικός θόρυβος . . . . .	48
3.2.2	Θόρυβος βολής . . . . .	49
3.2.3	Ισοδύναμη θερμοκρασία και συντελεστής θορύβου . . . . .	49
3.2.4	Φάσμα Θορύβου Δίθυρου Στοιχείου . . . . .	51
3.3	Θόρυβος Φάσης Ταλαντωτή . . . . .	54
3.3.1	Φαινόμενο Leeson . . . . .	56
3.3.2	Φάσμα Θορύβου Ταλαντωτή . . . . .	58
3.4	Jitter . . . . .	62
3.4.1	Period Jitter . . . . .	64

---

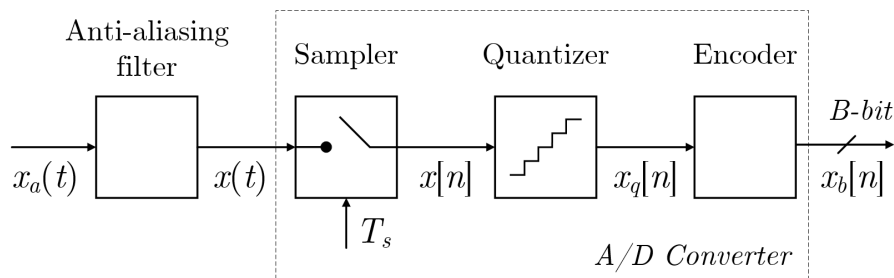
3.4.2	Cycle-to-cycle jitter . . . . .	65
3.4.3	TIE Jitter . . . . .	65
3.4.4	Phase Jitter . . . . .	66
3.5	Jitter στη Μετατροπή Δεδομένων . . . . .	67
<b>4</b>	<b>Κατασκευή του 1-bit DAC</b>	<b>73</b>
4.1	Αρχή Λειτουργίας του Κυκλώματος . . . . .	73
4.2	Περιγραφή του Κυκλώματος . . . . .	76
4.2.1	Clock Distributor . . . . .	77
4.2.2	D Flip-Flop . . . . .	83
4.2.3	Buffer . . . . .	87
4.2.4	Balun . . . . .	90
4.2.5	Regulators . . . . .	93
4.2.6	Micro-controller . . . . .	96
4.3	Σχηματικό Διάγραμμα . . . . .	99
4.4	Σχεδίαση των Γραμμών Μεταφοράς . . . . .	103
4.5	Τυπωμένο Κύκλωμα του 1-bit DAC . . . . .	108
4.6	Προγραμματισμός του ATmega328p . . . . .	109
<b>5</b>	<b>Μετρήσεις και Αποτελέσματα</b>	<b>119</b>
5.1	Μετρήσεις στο Πεδίο του Χρόνου . . . . .	119
5.2	Μετρήσεις Θορύβου Φάσης . . . . .	122
5.3	Φάσματα Σ-Δ διαμόρφωσης . . . . .	128
	<b>Επίλογος</b>	<b>133</b>
	<b>Βιβλιογραφία</b>	<b>135</b>

# 1.

## Εισαγωγή στη Μετατροπή Δεδομένων

Τα ποικίλα πλεονεκτήματα των ψηφιακών συστημάτων έχουν καταστήσει την ψηφιακή επεξεργασία σήματος (Digital Signal Processing) ως την αποτελεσματικότερη μέθοδο για την επεξεργασία σημάτων. Καθώς, όμως, τα σήματα στη φύση παραμένουν πεισματικά σε αναλογική μορφή, χρειαζόμαστε συστήματα για την μετατροπή των σημάτων από αναλογική σε ψηφιακή μορφή και αντίστροφα. Το σκοπό αυτό εξυπηρετούν συστήματα που ονομάζονται Analog-to-Digital Converters (ADCs) και Digital-to-Analog Converters (DACs). Στο κεφάλαιο αυτό θα εξετάσουμε τα επιμέρους συστήματα από τα οποία αποτελούνται και θα αναλύσουμε τις βασικές έννοιες που σχετίζονται με τη μετατροπή σημάτων.

### 1.1 Μετατροπή Σήματος από Αναλογικό σε Ψηφιακό



Σχήμα 1.1: Block διάγραμμα A/D μετατροπής

Η διαφορά μεταξύ του αναλογικού και του ψηφιακού σήματος είναι ότι το τελευταίο λαμβάνει κβαντισμένες τιμές σε διακριτά σημεία στο χρόνο. Επομένως, η μετατροπή του σήματος από αναλογικό σε ψηφιακό περιλαμβάνει δύο κύριες λειτουργίες. Η πρώτη ονομάζεται *sampling* (δειγματοληψία) και είναι αυτή που επιτελεί την μετατροπή του σήματος από συνεχούς χρόνου σε σήμα διακριτού χρόνου. Η δεύτερη λειτουργία ονομάζεται *quantizing* (κβαντισμός) και είναι εκείνη που δίνει στο πλάτος του σήματος κβαντισμένες τιμές, οι οποίες στη συνέχεια κωδικοποιούνται σε ψηφιακή μορφή. Τα στάδια που περιλαμβάνονται σε μία τυπική A/D (Analog-to-Digital) μετατροπή παρουσιάζονται στο σχήμα 1.1.

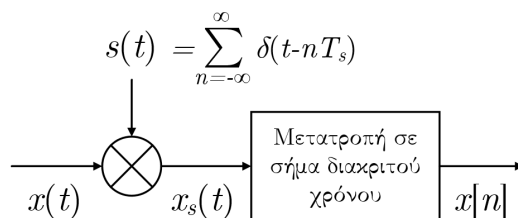
Το σήμα εισόδου  $x(t)$  φιλτράρεται από ένα βαθυπερατό φίλτρο και στη συνέχεια δειγματοληπτείται με σταθερή περίοδο δειγματοληψίας  $T_s$ . Το σήμα διακριτού χρόνου  $x[n]$  που προκύπτει αποτελεί μία ακολουθία δειγμάτων, τα οποία λαμβάνουν τιμές σε ένα συνεχές φάσμα. Κατά τη διαδικασία του κβαντισμού, κάθε δείγμα λαμβάνει μία νέα τιμή πλάτους, η οποία επιλέγεται από ένα πεπερασμένο σύνολο προκαθορισμένων τιμών ως η πλησιέστερη της αρχικής. Τέλος, το κβαντισμένο σήμα  $x_q[n]$  μετατρέπεται σε ψηφιακό σήμα, του οποίου το πλήθος των ψηφίων καθορίζεται από την ακρίβεια του κβαντιστή.

### 1.1.1 Περιοδική Δειγματοληψία

Η δειγματοληψία ενός σήματος διατυπώνεται μαθηματικά με την ακόλουθη σχέση.

$$x[n] = x(nT_s), \quad n \in \mathbb{Z} \quad (1.1.1)$$

Συμβολίζουμε  $T_s$  και  $f_s = 1/T_s$  την περίοδο και τη συχνότητα δειγματοληψίας αντίστοιχα. Συνηθίζουμε να περιγράφουμε μαθηματικά τη δειγματοληψία ως διαδικασία δύο σταδίων. Το αρχικό σήμα  $x(t)$  πολλαπλασιάζεται στο πεδίο του χρόνου με μία ακολουθία κρουστικών συναρτήσεων  $s(t)$  και προκύπτει το σήμα  $x_s(t)$ , το οποίο στη συνέχεια μετατρέπεται στην ακολουθία  $x[n]$ .



Σχήμα 1.2: Μαθηματική αναπαράσταση της δειγματοληψίας σήματος σε δύο στάδια

Το  $x_s(t)$  είναι σήμα συνεχούς χρόνου και λαμβάνει τις ίδιες τιμές με το σήμα  $x(t)$  για  $t = nT_s$ ,  $n \in \mathbb{Z}$ , ενώ οπουδήποτε αλλού λαμβάνει την τιμή μηδέν. Το  $x[n]$  είναι σήμα διακριτού χρόνου. Αποτελεί, δηλαδή, μία ακολουθία τιμών, κανονικοποιημένων ως προς το χρόνο, χωρίς να εμπεριέχει καμία πληροφορία για τη συχνότητα δειγματοληψίας. Η διαφορά των δύο σημάτων έχει αποκλειστικά μαθηματική αξία και δε θα μας απασχολήσει στην παρούσα ανάλυση.

Θεωρούμε ότι το σήμα  $x(t)$  στην είσοδο της διάταξης του σχήματος 1.2 είναι σήμα βασικής ζώνης (*bandlimited*), δηλαδή ισχύει  $X(f) = 0$  για  $|f| \geq f_b$ . Το  $x_s(t)$  προκύπτει από τον πολλαπλασιασμό, στο πεδίο του χρόνου, του  $x(t)$  με την ακολουθία κρουστικών συναρτήσεων  $s(t)$ .

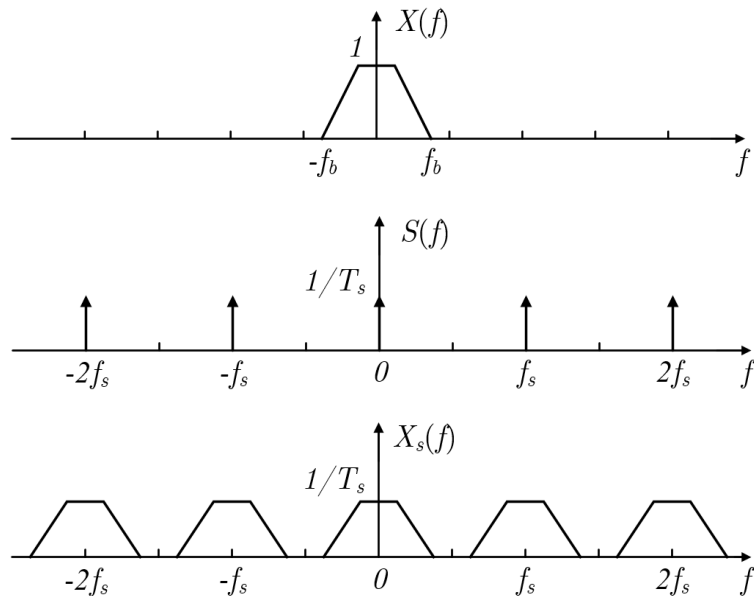
$$x_s(t) = x(t)s(t) = x(t) \sum_{n=-\infty}^{\infty} \delta(t - nT_s) = x(nT_s) \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \quad (1.1.2)$$

Το φάσμα του  $x_s(t)$  δίνεται από το μετασχηματισμό Fourier του σήματος, ο οποίος προκύπτει από

τη συνέλιξη, στο πεδίο της συχνότητας, του  $X(f)$  με το  $S(f)$ .

$$X_s(f) = X(f) * S(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \quad (1.1.3)$$

Το  $X_s(f)$  αποτελείται από το άθροισμα αντιγράφων του  $X(f)$ , τα οποία εμφανίζονται περιοδικά, σε ακέραια πολλαπλάσια της συχνότητας δειγματοληψίας  $f_s$ , όπως φαίνεται στο σχήμα 1.3. Στο σχήμα έχουμε παραλείψει το μετασχηματισμό Fourier του σήματος  $x[n]$ , καθώς αποτελεί μία κανονικοποιημένη μορφή του  $X_s(f)$  στο πεδίο της συχνότητας, ακριβώς όπως το  $x[n]$  αποτελεί μία κανονικοποιημένη μορφή του  $x_s(t)$  στο πεδίο του χρόνου.



Σχήμα 1.3: Απεικόνιση της δειγματοληψίας στο πεδίο της συχνότητας.

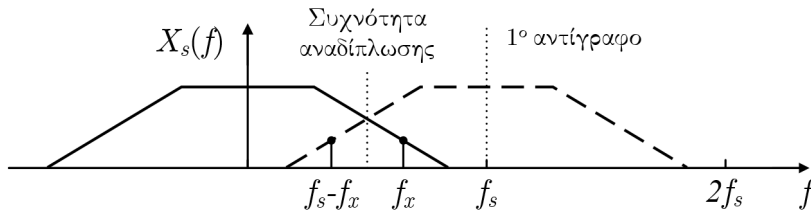
Χρησιμοποιώντας ένα βαθυπερατό φίλτρο με συχνότητα αποκοπής στο μέσο του διαστήματος  $[f_b, f_s - f_b]$  μπορούμε να απομονώσουμε το φάσμα του  $X(f)$  γύρω από το μηδέν και να ανακατασκευάσουμε το αρχικό σήμα  $x(t)$ . Προκειμένου, όμως, να γίνει σωστή ανάκτηση του φασματικού περιεχομένου του  $X(f)$ , πρέπει να μη συμβαίνει επικάλυψη των αντιγράφων. Επομένως, πρέπει να ισχύει  $f_b \leq f_s - f_b \iff 2f_b \leq f_s$ . Η συνθήκη αυτή διατυπώνεται στο θεώρημα δειγματοληψίας Nyquist και καθορίζει την τιμή της συχνότητας δειγματοληψίας  $f_s$  ενός σήματος βασικής ζώνης, ώστε να μην υπάρξει απώλεια πληροφορίας.

**Θεώρημα δειγματοληψίας Nyquist (Nyquist 1928, Shannon 1949):**

Έστω  $x(t)$  σήμα βασικής ζώνης με  $X(f) = 0$  για  $|f| \geq f_b$ . Τότε, το  $x(t)$  προσδιορίζεται αμφίμο- νοσήμαντα από τα δείγματά του  $x[n] = x(nT_s)$ ,  $n = 0, \pm 1, \pm 2, \dots$ , εάν

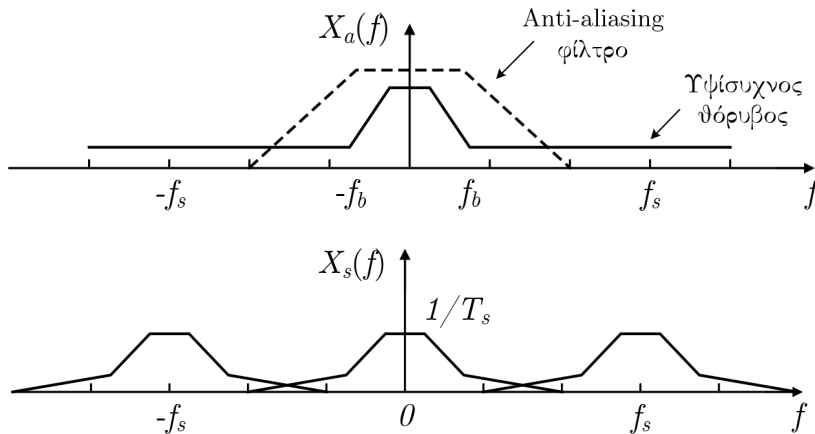
$$f_s \geq 2f_b \quad (1.1.4)$$

Η συχνότητα  $f_b$  ονομάζεται συχνότητα Nyquist, ενώ η συχνότητα  $2f_b$ , την οποία πρέπει να υπερβαίνει η συχνότητα δειγματοληψίας, ονομάζεται ρυθμός Nyquist.



Σχήμα 1.4: Aliasing

Στην περίπτωση που η συνθήκη (1.1.4) δεν ισχύει, η φασματική ισχύς του αντιγράφου γύρω από τη συχνότητα  $f_s$  εισέρχεται στο φάσμα του αρχικού σήματος. Κάθε φασματική συνιστώσα  $f_x$  του αρχικού σήματος  $x(t)$ , η οποία είναι μεγαλύτερη από  $f_s/2$ , επανεμφανίζεται σε μία θέση  $f_s - f_x$  χαμηλότερα από την  $f_s/2$ . Η συχνότητα  $f_s/2$  ονομάζεται συχνότητα αναδίπλωσης, ακριβώς επειδή κάθε συνιστώσα μεγαλύτερη από  $f_s/2$  αναδιπλώνεται γύρω από τη αυτή. Αν επιχειρήσουμε να περάσουμε το σήμα αυτό από ένα βαθυπερατό φίλτρο, οι συνιστώσες πέρα από τη συχνότητα αναδίπλωσης δε θα εμφανιστούν στις σωστές θέσεις και το σήμα θα παρουσιάζει παραμόρφωση. Η παραμόρφωση αυτή ονομάζεται *aliasing distortion*, ή απλώς, *aliasing*.



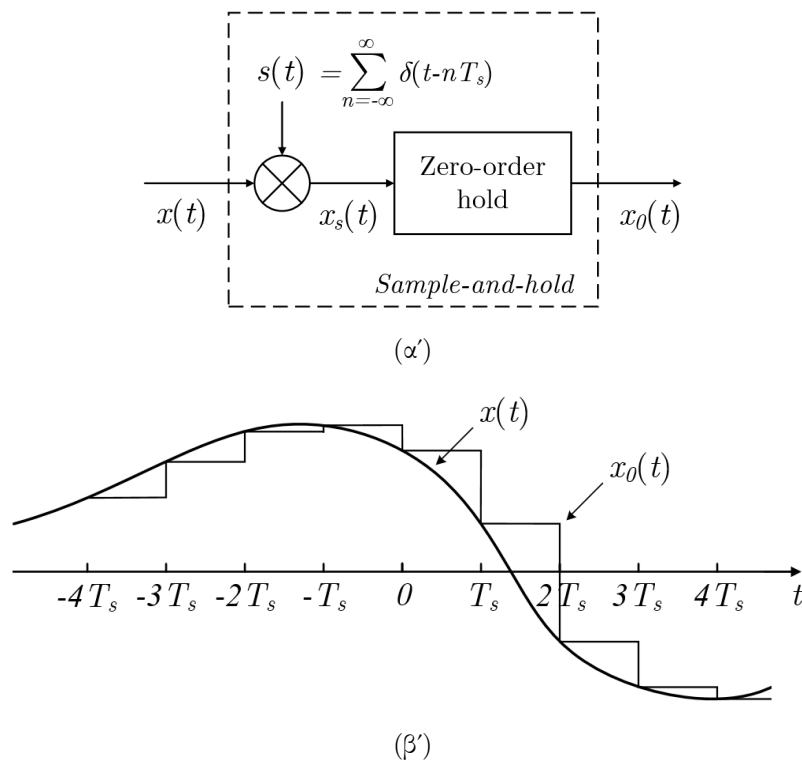
Σχήμα 1.5: Anti-aliasing φιλτράρισμα.

Σε ένα πραγματικό σύστημα, το φασματικό περιεχόμενο του σήματος που θέλουμε να επεξεργαστούμε, συνοδεύεται πάντα από ευρυζωνικό θόρυβο (wideband additive noise). Κατά τη διαδικασία της δειγματοληψίας, ο θόρυβος από τις υψηλότερες συχνότητες υπεισέρχεται στο φάσμα του σήματος, προκαλώντας *aliasing* παραμόρφωση. Για να αποφύγουμε την παραμόρφωση, φιλτράρουμε κατάλληλα το αναλογικό σήμα πριν τη δειγματοληψία, με ένα αναλογικό βαθυπερατό φίλτρο, του οποίου η συχνότητα αποκοπής είναι στο διάστημα  $[f_b, f_s - f_b]$ . Το φίλτρο, όπως φαίνεται στο σχήμα 1.1, βρίσκεται στην είσοδο του συστήματος και ονομάζεται *anti-aliasing* φίλτρο.



Σε μία A/D μετατροπή, έπονται της δειγματοληψίας οι διαδικασίες του κβαντισμού και της κωδικοποίησης. Η ολοκλήρωση των διαδικασιών αυτών δεν γίνεται στιγμιαία, αλλά απαιτεί ένα ελάχιστο χρονικό διάστημα. Ο μετατροπέας μπορεί να ξεκινήσει και να ολοκληρώσει τη μετατροπή ενός δείγματος του  $x(t)$ , από αναλογική σε ψηφιακή τιμή, κάθε  $T_s$  δευτερόλεπτα. Σε έναν πραγματικό A/D μετατροπέα, η δειγματοληψία του σήματος πραγματοποιείται από ένα σύστημα δειγματοληψίας και κράτησης (sample-and-hold), το οποίο λαμβάνει ένα δείγμα κάθε  $T_s$  δευτερόλεπτα και διατηρεί την τιμή του στην έξοδο μέχρι να λάβει καινούριο δείγμα.

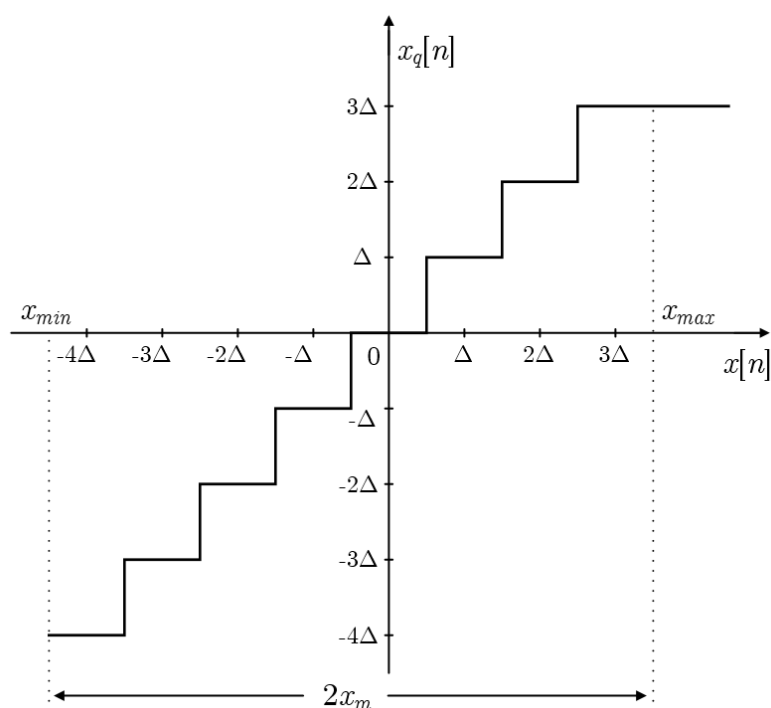
Όπως φαίνεται στο σχήμα 1.6(α'), η έξοδος του ιδανικού sample-and-hold, ισοδυναμεί με γραμμικό φιλτράρισμα του σήματος  $x_s(t)$ , μέσα από ένα zero-order hold φίλτρο, του οποίου η κρουστική απόκριση  $h_0(t)$  είναι 1, για  $0 < t < T_s$  και 0 διαφορετικά. Το φάσμα του σήματος  $x_0(t)$  στην έξοδο του sample-and-hold ισούται με το φάσμα του σήματος  $x_s(t)$  διαμορφωμένο από τη συνάρτηση  $|H_0(f)|$  του φίλτρου κράτησης μηδενικής τάξης (zero order hold). Θα δούμε αναλυτικότερα την έξοδο του zero-order hold στο πεδίο της συχνότητας όταν ασχοληθούμε με την ανακατασκευή του σήματος κατά την D/A μετατροπή. Προς το παρόν, η απεικόνιση στο πεδίο του χρόνου στο σχήμα 1.6(β'), επαρκεί για να μας δώσει μία καλή εικόνα του σήματος που αποτελεί την είσοδο του κβαντιστή, της επόμενης βαθμίδας στην A/D μετατροπή.



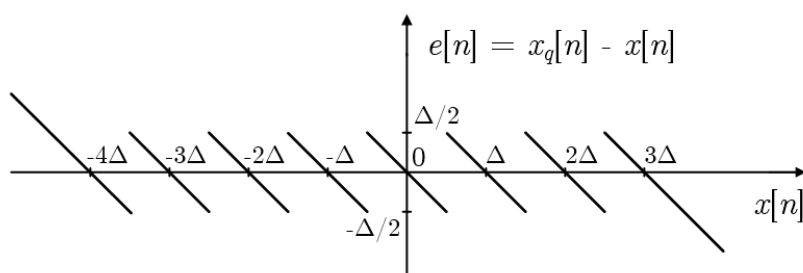
Σχήμα 1.6: (α') Μαθηματική αναπαράσταση ενός ιδανικού sample-and-hold συστήματος και (β') η έξοδος του συστήματος στο πεδίο του χρόνου.

### 1.1.2 Κβαντισμός και σφάλμα κβαντισμού

Το σήμα  $x[n]$  στην έξοδο του σταδίου της δειγματοληψίας, αποτελείται από μία ακολουθία δειγμάτων, τα οποία έχουν ληφθεί σε διακριτά σημεία στο χρόνο. Το πλάτος, όμως, του κάθε δείγματος, εξακολουθεί να λαμβάνει τιμές σε ένα συνεχές φάσμα. Με τη διαδικασία του κβαντισμού (quantization), η τιμή του πλάτους του κάθε δείγματος, αντιστοιχίζεται σε μία νέα τιμή, η οποία επιλέγεται από ένα πεπερασμένο σύνολο προκαθορισμένων τιμών. Το σύστημα που υλοποιεί την εν λόγω διαδικασία είναι μη-γραμμικό και ονομάζεται κβαντιστής (quantizer).



(α)

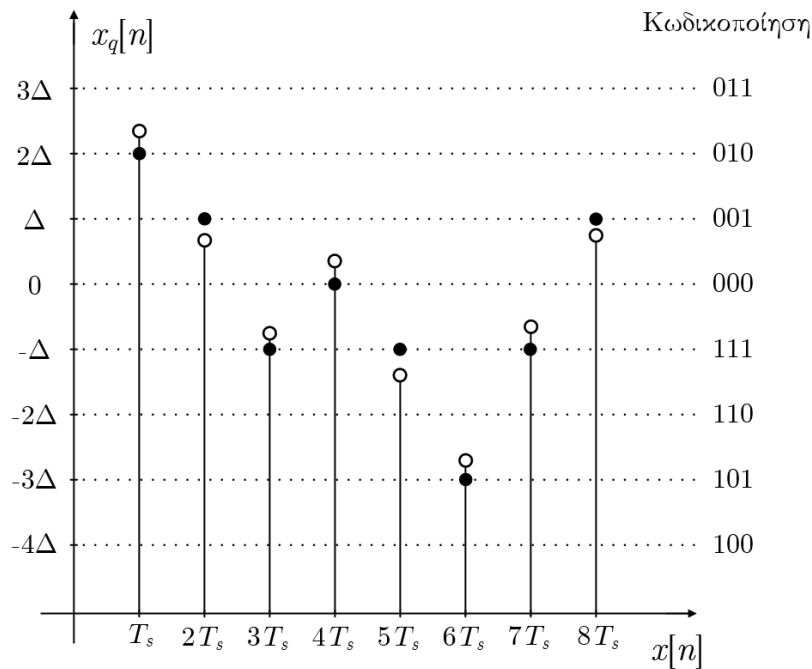


(β')

Σχήμα 1.7: (α') Συνάρτηση μεταφοράς ομοιόμορφου κβαντιστή 8 επιπέδων και (β') το αντίστοιχο σφάλμα κβαντισμού ως συνάρτηση του σήματος εισόδου  $x[n]$ .

Η έξοδος  $x_q[n]$  του κβαντιστή μπορεί να λάβει  $M$  διαφορετικές τιμές, οι οποίες ανήκουν στο σύνολο  $\{q_1, \dots, q_M\}$  και ονομάζονται *επίπεδα κβαντισμού*. Εάν το διάστημα  $\Delta = q_{i+1} - q_i$  είναι το

ίδιο για κάθε ζεύγος διαδοχικών επιπέδων, ο κβαντιστής ονομάζεται *ομοιόμορφος*. Το κάθε επίπεδο κβαντισμού κωδικοποιείται σε ένα δυαδικό αριθμό  $B$  ψηφίων, ο οποίος αναπαριστά το πλάτος του κάθε δείγματος. Για το λόγο αυτό, το πλήθος των επιπέδων ενός κβαντιστή είναι πάντα κάποια δύναμη του δύο και δίνεται από τη σχέση  $M = 2^B$ . Στο σχήμα 1.7(α') απεικονίζεται η συνάρτηση μεταφοράς ενός ομοιόμορφου κβαντιστή οχτώ επιπέδων, ενώ στο σχήμα 1.8 παρουσιάζεται μία ενδεικτική έξοδος του κβαντιστή στο πεδίο του χρόνου.



Σχήμα 1.8: Κβαντισμός του σήματος  $x[n]$  και η αντίστοιχη κωδικοποίηση συμπληρώματος ως προς δύο. Με λευκούς κύκλους συμβολίζονται οι τιμές των δειγμάτων του  $x[n]$  και με μαύρους κύκλους οι αντίστοιχες τιμές του  $x_q[n]$  στην έξοδο του κβαντιστή.

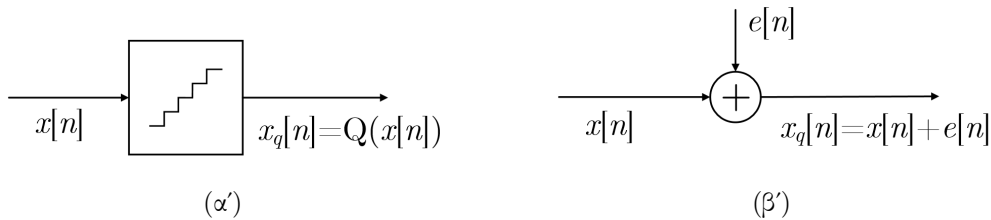
Παρατηρούμε ότι ο συγκεκριμένος κβαντιστής είναι κατάλληλος για σήματα, των οποίων τα δείγματα λαμβάνουν θετικές και αρνητικές τιμές, καθώς διαθέτει επίπεδα κβαντισμού υψηλότερα και χαμηλότερα του μηδενός. Οι κβαντιστές αυτού του τύπου ονομάζονται *διπολικοί* (bipolar). Παρατηρούμε, επίσης, ότι τα θετικά επίπεδα κβαντισμού είναι τρία, ενώ τα αρνητικά τέσσερα. Η ασυμμετρία προκύπτει λόγω του επιπέδου κβαντισμού στο μηδέν. Καθώς το πλήθος των επιπέδων ενός κβαντιστή είναι πάντα άρτιο, δεν γίνεται να υπάρχει επίπεδο κβαντισμού στο μηδέν και ταυτόχρονα να είναι ίδιο το πλήθος θετικών και αρνητικών επιπέδων. Στην πραγματικότητα το πλήθος των επιπέδων κβαντισμού είναι πολύ μεγαλύτερο του οχτώ, επομένως η διαφορά αυτή είναι αμελητέα. Για παράδειγμα, ένας 8-bit A/D μετατροπέας, με συνάρτηση μεταφοράς ανάλογη του σχήματος 1.7(α'), διαθέτει 256 επίπεδα κβαντισμού: 127 θετικά, 1 στο μηδέν και 128 αρνητικά.

Εάν τα πλάτη των δειγμάτων του σήματος  $x[n]$ , λαμβάνουν τιμές στο διάστημα  $(x_{min}, x_{max})$ , όπου  $x_{max} - x_{min} = 2x_m$ , τότε το διάστημα  $\Delta$  μεταξύ δύο διαδοχικών επιπέδων σε έναν ομοιόμορφο

κβαντιστή, δίνεται από τη σχέση (1.1.5) και ονομάζεται *βήμα κβαντισμού*. Το μέγεθος  $x_m$  ονομάζεται *πλήρης κλίμακα* (full-scale) και αποτελεί παράμετρο του κβαντιστή.

$$\Delta = \frac{2x_m}{2^B} = \frac{x_m}{2^{B-1}} \quad (1.1.5)$$

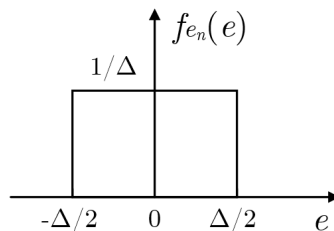
Κατά τη διαδικασία του κβαντισμού η τιμή του κάθε δείγματος, του σήματος  $x[n]$ , μεταβάλλεται προκειμένου να αναπαρασταθεί από το κοντινότερο επίπεδο κβαντισμού. Επομένως, η τιμή του σήματος  $x_q[n]$  στην έξοδο του κβαντιστή, αποτελεί προσέγγιση της τιμής του  $x[n]$ . Η διαφορά  $e[n] = x_q[n] - x[n]$  ονομάζεται *σφάλμα κβαντισμού*. Όσο το σήμα  $x[n]$  λαμβάνει τιμές εντός των ορίων ( $x_{min}, x_{max}$ ) το σφάλμα κβαντισμού κυμαίνεται από  $-\Delta/2$  έως  $\Delta/2$ , όπως φαίνεται και στο σχήμα 1.7(β').



Σχήμα 1.9: (α') Το σύστημα του κβαντιστή και (β') το μοντέλο προσθετικού θορύβου.

Το σύστημα του κβαντιστή είναι εγγενώς μη γραμμικό. Στο σχήμα 1.9(β') απεικονίζεται ένα απλοποιημένο μοντέλο, στο οποίο θεωρούμε ότι το σφάλμα κβαντισμού επιδρά στο σήμα ως προσθετικός θόρυβος. Το μοντέλο είναι ισοδύναμο με το σύστημα του κβαντιστή εάν γνωρίζουμε ακριβώς την ακολουθία  $e[n]$  των σφαλμάτων. Στις περισσότερες των περιπτώσεων όμως, οι τιμές των δειγμάτων  $e[n]$  είναι άγνωστες και για το λόγο αυτό χρησιμοποιούμε ένα στατιστικό μοντέλο για να αναπαραστήσουμε την επίδραση του κβαντισμού στο σήμα  $x[n]$ .

Η στατιστική αναπαράσταση του σφάλματος κβαντισμού βασίζεται σε κάποιες παραδοχές: (1) Η ακολουθία  $e[n]$  είναι στατιστικώς ασυσχέτιστη με την ακολουθία  $x[n]$  στην είσοδο του συστήματος, (2) τα στοιχεία της ακολουθίας  $e[n]$  είναι ασυσχέτιστες μεταξύ τους τυχαίες μεταβλητές, τις οποίες για ευκολία θα συμβολίζουμε  $e_n$  και (3) οι τ.μ.  $e_n$  ακολουθούν ομοιόμορφη κατανομή στο διάστημα  $[-\Delta/2, \Delta/2]$ .



Σχήμα 1.10: Συνάρτηση πυκνότητας πιθανότητας της τ.μ.  $e_n$ .

Με τις παραπάνω παραδοχές, το σφάλμα κβαντισμού μπορεί να θεωρηθεί ως μία ανεξάρτητη πηγή λευκού προσθετικού θορύβου, όπως φαίνεται στο σχήμα 1.9(β'). Ο θόρυβος που υπεισέρχεται

στο σήμα λόγω των σφαλμάτων ονομάζεται *θόρυβος κβαντισμού*. Όταν το πλήθος των επιπέδων κβαντισμού είναι αρκετά μεγάλο και το σήμα στην είσοδο λαμβάνει ισοπίθανα όλες τις τιμές στην πλήρη κλίμακα του κβαντιστή, τότε το γραμμικό μοντέλο που προκύπτει αποτελεί μία πολύ καλή προσέγγιση του πραγματικού κβαντιστή.

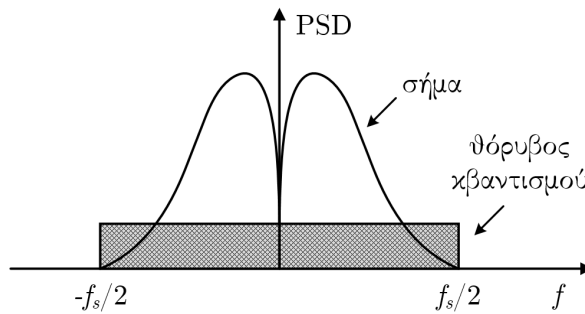
Η αναμενόμενη τιμή της  $e_n$  είναι μηδέν, δηλαδή ισχύει  $E[e_n] = 0$ , ενώ η διασπορά της δίνεται από τη σχέση (1.1.6) και εκφράζει την ισχύ του θορύβου κβαντισμού.

$$\sigma_{e_n}^2 = E[e_n^2] = \int_{-\Delta/2}^{\Delta/2} e^2 f_{e_n}(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (1.1.6)$$

Ο θόρυβος κβαντισμού μοντελοποιείται ως λευκός προσθετικός θόρυβος, επομένως η ισχύς του κατανέμεται ομοιόμορφα σε όλο το εύρος των συχνοτήτων. Η φασματική πυκνότητα ισχύος του θορύβου κβαντισμού δίνεται από την ακόλουθη σχέση.

$$N_e(f) = \frac{\sigma_{e_n}^2}{f_s} = \frac{\Delta^2}{12} \frac{1}{f_s} \quad (1.1.7)$$

Στο σχήμα 1.11 παρουσιάζεται η φασματική πυκνότητα ισχύος του θορύβου κβαντισμού για ένα σήμα που έχει υποστεί δειγματοληψία με ρυθμό Nyquist, δηλαδή ισχύει  $f_s = 2f_b$ .



Σχήμα 1.11: Φασματική πυκνότητα ισχύος στην έξοδο του κβαντιστή, όπου  $f_s = 2f_b$ .

Η επίδραση του θορύβου στο σήμα εκφράζεται ποσοτικά με το μέγεθος *Signal-to-Quantization-Noise Ratio (SQNR)*, το οποίο ορίζεται ως ο λόγος της ισχύος του σήματος προς την ισχύ του θορύβου κβαντισμού. Συνήθως, η μέτρηση του SQNR στους A/D και D/A μετατροπείς γίνεται εφαρμόζοντας ένα ημιτονικό σήμα στην είσοδο. Σύμφωνα με τη σχέση (1.1.5) το πλάτος του ημιτόνου πρέπει να ισούται με  $A_m = 2^{B-1}\Delta$ , ώστε να είναι ταιριασμένο με την πλήρη κλίμακα του κβαντιστή. Επομένως, η ισχύς του σήματος είναι  $A_m^2/2$ . Ο λόγος SQNR υπολογίζεται σε dB:

$$SQNR = 10 \log \left( \frac{A_m^2/2}{\Delta^2/12} \right) = 10 \log \left( \frac{3 \cdot 2^{2B}}{2} \right) = 6.02B + 1.76 \text{ dB} \quad (1.1.8)$$

Συμπεραίνουμε ότι, για ημιτονικό σήμα στην είσοδο, με πλάτος  $A_m$  ταιριασμένο στην πλήρη κλίμακα του κβαντιστή και σφάλμα κβαντισμού με τις ιδιότητες που περιγράψαμε, το SQNR εξαρτάται από τον αριθμό  $B$  των ψηφίων που χρησιμοποιούνται για την αναπαράσταση του πλάτους των

δειγμάτων. Αυξάνοντας τον αριθμό των ψηφίων κατά ένα, το SQNR, το οποίο αντιπροσωπεύει την ποιότητα του ψηφιακού σήματος, αυξάνεται κατά 6 dBs. Επιπλέον, η σχέση (1.1.9) καθορίζει τον μέγιστο αριθμό ψηφίων που απαιτούνται για τον χβαντισμό ενός αναλογικού σήματος με συγκεκριμένο επίπεδο θορύβου. Αν για παράδειγμα το SNR του σήματος είναι 58 dB, επαρκούν 10 ψηφία. Περισσότερα ψηφία θα συμβάλουν απλώς στην ψηφιοποίηση του θορύβου.

Ένα ακόμη χρήσιμο μέγεθος για το χαρακτηρισμό ενός χβαντιστή είναι το *δυναμικό εύρος* (dynamic range). Ορίζεται ως η διαφορά μεταξύ του μεγαλύτερου και του μικρότερου σήματος που μπορεί να αναγνωριστεί και να χβαντιστεί, επομένως εξαρτάται από τη διακριτική ικανότητα του χβαντιστή. Το μικρότερο σήμα που μπορεί να αναγνωριστεί είναι συνήθως της ίδιας τάξης μεγέθους με τη μέγιστη τιμή του σφάλματος χβαντισμού. Επομένως, το δυναμικό εύρος εκφράζεται από την παρακάτω σχέση.

$$\text{dynamic range} = \log_2 \frac{x_{max}}{\Delta/2} \quad (1.1.9)$$

### 1.1.3 Κωδικοποίηση

Κατά την κωδικοποίηση, το πλάτος του κάθε δείγματος της ακολουθίας  $x_q[n]$ , μετατρέπεται σε ένα δυαδικό αριθμό. Η μετατροπή του πλάτους των δειγμάτων σε ψηφιακή μορφή είναι συνήθως ενσωματωμένη στη διαδικασία του χβαντισμού. Υπάρχουν διάφοροι τύποι κωδικοποίησης όπως ο δυαδικός κώδικας αντιστάθμισης (offset binary), ο κώδικας συμπληρώματος ως προς δύο (two's complement), ο κώδικας συμπληρώματος ως προς ένα (one's complement) και ο κώδικας μέτρου-προσήμου (sign-magnitude). Στον πίνακα 1.1 παρουσιάζονται τα ανωτέρω είδη κωδικοποίησης για ένα διπολικό χβαντιστή τριών ψηφίων, με πλήρη κλίμακα  $x_m = 1V$ .

Επίπεδο Κβαντ.	$\pm 1V$	Offset Binary	Two's Comp.	One's Comp.	Sign Mag.
+3 $\Delta$	+0.75	111	011	011	011
+2 $\Delta$	+0.50	110	010	010	010
+ $\Delta$	+0.25	101	001	001	001
0	0.00	100	000	000	000
- $\Delta$	-0.25	011	111	110	101
-2 $\Delta$	-0.50	010	110	101	110
-3 $\Delta$	-0.75	001	101	100	111
-4 $\Delta$	-1.00	000	100		

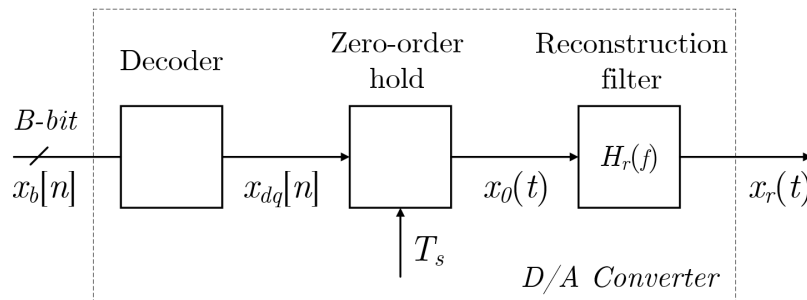
Πίνακας 1.1

Κάθε κωδικοποίηση εμφανίζει πλεονεκτήματα και μειονεκτήματα, η αναλυτική παρουσίαση των οποίων δεν αφορά την παρούσα περιγραφή. Αρχεί να σημειώσουμε ότι ο πιο δημοφιλής κώδικας στις εφαρμογές μετατροπής δεδομένων είναι ο κώδικας συμπληρώματος ως προς δύο, επειδή διευκολύνει

σημαντικά τις πράξεις κατά τη ψηφιακή επεξεργασία σήματος, ενώ παράλληλα υλοποιείται εύκολα σε κατασκευαστικό επίπεδο.

## 1.2 Μετατροπή Σήματος από Ψηφιακό σε Αναλογικό

Το ψηφιακό σήμα αποτελείται από διακριτές τιμές σε διακριτά σημεία στο χρόνο. Αντίθετα το αναλογικό σήμα είναι συνεχούς χρόνου και λαμβάνει τιμές σε ένα διάστημα  $(x_{min}, x_{max})$ . Επομένως, η μετατροπή του σήματος από ψηφιακό σε αναλογικό περιλαμβάνει δύο βασικές λειτουργίες. Η πρώτη ονομάζεται *holding* (κράτηση) και αφορά τη μετατροπή του ψηφιακού σήματος σε σήμα συνεχούς χρόνου. Η κράτηση πραγματοποιείται με ένα φίλτρο παρεμβολής (interpolation filter), το οποίο είναι συνήθως ένα φίλτρο κράτησης μηδενικής τάξης. Η δεύτερη λειτουργία επιτελείται από ένα φίλτρο ανακατασκευής (reconstruction filter), στην έξοδο του οποίου το σήμα λαμβάνει τιμές σε ένα συνεχές διάστημα. Τα στάδια που περιλαμβάνονται σε μία τυπική D/A (Digital-to-Analog) μετατροπή παρουσιάζονται στο σχήμα 1.12.



Σχήμα 1.12: Block διάγραμμα D/A μετατροπής

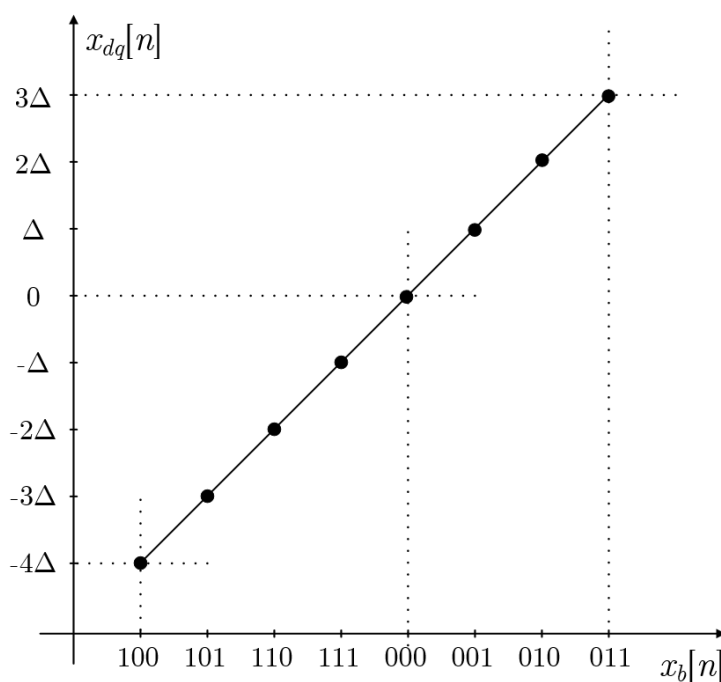
Αρχικά το ψηφιακό σήμα  $x_b[n]$  αποκωδικοποιείται, δηλαδή κάθε λέξη  $B$  ψηφίων μετατρέπεται σε μία τιμή πλάτους για το εκάστοτε δείγμα. Το σήμα  $x_{dq}[n]$  εισέρχεται στο zero-order hold σύστημα, το οποίο διατηρεί την τιμή του στην έξοδο για χρόνο  $T_s$ , δημιουργώντας το σήμα συνεχούς χρόνου  $x_0(t)$ . Εν συνεχεία, το σήμα  $x_0(t)$  φιλτράρεται κατάλληλα από το φίλτρο ανακατασκευής και προκύπτει το αναλογικό σήμα  $x_r(t)$ .

### 1.2.1 Αποκωδικοποίηση

Όσο το σήμα βρίσκεται σε ψηφιακή μορφή το πλάτος του κάθε δείγματος εκφράζεται από ένα δυαδικό αριθμό. Κατά τη διαδικασία της αποκωδικοποίησης, αυτός ο δυαδικός αριθμός μετατρέπεται σε μία τιμή τάσης, με βάση την πλήρη κλίμακα  $x_m$  του αποκωδικοποιητή. Γενικά, αν το ψηφιακό σήμα στην είσοδο παριστάνεται από  $B$  ψηφία σε κωδικοποίηση συμπληρώματος ως προς δύο, δηλαδή είναι της μορφής  $a_0a_1a_2\dots a_{B-1}$ , η τιμή που προκύπτει στην έξοδο του αποκωδικοποιητή είναι

$$(-a_0 \cdot 2^0 + a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + \dots + a_{B-1} \cdot 2^{-(B-1)}) \cdot x_m \quad (1.2.1)$$

Από τη σχέση (1.2.1) παρατηρούμε ότι υπάρχει ένα-προς-ένα αντιστοιχία μεταξύ της ψηφιακής λέξης στην είσοδο και της τιμής στην έξοδο του αποκωδικοποιητή. Στην ιδανική περίπτωση τα σημεία της συνάρτησης μεταφοράς του αποκωδικοποιητή βρίσκονται επάνω σε μία ευθεία γραμμή, όπως φαίνεται στο σχήμα 1.13. Σε ένα πραγματικό σύστημα, τα σημεία αυτά αποκλίνουν από την ευθεία, καθιστώντας την αποκωδικοποίηση μια μη γραμμική διαδικασία, η οποία εισάγει παραμόρφωση στο σήμα.



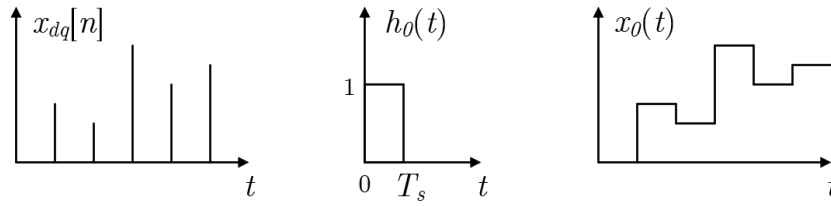
Σχήμα 1.13: Συνάρτηση μεταφοράς αποκωδικοποιητή τριών ψηφίων

## 1.2.2 Κράτηση μηδενικής τάξης

Το σήμα  $x_{dq}[n]$  στην έξοδο του αποκωδικοποιητή λαμβάνει διακριτές τιμές σε διακριτά σημεία στο χρόνο. Η μετατροπή του σήματος  $x_{dq}[n]$  σε σήμα συνεχούς χρόνου πραγματοποιείται με ένα φίλτρο κράτησης μηδενικής τάξης (zero-order hold). Ένα zero-order hold φίλτρο με κρουστική απόκριση  $h_0(t) = 1$ , για  $0 < t < T_s$ , διατηρεί στην έξοδό του, για ένα χρονικό διάστημα  $T_s$ , την τιμή που λαμβάνει στην είσοδο. Αν θεωρήσουμε ότι τα δείγματα καταφτάνουν στην είσοδο του φίλτρου ανά  $T_s$  δευτερόλεπτα και έχουν πολύ μικρή χρονική διάρκεια, δηλαδή μπορούν να θεωρηθούν ως κρουστικές συναρτήσεις, τότε η έξοδος του φίλτρου δίνεται από τη σχέση (1.2.2). Το σήμα  $x_0(t)$  που προκύπτει στην έξοδο του zero-order hold φίλτρου είναι συνεχές στο πεδίο του χρόνου, όπως φαίνεται στο σχήμα 1.14.

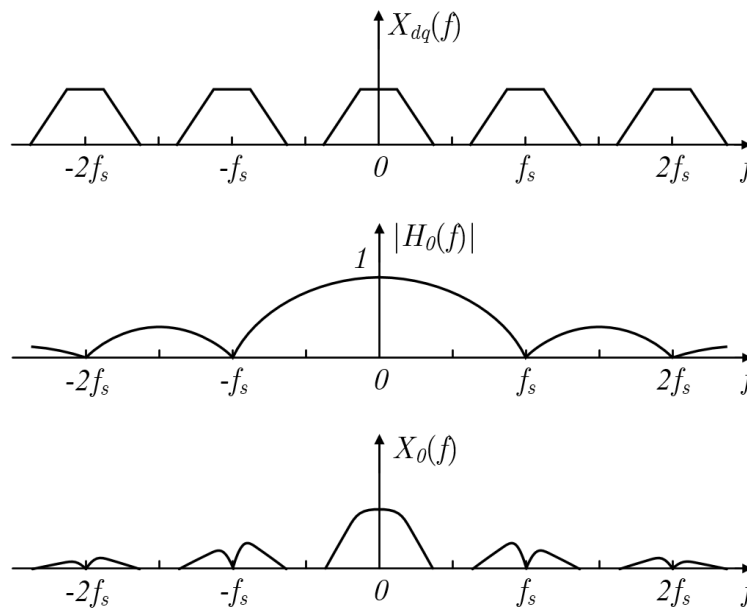
$$x_0(t) = \sum_{n=-\infty}^{\infty} x_{dq}[n]h_0(t - nT_s) \quad (1.2.2)$$





Σχήμα 1.14: Το σήμα  $x_0(t)$  προκύπτει από τη συνέλιξη του σήματος  $x_{dq}[n]$  με την χροστική απόκριση  $h_0(t)$  του zero-order hold φίλτρου.

Το σήμα  $x_{dq}[n]$  αποτελείται από μία ακολουθία δειγμάτων, τα οποία αναπαριστούν ένα σήμα βασικής ζώνης. Θεωρούμε ότι το χρονικό διάστημα μεταξύ δύο διαδοχικών δειγμάτων είναι  $T_s$ . Επομένως, το φάσμα  $X_{dq}(f)$  του σήματος  $x_{dq}[n]$  έχει την ίδια μορφή με το φάσμα ενός σήματος, το οποίο έχει προκύψει από δειγματοληψία με ρυθμό  $f_s = 1/T_s$ . Δηλαδή, το  $X_{dq}(f)$  αποτελείται από αντίγραφα του φάσματος του σήματος που αναπαριστά το σήμα  $x_{dq}[n]$ , σε ακέραια πολλαπλάσια της συχνότητας δειγματοληψίας  $f_s$ , όπως φαίνεται στο σχήμα 1.15.



Σχήμα 1.15: Φιλτράρισμα του σήματος  $x_{dq}[n]$  με φίλτρο κράτησης μηδενικής τάξης.

Στο πεδίο της συχνότητας, το zero-order hold σύστημα λειτουργεί ως μη-ιδανικό βαθυπερατό φίλτρο. Η απόκριση συχνότητας δίνεται από την ακόλουθη σχέση.

$$H_0(f) = \frac{\sin(\pi f T_s)}{\pi f T_s} \cdot e^{-j\pi f T_s} \quad (1.2.3)$$

Ο μετασχηματισμός Fourier  $X_0(f)$  του σήματος  $x_0(t)$  στην έξοδο του φίλτρου προκύπτει από τον πολλαπλασιασμό, στο πεδίο της συχνότητας, της απόκρισης συχνότητας του φίλτρου με το

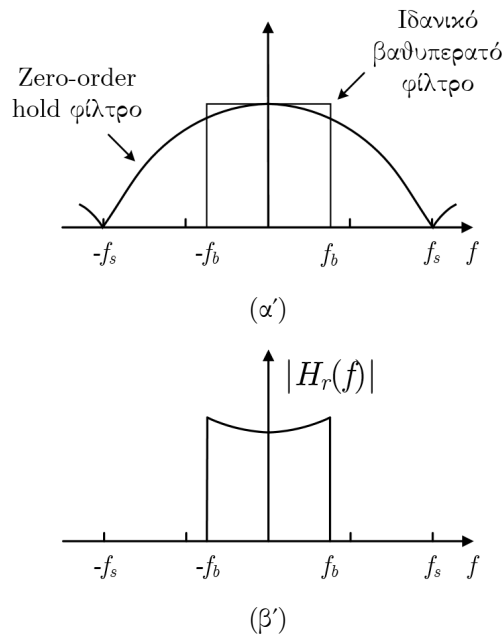
μετασχηματισμό Fourier  $X_{dq}(f)$  του σήματος  $x_{dq}[n]$ .

$$X_0(f) = H_0(f) \cdot X_{dq}(f) \quad (1.2.4)$$

Στο σχήμα 1.15 φαίνεται ποιοτικά η έξοδος του zero-order hold φίλτρου στο πεδίο της συχνότητας. Παρατηρούμε ότι τα αντίγραφα στα ακέραια πολλαπλάσια της συχνότητας δειγματοληψίας  $f_s$  απορρίπτονται, το οποίο είναι επιθυμητό. Ταυτόχρονα, όμως, το φάσμα του σήματος γύρω από το μηδέν παραμορφώνεται, καθώς το βαθυπερατό φιλτράρισμα του zero-order hold φίλτρου δεν είναι ιδανικό. Η παραμόρφωση που εισάγεται στο σήμα από το zero-order hold σύστημα αντισταθμίζεται με κατάλληλη σχεδίαση του φίλτρου ανακατασκευής.

### 1.2.3 Φίλτρο ανακατασκευής

Η μορφή του σήματος  $x_0(t)$  φαίνεται στο σχήμα 1.14. Παρατηρούμε ότι το σήμα λαμβάνει διακριτές τιμές πλάτους, με απότομες μεταβάσεις από τη μία στάθμη στην άλλη. Για να δημιουργήσουμε ένα αναλογικό σήμα, θα πρέπει να εξομαλύνουμε αυτές τις μεταβάσεις στο πεδίο του χρόνου, ή ισοδύναμα, να καταπιέσουμε τις φασματικές συνιστώσες των αντιγράφων που δημιουργούνται πέρα από τη συχνότητα  $f_s/2$ . Αυτό επιτυγχάνεται με το φίλτρο ανακατασκευής, το οποίο είναι ένα βαθυπερατό φίλτρο με συχνότητα αποκοπής  $f_b$ , ώστε να απορρίπτει όλες τις φασματικές συνιστώσες που βρίσκονται εκτός του εύρους ζώνης του σήματος. Η απόκριση συχνότητας ενός φίλτρου ανακατασκευής, σχεδιάζεται με τέτοιο τρόπο, ώστε να αντισταθμίζει την παραμόρφωση που εισάγεται στο φάσμα του σήματος από το στάδιο της κράτησης.



Σχήμα 1.16: (α') Απόκριση συχνότητας ενός zero-order hold φίλτρου σε σύγκριση με αυτή ενός ιδανικού φίλτρου παρεμβολής και (β') ιδανικό φίλτρο ανακατασκευής, σχεδιασμένο να αντισταθμίζει την έξοδο ενός zero-order hold φίλτρου.

# 2.

## Υπερδειγματοληπτικοί Μετατροπείς

Οι συμβατικοί μετατροπείς δεδομένων δεν μπορούν να ικανοποιήσουν πλήρως τις απαιτήσεις της σύγχρονης επεξεργασίας σήματος. Για το λόγο αυτό, έχει δημιουργηθεί μία κατηγορία μετατροπέων, οι υπερδειγματοληπτικοί μετατροπείς, οι οποίοι χρησιμοποιώντας τις τεχνικές της υπερδειγματοληψίας (oversampling) και της μορφοποίησης θορύβου (noise shaping), μπορούν να πετύχουν σημαντικά καλύτερες επιδόσεις σε σχέση με τους συμβατικούς μετατροπείς. Στο κεφάλαιο αυτό θα αναλύσουμε τα πλεονεκτήματα των υπερδειγματοληπτικών μετατροπέων και θα περιγράψουμε τα επιμέρους συστήματα από τα οποία αποτελούνται.

### 2.1 Υπερδειγματοληψία

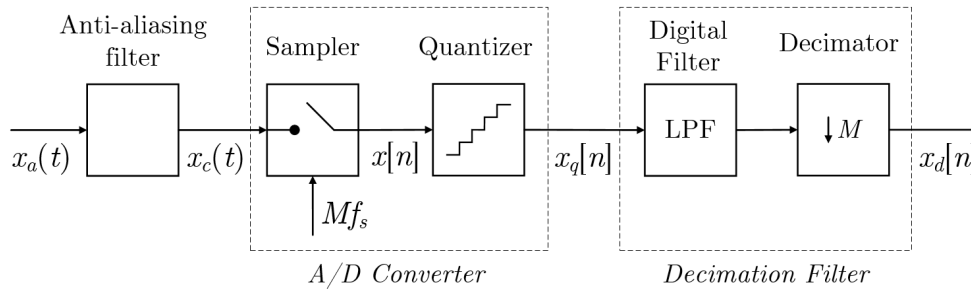
Η δειγματοληψία ενός σήματος με ρυθμό τουλάχιστον δύο φορές μεγαλύτερο του ρυθμού Nyquist, ονομάζεται υπερδειγματοληψία (oversampling). Το μέγεθος που χρησιμοποιούμε για να ποσοτικοποιήσουμε την υπερδειγματοληψία ονομάζεται *Oversampling Ratio* (OSR) και ορίζεται ως ο λόγος της συχνότητας δειγματοληψίας ( $f_{os}$ ), προς τη συχνότητα Nyquist του σήματος ( $f_{Nyquist} = 2f_b$ , όπου  $f_b$  η μεγαλύτερη φασματική συνιστώσα του σήματος).

$$OSR = \frac{f_{os}}{2f_b} \quad (2.1.1)$$

Η τιμή που λαμβάνει ο λόγος OSR είναι συνήθως κάποια δύναμη του δύο και κυμαίνεται από 2 έως 1024. Όταν το OSR βρίσκεται μεταξύ 2 και 16 μιλάμε για ήπια υπερδειγματοληψία, ενώ όταν λαμβάνει τιμές μεγαλύτερες του 16 μιλάμε για βαριά υπερδειγματοληψία. Τυπικές τιμές του OSR είναι 64, 128 και 256. Οι συμβατικοί A/D μετατροπείς δειγματοληπτούν το σήμα με ρυθμό δειγματοληψίας λίγο μεγαλύτερο του ρυθμού Nyquist του σήματος και ονομάζονται Nyquist-rate μετατροπείς. Η σχέση (2.1.2) δηλώνει πόσες φορές μεγαλύτερη είναι η συχνότητα δειγματοληψίας  $f_{os}$  ενός υπερδειγματοληπτικού μετατροπέα, σε σχέση με τη συχνότητα δειγματοληψίας  $f_s$  ενός Nyquist-rate μετατροπέα.

$$f_{os} = Mf_s \quad (2.1.2)$$

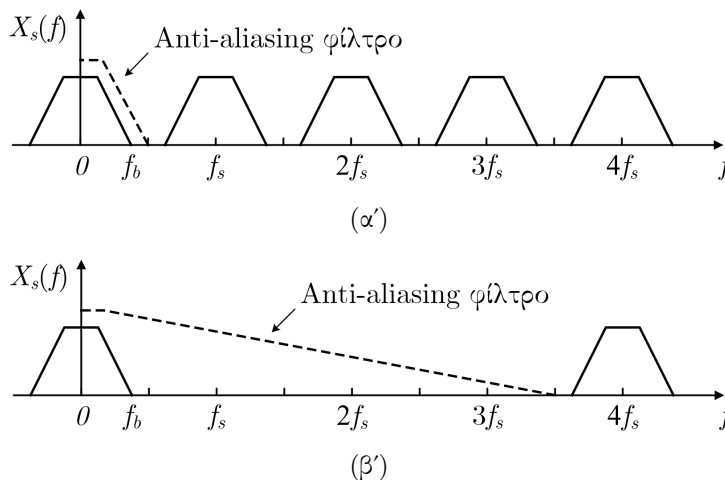
Η διάταξη ενός υπερδειγματοληπτικού A/D μετατροπέα χωρίς μορφοποίηση θορύβου φαίνεται στο σχήμα 2.1. Το σήμα  $x_c(t)$  δειγματοληπτείται με ρυθμό  $M$  φορές μεγαλύτερο απ' ό τι σε ένα Nyquist-rate μετατροπέα και εισέρχεται στο κβαντιστή. Στη συνέχεια, το κβαντισμένο σήμα  $x_q[n]$  φιλτράρεται από ένα βαθυπερατό ψηφιακό φίλτρο, με συχνότητα αποκοπής όσο και το εύρος ζώνης  $f_b$  του σήματος. Τέλος, ο decimator μειώνει το ρυθμό των δειγμάτων κατά ένα παράγοντα  $M$ . Παρατηρούμε ότι ο ρυθμός των δειγμάτων στην έξοδο του μετατροπέα είναι  $f_s$ , δηλαδή όσο και σε ένα Nyquist-rate μετατροπέα.



Σχήμα 2.1: Block διάγραμμα υπερδειγματοληπτικής A/D μετατροπής χωρίς μορφοποίηση θορύβου.

### Μείωση των προδιαγραφών του Anti-aliasing Φίλτρου

Το σήμα στην είσοδο ενός Nyquist-rate A/D μετατροπέα φιλτράρεται από ένα αναλογικό anti-aliasing φίλτρο με πολύ αυστηρές προδιαγραφές, όπως στενή μεταβατική ζώνη και υψηλή απόσβεση στη ζώνη αποκοπής. Η μεταβατική ζώνη του φίλτρου πρέπει να βρίσκεται μέσα στο διάστημα  $(f_b, f_{sampling} - f_b)$ . Επομένως, αν αυξήσουμε τη συχνότητα δειγματοληψίας  $f_{sampling}$ , μπορούμε να μεγαλώσουμε τη μεταβατική ζώνη του φίλτρου. Στο σχήμα 2.2(α') και 2.2(β') παρουσιάζουμε το φάσμα ενός σήματος που έχει υποστεί δειγματοληψία με ρυθμό  $f_s$  και  $f_{os} = 4f_s$  αντίστοιχα.



Σχήμα 2.2: Η συνάρτηση μεταφοράς του anti-aliasing φίλτρου στην είσοδο (α') ενός Nyquist-rate μετατροπέα και (β') ενός υπερδειγματοληπτικού μετατροπέα.

Παρατηρούμε ότι στην περίπτωση της υπερδειγματοληψίας, μπορούμε να χρησιμοποιήσουμε ένα αναλογικό φίλτρο χαμηλότερων προδιαγραφών με ευρύτερη μεταβατική ζώνη. Το τελικό φιλτράρισμα πραγματοποιείται από το βαθυπερατό ψηφιακό φίλτρο με συχνότητα αποκοπής  $f_b$ , στην έξοδο του A/D μετατροπέα. Η τεχνική αυτή είναι ιδιαίτερα διαδεδομένη γιατί εκμεταλλεύεται τα ποικίλα πλεονεκτήματα των ψηφιακών φίλτρων. Τα σημαντικότερα εξ αυτών είναι η υψηλή τους ακρίβεια, η μικρή κατανάλωση και το χαμηλό τους κόστος.

### Βελτίωση του SQNR με αύξηση της συχνότητας δειγματοληψίας

Η ανάλυση των Nyquist-rate μετατροπέων περιορίζεται σε μεγάλο βαθμό από τα τεχνολογικά μέσα. Η υψηλή ανάλυση ενός μετατροπέα ισοδυναμεί με χαμηλά επίπεδα θορύβου κβαντισμού. Ο σηματοθορυβικός λόγος του θορύβου κβαντισμού ενός Nyquist-rate μετατροπέα, δίνεται από την ακόλουθη σχέση, όπου με  $N$  συμβολίζουμε το πλήθος των ψηφίων της ψηφιακής λέξης.

$$SQNR_{Nyquist} = 6.02N + 1.76 \text{ dB} \quad (2.1.3)$$

Αν θέλουμε να πετύχουμε υψηλότερη ανάλυση αρκεί να αυξήσουμε το πλήθος  $N$  των ψηφίων. Για κάθε ψηφίο που προσθέτουμε το SQNR βελτιώνεται κατά 6 dB. Θυμίζουμε ότι ένας κβαντιστής  $N$  ψηφίων χρειάζεται  $2^N$  επίπεδα κβαντισμού. Το πρόβλημα που παρουσιάζεται είναι καθαρά πρακτικό, καθώς δεν μπορούμε να φτιάξουμε κβαντιστές με πολύ μεγάλο αριθμό επιπέδων. Ενδεικτικά αναφέρουμε ότι στην περίπτωση ενός Nyquist-rate A/D μετατροπέα με 16 bit ανάλυση και τάση αναφοράς 5V, πρέπει να κατασκευαστούν  $2^{16} = 65536$  επίπεδα κβαντισμού, τα οποία απέχουν μεταξύ τους  $\Delta = 5V/2^{16} \approx 76.3\mu V$ .

Με την υπερδειγματοληψία μπορούμε να πετύχουμε βελτίωση του SQNR χωρίς να μεταβάλλουμε τον αριθμό των επιπέδων κβαντισμού. Η δειγματοληψία του σήματος με μεγαλύτερη συχνότητα έχει ως αποτέλεσμα την κατανομή της ισχύος του θορύβου κβαντισμού σε μεγαλύτερο εύρος συχνοτήτων. Φυσικά, το ολοκλήρωμα της συνολικής ισχύος του θορύβου κβαντισμού παραμένει σταθερό και δεν εξαρτάται από τη συχνότητα δειγματοληψίας. Όσο όμως η συχνότητα δειγματοληψίας αυξάνεται, το τμήμα της ισχύος του θορύβου που βρίσκεται εντός του εύρους ζώνης του σήματος μειώνεται. Ο θόρυβος κβαντισμού εκτός του εύρους ζώνης αφαιρείται από το υψηλής ακρίβειας ψηφιακό φίλτρο με συχνότητα αποκοπής  $f_b$ , όπως φαίνεται στο σχήμα 2.1.

Η φασματική πυκνότητα ισχύος του θορύβου κβαντισμού είναι σταθερή σε όλο το εύρος συχνοτήτων. Στην περίπτωση της υπερδειγματοληψίας δίνεται από την παρακάτω σχέση.

$$N_e(f) = \frac{\sigma_{e_n}^2}{f_{os}} = \frac{\Delta^2}{12} \frac{1}{f_{os}} \quad (2.1.4)$$

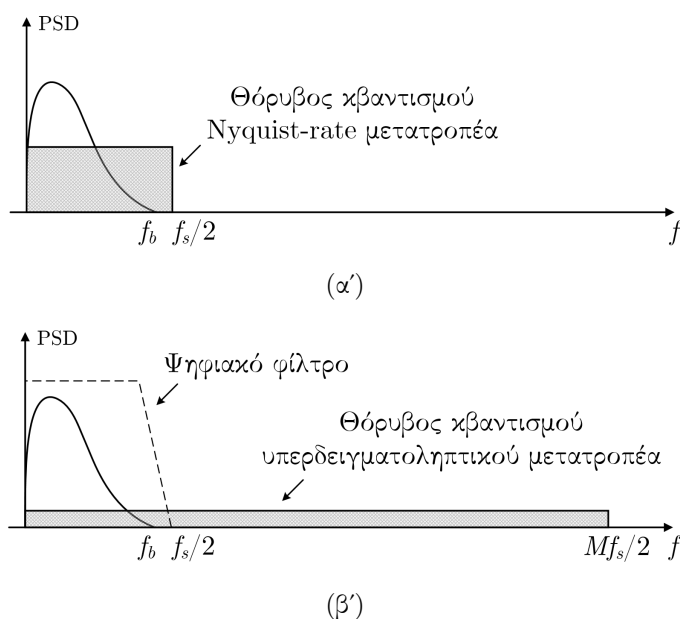
Η ισχύς του θορύβου κβαντισμού στην έξοδο του ψηφιακού φίλτρου υπολογίζεται ως το ολοκλήρωμα της φασματικής πυκνότητας ισχύος του θορύβου στη ζώνη διέλευσης του φίλτρου.

$$P_e = \int_{-f_b}^{f_b} N_e(f) df = \frac{\Delta^2}{12} \frac{2f_b}{f_{os}} = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (2.1.5)$$

Για τον υπολογισμό του SQNR θεωρούμε ότι εφαρμόζουμε στην είσοδο του μετατροπέα ένα ημίτονο πλάτους  $A_m = 2^{N-1}\Delta$ , ώστε να είναι ταιριασμένο με την πλήρη κλίμακα του κβαντιστή  $N$  ψηφίων. Θεωρούμε ότι το σήμα δε χάνει ισχύ κατά τη διέλευση του από το σύστημα, επομένως η ισχύς του ημιτόνου στην έξοδο του μετατροπέα ισούται με  $A_m^2/2$ .

$$SQNR_{oversampling} = 10 \log \left( \frac{A_m^2/2}{P_e} \right) = 6.02N + 1.76 + 10 \log(OSR) \text{ dB} \quad (2.1.6)$$

Από την τελευταία σχέση βλέπουμε ότι ο σηματοθορυβικός λόγος βελτιώνεται κατά έναν παράγοντα  $10 \log(OSR)$ , ο οποίος ονομάζεται *process gain* και μπορεί να αναλυθεί σε δύο όρους:  $10 \log(OSR) = 10 \log(f_s/2f_b) + 10 \log(M)$ . Είναι σημαντικό να διευκρινιστεί ότι ενώ και οι δύο όροι εμφανίζονται λόγω του ψηφιακού φίλτρου, μόνο ο όρος  $10 \log(M)$  οφείλεται στην υπερδειγματοληψία του σήματος. Δηλαδή, εάν φιλτράρουμε ψηφιακά την έξοδο ενός Nyquist-rate μετατροπέα θα λάβουμε *process gain* ίσο με  $10 \log(f_s/2f_b)$ , το οποίο βέβαια είναι αρκετά μικρό, καθώς η συχνότητα δειγματοληψίας  $f_s$  βρίσκεται πολύ κοντά στη συχνότητα Nyquist του σήματος.



Σχήμα 2.3: Κατανομή της ισχύος του θορύβου κβαντισμού στο πεδίο της συχνότητας σε ένα (α') Nyquist-rate και (β') σε έναν υπερδειγματοληπτικό μετατροπέα. Στην περίπτωση του υπερδειγματοληπτικού μετατροπέα, το ψηφιακό φίλτρο απορρίπτει το θόρυβο πέρα από τη συχνότητα  $f_b$ .

Στη σχέση (2.1.6) παρατηρούμε ότι κάθε τετραπλασιασμός της συχνότητας δειγματοληψίας, επομένως και του OSR, βελτιώνει το SQNR κατά 6 dB. Η βελτίωση είναι ισοδύναμη με αύξηση κατά ένα του πλήθους  $N$  των ψηφίων του κβαντιστή. Συνεπώς, είναι εφικτό να αυξήσουμε την ανάλυση του μετατροπέα κατά  $w$  ψηφία, τετραπλασιάζοντας το ρυθμό δειγματοληψίας του σήματος για κάθε επιπλέον ψηφίο. Η τελευταία πρόταση διατυπώνεται μαθηματικά στην ακόλουθη σχέση.

$$f_{os} = 4^w \cdot (2f_b) \quad (2.1.7)$$

Για παράδειγμα, στην περίπτωση δειγματοληψίας ακουστικών σημάτων, αντί να χρησιμοποιήσουμε ένα Nyquist-rate A/D μετατροπέα με 12 bit και συχνότητα δειγματοληψίας 44.1 kHz, μπορούμε να χρησιμοποιήσουμε έναν υπερδειγματοληπτικό μετατροπέα με 10 bit και συχνότητα δειγματοληψίας  $16 \times 44.1 \text{ kHz} = 705.6 \text{ kHz}$ . Εάν θέλουμε να πετύχουμε την ίδια ανάλυση χρησιμοποιώντας έναν A/D μετατροπέα με 1 bit, θα πρέπει να εφαρμόσουμε δειγματοληψία με συχνότητα  $4^{12} \times 44.1 \text{ kHz} \approx 740 \text{ GHz}$ . Τόσο μεγάλες τιμές δειγματοληψίας δεν είναι πραγματοποιήσιμες με τη σημερινή τεχνολογία. Όπως θα δούμε στη συνέχεια, οι υπερδειγματοληπτικοί μετατροπείς μπορούν να πετύχουν την ίδια βελτίωση του SQNR με πολύ μικρότερες συχνότητες δειγματοληψίας, χρησιμοποιώντας την τεχνική της μορφοποίησης θορύβου.

Στην υπερδειγματοληψία χωρίς μορφοποίηση θορύβου, κάθε διπλασιασμός της συχνότητας δειγματοληψίας:

- βελτιώνει το SQNR κατά 3 dB
- αυξάνει την ανάλυση κατά 0.5 bit

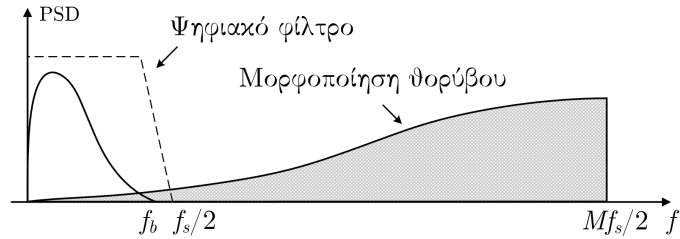
### Effective Number Of Bits

Σύμφωνα με όσα είπαμε, γίνεται αντιληπτό ότι η ανάλυση ενός υπερδειγματοληπτικού μετατροπέα δεν εξαρτάται αποκλειστικά από το πλήθος των ψηφίων του, όπως συμβαίνει με τους Nyquist-rate μετατροπείς, αλλά καθορίζεται και από το ρυθμό δειγματοληψίας  $f_{os}$ . Δηλαδή, γίνεται δύο υπερδειγματοληπτικοί μετατροπείς να έχουν την ίδια ανάλυση, ενώ χρησιμοποιούν διαφορετικό αριθμό ψηφίων για το κβαντισμό του σήματος. Επομένως, χρειαζόμαστε ένα μέγεθος που να περιγράφει την ανάλυση του μετατροπέα, ανεξάρτητα από το πλήθος των ψηφίων που χρησιμοποιούνται πραγματικά για τον κβαντισμό του σήματος. Το μέγεθος αυτό ονομάζεται ENOB (Effective Number Of Bits) και ορίζεται από τη σχέση (2.1.8). Προφανώς, για έναν ιδανικό Nyquist-rate μετατροπέα, ισχύει ότι το ENOB ισούται με τον αριθμό  $N$  των ψηφίων του.

$$ENOB = \frac{SQNR - 1.76dB}{6.02dB} \quad (2.1.8)$$

## 2.2 Υπερδειγματοληψία με Μορφοποίηση Θορύβου

Με την υπερδειγματοληψία είδαμε ότι μπορούμε να κατανείμουμε ομοίομορφα την ισχύ του θορύβου κβαντισμού σε μεγαλύτερο εύρος συχνοτήτων και με τον τρόπο αυτό να μειώσουμε την ισχύ του θορύβου που επικαλύπτεται με το φάσμα του σήματος. Συνδυάζοντας την υπερδειγματοληψία με την τεχνική της μορφοποίησης θορύβου μπορούμε να απομακρύνουμε ακόμα μεγαλύτερο μέρος της ισχύος του θορύβου από το εύρος ζώνης του σήματος, όπως φαίνεται στο σχήμα 2.4.

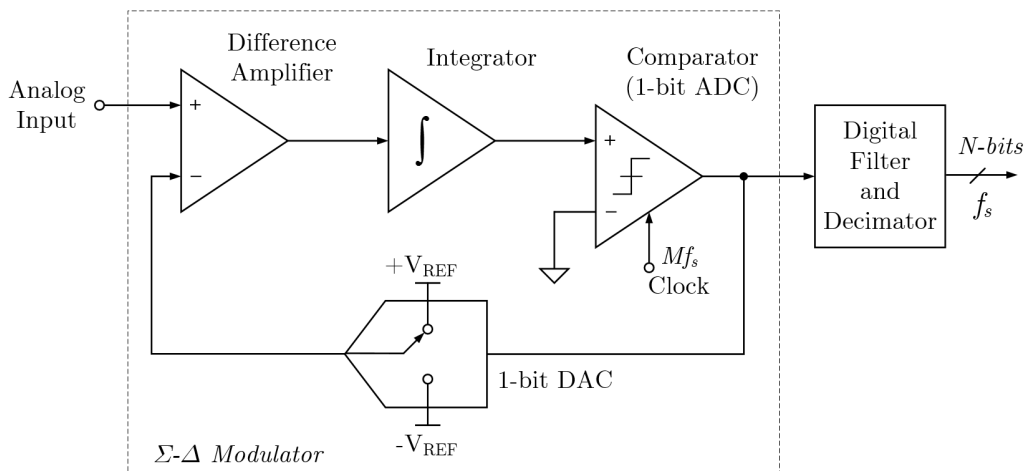


Σχήμα 2.4: Μορφοποίηση θορύβου (Noises Shaping)

### 2.2.1 Σ-Δ Διαμόρφωση

Σε έναν υπερδειγματοληπτικό A/D μετατροπέα, η διάταξη που πραγματοποιεί τη μορφοποίηση θορύβου ονομάζεται Σ-Δ διαμορφωτής και στην ουσία αντικαθιστά τον κβαντιστή ενός κλασικού μετατροπέα. Η βασική ιδέα που κρύβεται πίσω από τη λειτουργία του Σ-Δ διαμορφωτή είναι η μεταχείριση του σήματος και του θορύβου κβαντισμού με διαφορετικό τρόπο, ώστε να γίνει εφικτός ο διαχωρισμός τους. Όπως θα δούμε παρακάτω, το κύκλωμα του Σ-Δ διαμορφωτή χαρακτηρίζεται από δύο συναρτήσεις μεταφοράς: τη συνάρτηση μεταφοράς του σήματος STF (Signal Transfer Function) και τη συνάρτηση μεταφοράς του θορύβου κβαντισμού NTF (Noise Transfer Function). Αρχικά, θα περιγράψουμε τη λειτουργία του Σ-Δ διαμορφωτή στο πεδίο του χρόνου και στη συνέχεια θα μελετήσουμε τη μορφοποίηση του θορύβου στο πεδίο της συχνότητας.

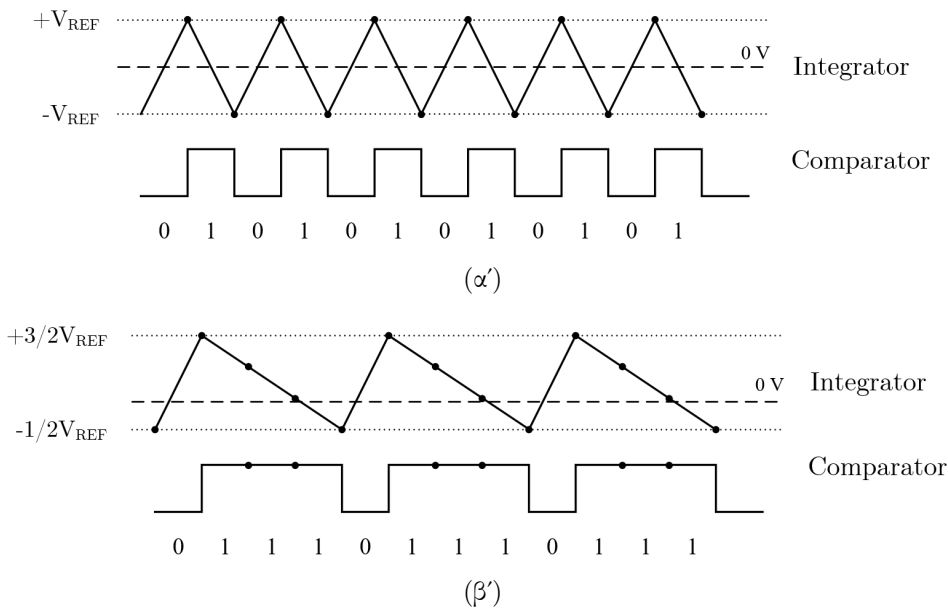
Στο σχήμα 2.5 παρουσιάζεται ένας Σ-Δ διαμορφωτής πρώτης-τάξης. Η 1-bit ψηφιακή έξοδος του Σ-Δ διαμορφωτή προκύπτει από έναν συγκριτή, ο οποίος λειτουργεί ως 1-bit ADC και οδηγείται με την έξοδο ενός ολοκληρωτή. Ο ολοκληρωτής δέχεται ως είσοδο τη διαφορά του αναλογικού σήματος εισόδου με την ψηφιακή έξοδο του συγκριτή, η οποία αντιστοιχίζεται σε μία αναλογική τιμή μέσω του 1-bit DAC. Ακριβώς μετά το Σ-Δ διαμορφωτή υπάρχει ένα ψηφιακό βαθυπερατό φίλτρο και ένας decimator, τα οποία επεξεργάζονται την παλμοσειρά της εξόδου του διαμορφωτή και παράγουν την τελική έξοδο.



Σχήμα 2.5: Πρώτης-τάξης Σ-Δ ADC



Η αναλογική είσοδος του Σ-Δ διαμορφωτή πρέπει να λαμβάνει τιμές εντός του διαστήματος  $(-V_{REF}, +V_{REF})$ . Έστω ότι εφαρμόζουμε στην είσοδο του διαμορφωτή μία dc τάση  $V_{IN} > 0$ . Υποθέτουμε ότι αρχικά η έξοδος του συγκριτή έχει την τιμή 0, άρα η έξοδος του 1-bit DAC είναι  $-V_{REF}$ . Ο ολοκληρωτής δέχεται στην είσοδό του μία τάση  $V_{IN} + V_{REF}$ , επομένως η έξοδος του ξεκινά να ανεβαίνει με σταθερή κλίση μέχρι κάποια στιγμή να ξεπεράσει τα 0V. Όταν συμβεί αυτό, η έξοδος του συγκριτή μεταβάλλεται από "0" σε "1" στην πρώτη θετική ακμή του ρολογιού και η έξοδος του 1-bit DAC γίνεται  $+V_{REF}$ . Η νέα τιμή που δέχεται στην είσοδό του ο ολοκληρωτής είναι  $V_{IN} - V_{REF}$ , επομένως η έξοδος του ξεκινά να κατεβαίνει με κλίση, η οποία εξαρτάται από το μέτρο της τάσης στην είσοδό του. Όταν η έξοδος του ολοκληρωτή γίνει αρνητική και έρθει θετική ακμή από το ρολόι, η τιμή του συγκριτή θα γίνει πάλι "0". Η ίδια αλληλουχία γεγονότων επαναλαμβάνεται από την αρχή. Στο σχήμα 2.6 παρουσιάζουμε τα σήματα στην έξοδο του ολοκληρωτή και του συγκριτή για δύο διαφορετικές τιμές του  $V_{IN}$ . Στο σχήμα 2.6(α') η είσοδος του διαμορφωτή είναι  $V_{IN} = 0V$ , ενώ στο σχήμα 2.6(β') η είσοδος  $V_{IN} = V_{REF}/2$ .

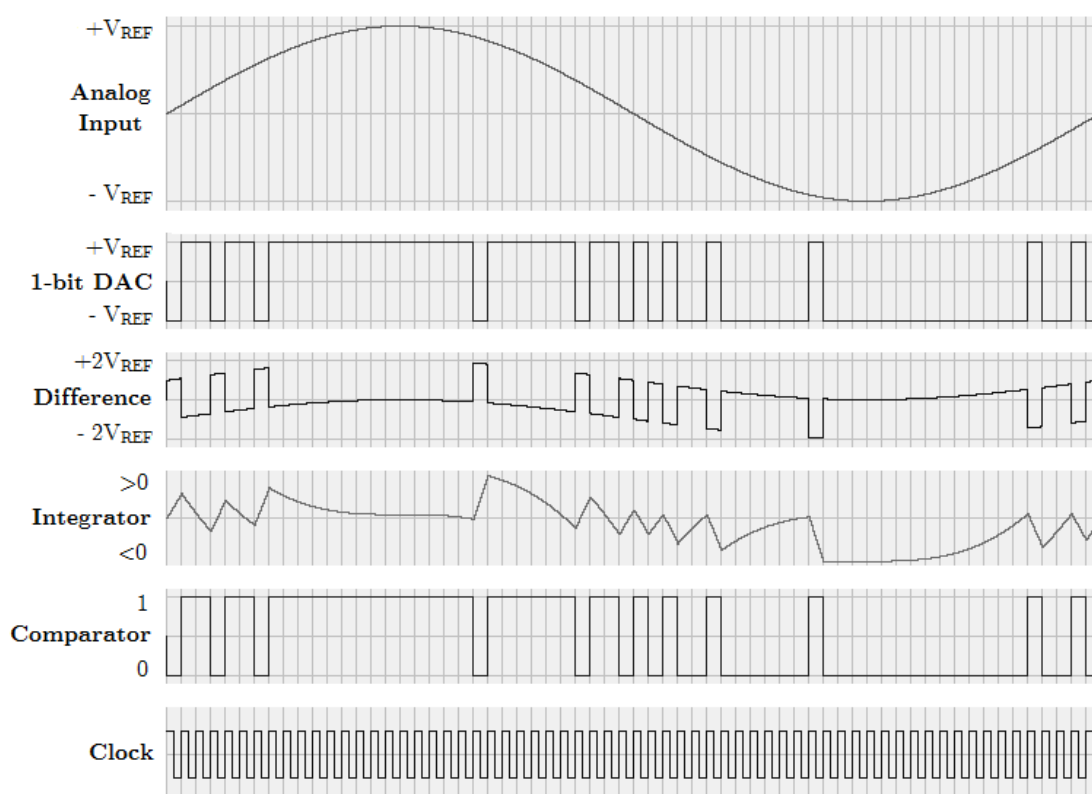


Σχήμα 2.6: Οι κυματομορφές στην έξοδο του ολοκληρωτή και του συγκριτή ενός Σ-Δ διαμορφωτή Πρώτης-τάξης, με dc είσοδο (α')  $V_{IN} = 0V$  και (β')  $V_{IN} = 1/2V_{REF}$ .

Λόγω του βρόχου αρνητικής ανάδρασης η μέση τιμή της τάσης στην έξοδο του 1-bit DAC πρέπει να ισούται με την τάση εισόδου  $V_{IN}$ . Αυτό συμβαίνει διότι κάθε φορά που η τάση στην είσοδο του ολοκληρωτή μεγαλώνει, η αρνητική ανάδραση έχει την τάση να την μειώσει, ενώ όταν η τάση στην είσοδο του ολοκληρωτή μειώνεται, η ανάδραση τείνει να την αυξήσει. Η μέση τιμή της εξόδου του 1-bit DAC καθορίζεται από το πλήθος των "1" στην έξοδο του συγκριτή. Όταν το σήμα εισόδου  $V_{IN}$  αυξάνεται προς το  $+V_{REF}$ , το πλήθος των "1" στην παλμοσειρά της εξόδου αυξάνεται, ενώ το πλήθος των "0" μειώνεται. Αντίστοιχα, όταν το  $V_{IN}$  μειώνεται προς το  $-V_{REF}$ , το πλήθος των "1" μειώνεται και το πλήθος των "0" αυξάνεται. Επομένως, κάθε φορά η τιμή της εισόδου του Σ-Δ διαμορφωτή, αναπαριστάται από το μέσο όρο των δειγμάτων στην έξοδο του.

Ο μέσος όρος των δειγμάτων υπολογίζεται από το ψηφιακό βαθυπερατό φίλτρο, το οποίο συλλέγει δείγματα με συχνότητα  $Mf_s$ . Ο μέσος όρος ενός συνόλου δειγμάτων είναι στην ουσία το ποσοστό των "1" σε αυτό το σύνολο. Στο παράδειγμα του σχήματος 2.6, εάν χρησιμοποιήσουμε ένα φίλτρο, το οποίο υπολογίζει το μέσο όρο ανά τέσσερα δείγματα, η έξοδος του φίλτρου για  $V_{IN} = 0V$  θα είναι  $2/4$  και για  $V_{IN} = 1/2V_{REF}$  θα είναι  $3/4$ . Η ανάλυση που πετυχαίνουμε εξαρτάται από το πλήθος των δειγμάτων που αθροίζονται για τον υπολογισμό του μέσου όρου. Όσο περισσότερα δείγματα αθροίζονται, τόσο μεγαλύτερη ανάλυση πετυχαίνουμε. Η πληροφορία για την είσοδο  $V_{IN}$  εμπεριέχεται στην έξοδο του φίλτρου ως εξής: το κλάσμα που λαμβάνουμε στην έξοδο του φίλτρου είναι το ποσοστό του  $2V_{REF}$ , κατά το οποίο υπερβαίνει η  $V_{IN}$  το κατώτατο επίπεδο ( $-V_{REF}$ ) του 1-bit DAC. Δηλαδή, στην πρώτη περίπτωση η είσοδος είναι  $-V_{REF} + 2/4 \cdot 2V_{REF} = 0$  και στη δεύτερη  $-V_{REF} + 3/4 \cdot 2V_{REF} = 1/2V_{REF}$ .

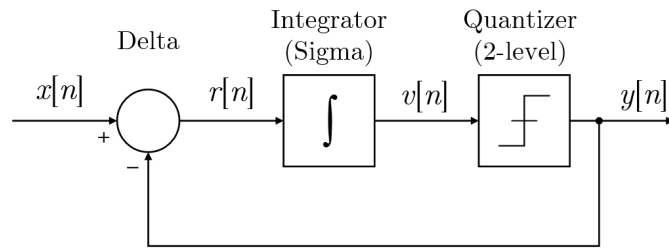
Η παραπάνω ανάλυση μπορεί να επεκταθεί και για ac σήματα εισόδου. Στο σχήμα 2.7 παρουσιάζουμε την κυματομορφή της τάσης σε κάθε κόμβο του κυκλώματος του Σ-Δ διαμορφωτή πρώτης-τάξης του σχήματος 2.5, όταν στην είσοδο του εφαρμόζεται ημίτονο πλάτους  $V_{REF}$ . Παρατηρούμε ότι, όταν η τιμή του ημιτόνου αυξάνεται, αυξάνεται και το πλήθος των "1" στην έξοδο του συγκριτή, ενώ αντίθετα, όταν η τιμή του ημιτόνου μειώνεται, αυξάνεται το πλήθος των "0".



Σχήμα 2.7

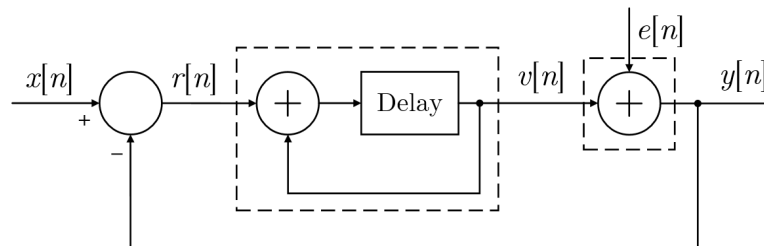
Ο Σ-Δ διαμορφωτής πρώτης-τάξης μπορεί να μοντελοποιηθεί σύμφωνα με το σχήμα 2.8. Όπως είδαμε, τα σήματα σε όλους τους κόμβους του διαμορφωτή είναι συνεχούς χρόνου, πλην της εξό-

δου του, όπου το σήμα είναι ψηφιακό. Επειδή όμως το κύκλωμα του διαμορφωτή είναι σύγχρονο κύκλωμα (συγχρονίζεται με ρολόι στο συγκριτή), οι τιμές που καθορίζουν την έξοδο του συστήματος είναι εκείνες που δειγματοληπτούνται. Επομένως, μπορούμε να απλοποιήσουμε το μοντέλο χρησιμοποιώντας σήματα διακριτού χρόνου, τα οποία λαμβάνουν τις ίδιες τιμές που λαμβάνουν τα σήματα συνεχούς χρόνου στις θετικές ακμές του ρολογιού. Ο συγκριτής (1-bit ADC) του κυκλώματος είναι υπεύθυνος για τον κβαντισμό του σήματος, συνεπώς μπορεί να μοντελοποιηθεί ως ένας κβαντιστής δύο επιπέδων. Ο 1-bit DAC μπορεί να παραληφθεί από το μοντέλο. Το μόνο που κάνει είναι να αντιστοιχεί την ψηφιακή τιμή της εξόδου σε μία αναλογική τιμή, προκειμένου να αφαιρεθεί από την αναλογική είσοδο. Η αντιστοίχιση είναι ισοδύναμη με μετατροπή του επιπέδου τάσης. Μπορούμε λοιπόν να υποθέσουμε ότι τα δύο επίπεδα τάσης στην έξοδο του κβαντιστή είναι όμοια με τα δύο επίπεδα τάσης στην έξοδο του 1-bit DAC και να παραλείψουμε τον τελευταίο.



Σχήμα 2.8: Block διάγραμμα Σ-Δ διαμορφωτή πρώτης-τάξης

Στο σχήμα 2.9, αντικαθιστούμε τον ολοκληρωτή και το κβαντιστή με τα ισοδύναμα μοντέλα τους. Ο ολοκληρωτής για διακριτά σήματα είναι στην ουσία ένας συσσωρευτής (accumulator). Το μοντέλο που χρησιμοποιούμε για τον ολοκληρωτή είναι αυτό του forward rectangular integrator. Το σφάλμα κβαντισμού που εισάγει ο κβαντιστής μοντελοποιείται ως λευκός προσθετικός θόρυβος.



Σχήμα 2.9: Μοντελοποίηση του Σ-Δ διαμορφωτή πρώτης-τάξης

Ο ολοκληρωτής εισάγει καθυστέρηση ενός δείγματος, επομένως η έξοδος του ισούται με το άθροισμα των εισόδων του.

$$v[n] = \sum_{k=0}^{n-1} r[k] \quad (2.2.1)$$

Η έξοδος του ολοκληρωτή περιγράφεται αναδρομικά από την ακόλουθη σχέση.

$$v[n] = v[n - 1] + r[n - 1] \quad (2.2.2)$$

Υπολογίζουμε την έξοδο του διαμορφωτή.

$$\begin{aligned} y[n] &= e[n] + v[n] \\ &= e[n] + v[n - 1] + r[n - 1] \\ &= e[n] + v[n - 1] + x[n - 1] - y[n - 1] \\ &= e[n] + v[n - 1] + x[n - 1] - (e[n - 1] + v[n - 1]) \\ &= x[n - 1] + e[n] - e[n - 1] \end{aligned} \quad (2.2.3)$$

Η σχέση (2.2.3) περιγράφει την έξοδο του  $\Sigma$ - $\Delta$  διαμορφωτή πρώτης-τάξης στο πεδίο του χρόνου. Το σήμα  $x[n]$  φτάνει στην έξοδο του συστήματος αναλλοίωτο με καθυστέρηση ενός δείγματος, λόγω του ολοκληρωτή. Ο θόρυβος κβαντισμού στην έξοδο ισούται με τη διαφορά του σφάλματος κβαντισμού  $e[n]$  του τελευταίου δείγματος και του σφάλματος κβαντισμού  $e[n-1]$  του προηγούμενου δείγματος. Η μορφοποίηση θορύβου που πραγματοποιεί ο  $\Sigma$ - $\Delta$  διαμορφωτής οφείλεται ακριβώς σε αυτή τη διαφορά των σφαλμάτων κβαντισμού. Για να μελετήσουμε, όμως, τη μορφοποίηση του θορύβου, θα πρέπει να περάσουμε στο πεδίο της συχνότητας.

## 2.2.2 Μορφοποίηση Θορύβου 1ης Τάξης

Η αναπαράσταση στο πεδίο της συχνότητας για σήματα διακριτού χρόνου γίνεται με το μετασχηματισμό  $z$ . Ο δίπλευρος μετασχηματισμός  $z$  ενός σήματος διακριτού χρόνου  $x[n]$  ορίζεται ακολούθως, όπου  $z = e^{j2\pi f/f_{os}}$ .

$$X(z) = \mathcal{Z}\{x[n]\} = \sum_{n=-\infty}^{\infty} x[n]z^{-n} \quad (2.2.4)$$

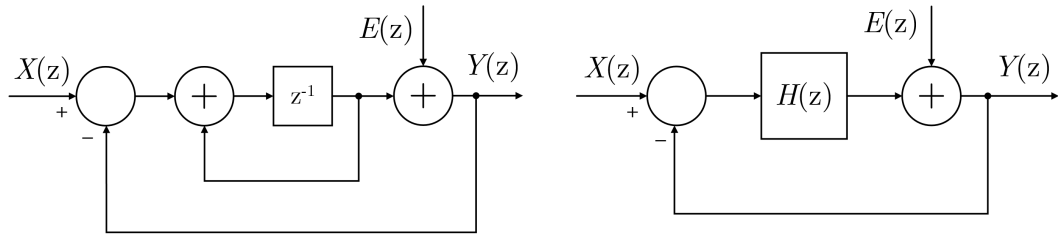
Η μετατόπιση στο χρόνο μεταφέρεται στο πεδίο  $z$  σύμφωνα με την παρακάτω σχέση.

$$\mathcal{Z}\{x[n - k]\} = z^{-k}X(z) \quad (2.2.5)$$

Αν εφαρμόσουμε το δίπλευρο μετασχηματισμό  $z$  στη σχέση (2.2.2) λαμβάνουμε τη συνάρτηση μεταφοράς  $H(z)$  του ολοκληρωτή. Αντίστοιχα, εφαρμόζοντας μετασχηματισμό  $z$  στη σχέση (2.2.3) προκύπτει η έξοδος του  $\Sigma$ - $\Delta$  διαμορφωτή πρώτης-τάξης στο πεδίο του  $z$ .

$$H(z) = \frac{V(z)}{R(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (2.2.6)$$

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (2.2.7)$$



Σχήμα 2.10: Ισοδύναμα γραμμικά μοντέλα του Σ-Δ διαμορφωτή πρώτης-τάξης στο πεδίο του  $z$ .

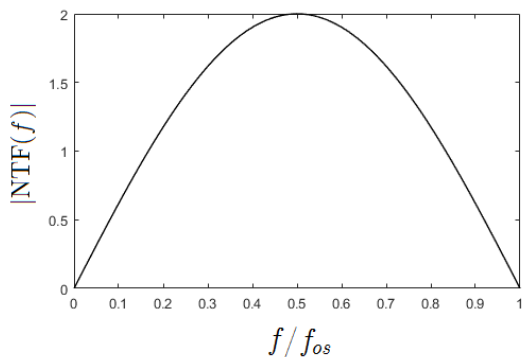
Όπως φανερώνει η σχέση (2.2.7), το σύστημα του Σ-Δ διαμορφωτή περιγράφεται από δύο συναρτήσεις μεταφοράς: τη συνάρτηση μεταφοράς του σήματος STF( $z$ ) και τη συνάρτηση μεταφοράς του θορύβου κβαντισμού NTF( $z$ ). Οι δύο αυτές συναρτήσεις μπορούν να υπολογιστούν από την ανάλυση των γραμμικών μοντέλων του σχήματος 2.10. Τα δύο μοντέλα που παρουσιάζονται είναι ισοδύναμα.

$$STF(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} = z^{-1} \quad (2.2.8)$$

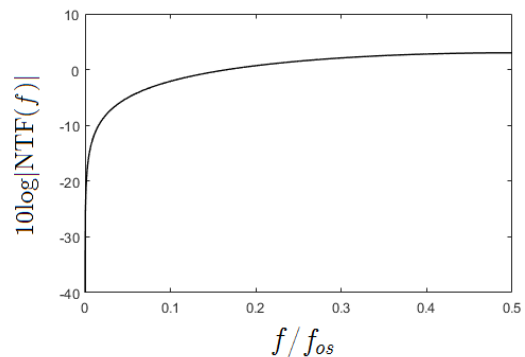
$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} = 1 - z^{-1} \quad (2.2.9)$$

Η STF( $z$ ) αφήνει το σήμα αναλλοίωτο, απλώς του εισάγει καθυστέρηση ενός δείγματος. Η NTF( $z$ ) συμπεριφέρεται στο θόρυβο κβαντισμού ως διαφοριστής, δηλαδή ως υψιπερατό φίλτρο, καταπιέζοντας το θόρυβο που βρίσκεται στις χαμηλές συχνότητες. Η συμπεριφορά της συνάρτησης μεταφοράς του θορύβου κβαντισμού γίνεται καλύτερα κατανοητή αν εκφραστεί συναρτήσει της συχνότητας  $f$ . Αντικαθιστούμε με  $z = e^{j2\pi f/f_{os}}$ , όπου  $f_{os}$  η συχνότητα δειγματοληψίας.

$$|NTF(f)| = |1 - e^{-j2\pi f/f_{os}}| = |2je^{-j\pi f/f_{os}} \sin\left(\frac{\pi f}{f_{os}}\right)| = 2\left|\sin\left(\frac{\pi f}{f_{os}}\right)\right| \quad (2.2.10)$$



(α')



(β')

Σχήμα 2.11: Γραφική παράσταση της  $|NTF(f)|$  ως προς την κανονικοποιημένη συχνότητα  $f/f_{os}$ , σε (α') γραμμική και (β') λογαριθμική κλίμακα.

Αν η φασματική πυκνότητα ισχύος του θορύβου κβαντισμού που εισάγεται από το κβαντιστή είναι  $N_e(f) = \Delta^2/(12f_{os})$ , τότε η φασματική πυκνότητα ισχύος  $N_Y(f)$  στην έξοδο του συστήματος δίνεται από την παρακάτω σχέση.

$$N_Y(f) = |NTF(f)|^2 N_e(f) = \frac{\Delta^2}{3f_{os}} \sin^2\left(\frac{\pi f}{f_{os}}\right) \quad (2.2.11)$$

Ο θόρυβος κβαντισμού εκτός του εύρους ζώνης του σήματος απορρίπτεται από το ψηφιακό βαθυπερατό φίλτρο που διαδέχεται το  $\Sigma$ - $\Delta$  διαμορφωτή. Η ισχύς του θορύβου στην έξοδο του φίλτρου υπολογίζεται ως το ολοκλήρωμα της φασματικής πυκνότητας ισχύος  $N_Y(f)$  στη ζώνη διέλευσης του φίλτρου.

$$P_e = \int_{-f_b}^{f_b} N_Y(f) df = \frac{\Delta^2}{3f_{os}} \int_{-f_b}^{f_b} \sin^2\left(\frac{\pi f}{f_{os}}\right) df \approx \frac{\Delta^2 \pi^2}{36} \frac{1}{OSR^3} \quad (2.2.12)$$

Επειδή θεωρούμε ότι η συχνότητα δειγματοληψίας είναι πολύ μεγαλύτερη της συχνότητας Nyquist του σήματος ( $f_{os} = OSR \cdot (2f_b) \gg 2f_b$ ), για τον υπολογισμό του ολοκληρώματος χρησιμοποιήσαμε την παρακάτω προσέγγιση για το ημίτονο.

$$\sin\left(\frac{\pi f}{f_{os}}\right) \approx \frac{\pi f}{f_{os}} \quad (2.2.13)$$

Για τον υπολογισμό του SQNR θεωρούμε ημιτονική είσοδο. Γνωρίζουμε ότι η ευστάθεια του  $\Sigma$ - $\Delta$  διαμορφωτή πρώτης-τάξης προϋποθέτει τον περιορισμό του σήματος εισόδου εντός του διαστήματος  $(-V_{REF}, +V_{REF})$ , όπου  $V_{REF}$  η τάση αναφοράς του 1-bit DAC. Επειδή όμως ο 1-bit DAC παραλείπεται στο γραμμικό μοντέλο που χρησιμοποιούμε, την ευστάθεια του συστήματος καλείται να διατηρήσει ο κβαντιστής. Σε πλήρη αντιστοιχία με τον 1-bit DAC, ο κβαντιστής διαθέτει δύο επίπεδα τάσης στην έξοδό του:  $-\Delta/2$  και  $+\Delta/2$ , όπου  $\Delta$  το βήμα κβαντισμού. Συνεπώς, το σήμα εισόδου θα πρέπει να βρίσκεται εντός των ορίων  $(-\Delta/2, +\Delta/2)$ . Θεωρούμε στην είσοδο του διαμορφωτή ημίτονο με το μέγιστο δυνατό πλάτος, δηλαδή  $A_m = \Delta/2$ . Η ισχύς του σήματος στην έξοδο του μετατροπέα εξαρτάται από το μέτρο της  $STF(f)$ .

$$P_s = |STF(f)|^2 \frac{A_m^2}{2} = |STF(f)|^2 \frac{\Delta^2}{8} \quad (2.2.14)$$

Υποθέτουμε ότι εντός του εύρους ζώνης του σήματος ισχύει  $|STF(f)| \approx 1$ . Η τιμή που υπολογίζουμε για το SQNR είναι η μέγιστη δυνατή.

$$SQNR_{max} = 10 \log\left(\frac{P_s}{P_e}\right) = 10 \log\left(\frac{9}{2\pi^2} OSR^3\right) = -3.41 + 30 \log(OSR) \text{ dB} \quad (2.2.15)$$

Από την τελευταία σχέση βλέπουμε ότι ο διπλασιασμός της συχνότητας δειγματοληψίας  $f_{os}$ , επομένως και του  $OSR$ , οδηγεί σε βελτίωση του  $SQNR$  κατά 9dB, το οποίο ισοδυναμεί με αύξηση της ανάλυσης κατά 1.5 bit. Παρατηρούμε ότι με κάθε διπλασιασμό του  $OSR$  πετυχαίνουμε τρεις

φορές καλύτερη ανάλυση σε σχέση με την υπερδειγματοληψία χωρίς μορφοποίηση θορύβου, όπου το κέρδος είναι 0.5 bit ανά διπλασιασμό του  $OSR$ . Για παράδειγμα, με  $OSR = 256$  μπορούμε να πετύχουμε  $SQNR = 68.84$  dB, το οποίο αντιστοιχεί σε  $ENOB = 11.14$  bit.

Στην υπερδειγματοληψία με μορφοποίηση θορύβου 1ης-τάξης, κάθε διπλασιασμός της συχνότητας δειγματοληψίας:

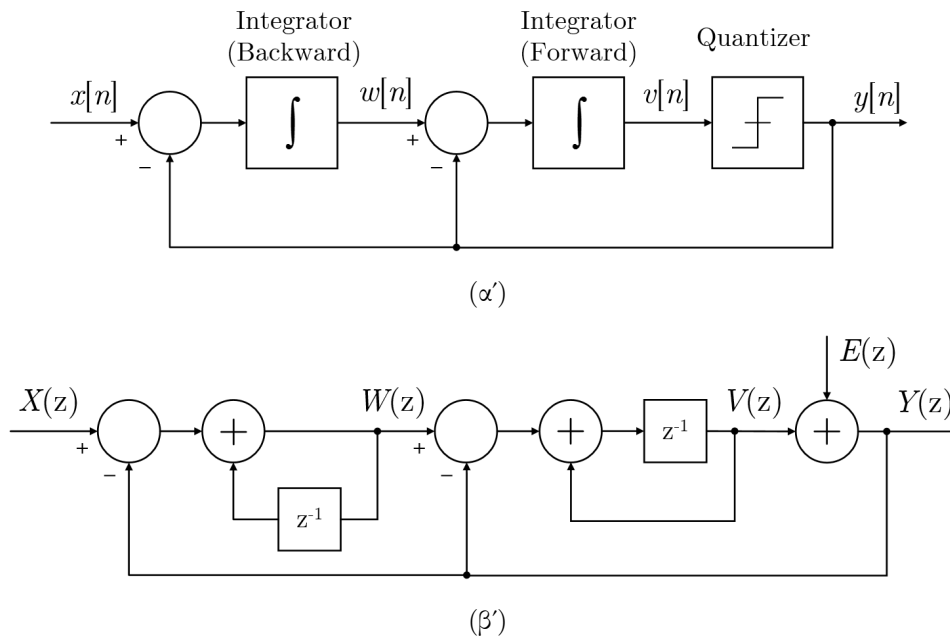
- βελτιώνει το SQNR κατά 9 dB
- αυξάνει την ανάλυση κατά 1.5 bit

### 2.2.3 Μορφοποίηση Θορύβου 2ης Τάξης

Τοποθετώντας έναν ολοκληρωτή και ένα στάδιο άθροισης επιπλέον, μπορούμε να "σπρώξουμε" εκτός του εύρους ζώνης του σήματος, ακόμα μεγαλύτερο μέρος της ισχύος του θορύβου κβαντισμού. Η διάταξη παρουσιάζεται στο σχήμα 2.12(α') και ονομάζεται  $\Sigma$ - $\Delta$  διαμορφωτής 2ης-τάξης. Η έξοδός του, στο πεδίο του χρόνου, περιγράφεται από τη σχέση (2.2.16).

$$y[n] = x[n - 1] + (e[n] - 2e[n - 1] + e[n - 2]) \quad (2.2.16)$$

Παρατηρούμε ότι ο θόρυβος κβαντισμού στην έξοδο του συστήματος εξαρτάται από τα δύο προηγούμενα σφάλματα κβαντισμού.



Σχήμα 2.12: (α') Block διάγραμμα του  $\Sigma$ - $\Delta$  διαμορφωτή 2ης τάξης και (β') το αντίστοιχο γραμμικό μοντέλο στο πεδίο του  $z$ .

Όπως φαίνεται από το σχήμα 2.12(β') οι δύο ολοκληρωτές έχουν διαφορετικές συναρτήσεις μεταφοράς. Η συνάρτηση μεταφοράς  $H_1(z)$  του πρώτου ολοκληρωτή (Backward Rectangular Integrator) δίνεται από τη σχέση (2.2.17), ενώ η συνάρτηση μεταφοράς  $H_2(z)$  του δεύτερου ολοκληρωτή (Forward Rectangular Integrator) περιγράφεται από τη σχέση (2.2.18).

$$H_1(z) = \frac{W(z)}{X(z) - Y(z)} = \frac{1}{1 - z^{-1}} \quad (2.2.17)$$

$$H_2(z) = \frac{V(z)}{W(z) - Y(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (2.2.18)$$

Με βάση τις ανωτέρω σχέσεις υπολογίζουμε την έξοδο του συστήματος στο πεδίο του  $z$ . Μπορούμε να καταλήξουμε στο ίδιο αποτέλεσμα, εάν εφαρμόσουμε μετασχηματισμό  $z$  στη σχέση (2.2.16).

$$Y(z) = E(z) + V(z) = z^{-1}X(z) + (1 - z^{-1})^2 E(z) \quad (2.2.19)$$

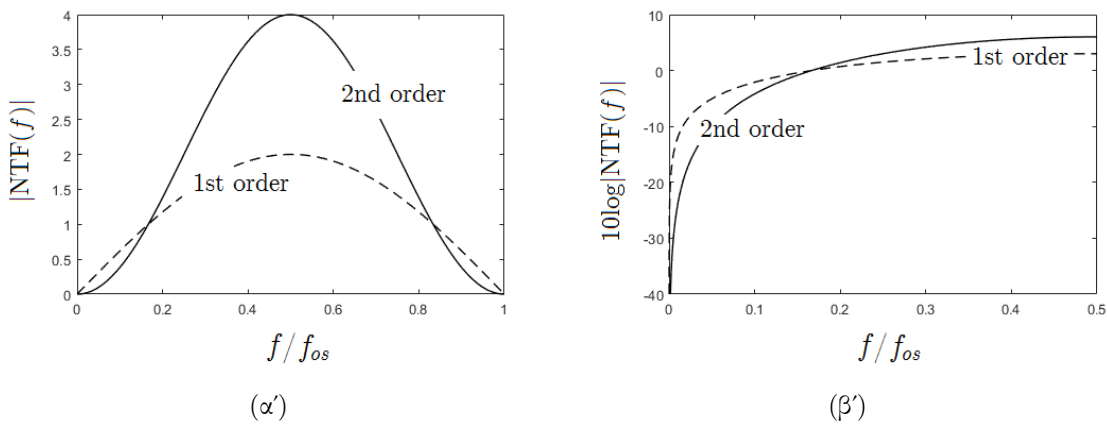
Προκύπτουν οι παρακάτω συναρτήσεις μεταφοράς.

$$STF(z) = z^{-1} \quad (2.2.20)$$

$$NTF(z) = (1 - z^{-1})^2 \quad (2.2.21)$$

Παρατηρούμε ότι η συνάρτηση μεταφοράς του σήματος είναι η ίδια με αυτή του  $\Sigma$ - $\Delta$  διαμορφωτή 1ης-τάξης. Δηλαδή, η  $STF(z)$  αφήνει το σήμα αναλλοίωτο, εισάγοντας απλώς καθυστέρηση ενός δείγματος. Αντίθετα, η  $NTF(z)$  πραγματοποιεί εντονότερη μορφοποίηση θορύβου. Εκφράζουμε τη συνάρτηση μεταφοράς του θορύβου κβαντισμού συναρτήσει της συχνότητας.

$$|NTF(f)| = |(1 - e^{-j2\pi f/f_{os}})^2| = |2je^{-j\pi f/f_{os}} \sin\left(\frac{\pi f}{f_{os}}\right)|^2 = 4 \sin^2\left(\frac{\pi f}{f_{os}}\right) \quad (2.2.22)$$



Σχήμα 2.13: Σύγκριση της  $|NTF|$  στη μορφοποίηση θορύβου 1ης-τάξης και 2ης-τάξης. Η  $|NTF|$  παρουσιάζεται σε (α') γραμμική και (β') λογαριθμική κλίμακα ως προς την κανονικοποιημένη συχνότητα  $f/f_{os}$ .



Η φασματική πυκνότητα ισχύος του θορύβου χβαντισμού που εισάγεται από τον χβαντιστή είναι  $N_e(f) = \Delta^2/(12f_{os})$ . Υπολογίζουμε την ισχύ του θορύβου στην έξοδο του ψηφιακού βαθυπερατού φίλτρου, χρησιμοποιώντας την προσέγγιση  $\sin(\pi f/f_{os}) \approx \pi f/f_{os}$ , καθώς θεωρούμε ότι  $f_{os} \gg 2f_b$ .

$$P_e = \int_{-f_b}^{f_b} |NTF(f)|^2 N_e(f) df = \frac{4\Delta^2}{3f_{os}} \int_{-f_b}^{f_b} \sin^4\left(\frac{\pi f}{f_{os}}\right) df \approx \frac{\Delta^2 \pi^2}{60} \frac{1}{OSR^5} \quad (2.2.23)$$

Για τον υπολογισμό του SQNR θεωρούμε ημιτονική είσοδο πλάτους  $A_m = \Delta/2$ , (για το λόγο που εξηγήσαμε στην παράγραφο 2.2.2) και υποθέτουμε ότι εντός του εύρους ζώνης του σήματος ισχύει  $|STF(f)| \approx 1$ . Η τιμή που υπολογίζουμε για το SQNR είναι η μέγιστη δυνατή.

$$SQNR_{max} = 10 \log\left(\frac{A_m^2/2}{P_e}\right) = 10 \log\left(\frac{15}{2\pi^2} OSR^5\right) = -11.14 + 50 \log(OSR) \text{ dB} \quad (2.2.24)$$

Από την τελευταία σχέση βλέπουμε ότι ο διπλασιασμός της συχνότητας δειγματοληψίας  $f_{os}$ , δηλαδή του  $OSR$ , οδηγεί σε βελτίωση του  $SQNR$  κατά 15dB, το οποίο ισοδυναμεί με αύξηση της ανάλυσης κατά 2.5 bit. Η βελτίωση στο  $SQNR$  είναι σημαντικά μεγαλύτερη με αυτή που πετυχαίνουμε στη μορφοποίηση θορύβου 1ης-τάξης. Για παράδειγμα, με  $OSR = 64$ , στη μορφοποίηση θορύβου 1ης-τάξης πετυχαίνουμε  $SQNR = 50.78 \text{ dB}$  ( $ENOB = 8.14 \text{ bit}$ ), ενώ στη μορφοποίηση θορύβου 2ης-τάξης πετυχαίνουμε  $SQNR = 79.17 \text{ dB}$  ( $ENOB = 12.86 \text{ bit}$ ). Η διαφορά είναι σχεδόν 30 dB.

Στην υπερδειγματοληψία με μορφοποίηση θορύβου 2ης-τάξης, κάθε διπλασιασμός της συχνότητας δειγματοληψίας:

- βελτιώνει το SQNR κατά 15 dB
- αυξάνει την ανάλυση κατά 2.5 bit

## 2.2.4 Μορφοποίηση Θορύβου Ανώτερης Τάξης

Πηγαίνοντας από τη μορφοποίηση θορύβου 1ης-τάξης, στη μορφοποίηση θορύβου 2ης-τάξης, είδαμε ότι το  $SQNR$ , για δεδομένο  $OSR$ , βελτιώθηκε σημαντικά. Προσθέτοντας περισσότερα στάδια άθροισης και ολοκλήρωσης στην τοπολογία του  $\Sigma$ - $\Delta$  διαμορφωτή, μπορούμε να πετύχουμε μεγαλύτερες τάξεις μορφοποίησης θορύβου και κατά συνέπεια ακόμα μεγαλύτερη βελτίωση του  $SQNR$ . Η σχέση (2.2.25) περιγράφει την έξοδο ενός  $\Sigma$ - $\Delta$  διαμορφωτή  $L$ -τάξης, ο οποίος πραγματοποιεί  $L$ -τάξης μορφοποίηση θορύβου.

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^L E(z) \quad (2.2.25)$$

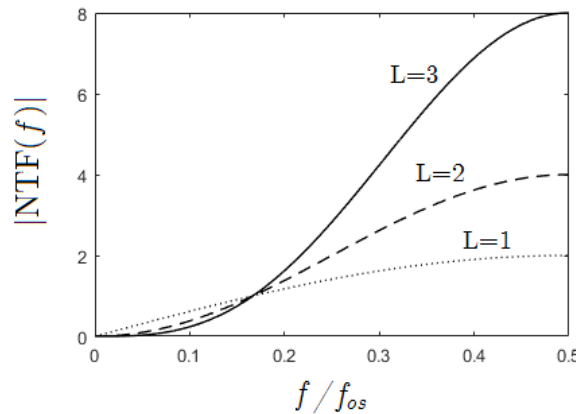
Επομένως, η συνάρτηση μεταφοράς του θορύβου χβαντισμού είναι η ακόλουθη.

$$NTF(z) = (1 - z^{-1})^L \quad (2.2.26)$$

Εκφράζουμε τη συνάρτηση μεταφοράς του θορύβου χβαντισμού συναρτήσει της συχνότητας.

$$|NTF(f)| = |(1 - e^{-j2\pi f/f_{os}})^L| = |2je^{-j\pi f/f_{os}} \sin\left(\frac{\pi f}{f_{os}}\right)|^L = |2 \sin\left(\frac{\pi f}{f_{os}}\right)|^L \quad (2.2.27)$$

Στο σχήμα 2.14 παρατηρούμε ότι όσο αυξάνεται η τάξη  $L$  της μορφοποίησης θορύβου, αυξάνεται και ο συνολικός θόρυβος χβαντισμού στην έξοδο του διαμορφωτή. Παράλληλα, η ισχύς του θορύβου μειώνεται στις χαμηλές συχνότητες, εκεί δηλαδή που βρίσκεται το σήμα. Όταν πραγματοποιούμε υπερδειγματοληψία με  $OSR$  μεγαλύτερο του 16, το σήμα βρίσκεται χαμηλότερα του 0.1, στην κανονικοποιημένη κλίμακα συχνότητας ( $f_b/f_{os} = 1/(2OSR)$ ). Επομένως, αυξάνοντας την τάξη  $L$ , πράγματι μεταφέρεται μεγαλύτερο μέρος της ισχύος του θορύβου εκτός του εύρους ζώνης του σήματος, σε υψηλότερες συχνότητες όπου θα απορριφθεί από το ψηφιακό βαθυπερατό φίλτρο.



Σχήμα 2.14: Γραφικές παραστάσεις της  $|NTF(f)|$  για μορφοποίηση θορύβου  $L$ -τάξης.

Η φασματική πυκνότητα ισχύος του θορύβου χβαντισμού που εισάγεται από το χβαντιστή είναι  $N_e(f) = \Delta^2/(12f_{os})$ . Υπολογίζουμε την ισχύ του θορύβου στην έξοδο του ψηφιακού βαθυπερατού φίλτρου, χρησιμοποιώντας την προσέγγιση  $\sin(\pi f/f_{os}) \approx \pi f/f_{os}$ , καθώς θεωρούμε ότι  $f_{os} \gg 2f_b$ .

$$P_e = \int_{-f_b}^{f_b} |NTF(f)|^2 N_e(f) df \approx \frac{\Delta^2 \pi^{2L}}{12(2L+1)} \frac{1}{OSR^{2L+1}} \quad (2.2.28)$$

Για τον υπολογισμό του SQNR θεωρούμε ημιτονική είσοδο πλάτους  $A_m = \Delta/2$ , (για το λόγο που εξηγήσαμε στην παράγραφο 2.2.2) και υποθέτουμε ότι εντός του εύρους ζώνης του σήματος ισχύει  $|STF(f)| \approx 1$ . Η τιμή που υπολογίζουμε για το SQNR είναι η μέγιστη δυνατή.

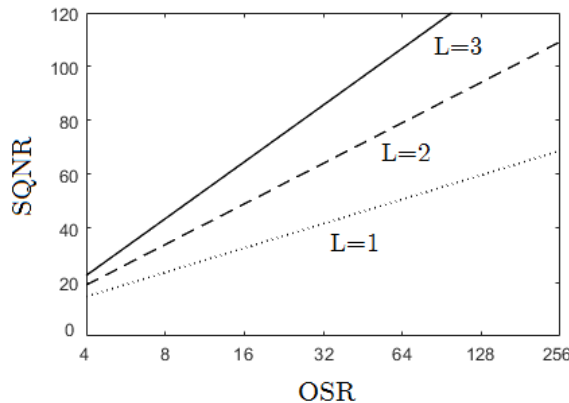
$$SQNR_{max} = 10 \log \left( \frac{A_m^2/2}{P_e} \right) = 10 \log \left[ \frac{3(2L+1)}{2\pi^{2L}} \right] + (2L+1) \times 10 \log(OSR) \text{ dB} \quad (2.2.29)$$

Η ανωτέρω σχέση δηλώνει ότι στη μορφοποίηση θορύβου  $L$ -τάξης κάθε διπλασιασμός της συχνότητας δειγματοληψίας βελτιώνει το  $SQNR$  κατά  $6L + 3$  dB, ή ισοδύναμα αυξάνει την ανάλυση κατά  $L + 0.5$  bit. Στο σχήμα 2.15 παρουσιάζεται η σχέση μεταξύ της τάξης  $L$  της μορφοποίησης θορύβου και του  $OSR$  που χρειάζεται για να επιτευχθεί ένα συγκεκριμένο επίπεδο  $SQNR$ . Παρατηρούμε ότι όσο υψηλότερη η τάξη  $L$  τόσο καλύτερο  $SQNR$  πετυχαίνουμε με δεδομένο  $OSR$ .

Στην υπερδειγματοληψία με μορφοποίηση θορύβου  $L$ -τάξης, κάθε διπλασιασμός της συχνότητας δειγματοληψίας:

- βελτιώνει το  $SQNR$  κατά  $6L + 3$  dB
- αυξάνει την ανάλυση κατά  $L + 0.5$  bit

Η αύξηση της τάξης ενός  $\Sigma$ - $\Delta$  διαμορφωτή δεν έρχεται χωρίς τίμημα, καθώς στις υψηλές τάξεις προκύπτουν ζητήματα ευστάθειας. Η ύπαρξη πολλών βρόχων ανάδρασης στους  $\Sigma$ - $\Delta$  διαμορφωτές υψηλών τάξεων αυξάνει την πολυπλοκότητα των κυκλωμάτων τους και καθιστά τη σχεδιάσή τους ιδιαίτερα απαιτητική. Η ευστάθεια των  $\Sigma$ - $\Delta$  διαμορφωτών είναι ένα πολύ σημαντικό και ευρύ πεδίο μελέτης, το οποίο όμως, δεν αποτελεί αντικείμενο της παρούσας εργασίας. Απλώς αναφέρουμε ότι η προσεκτική σχεδίαση και η ανάπτυξη τεχνικών πρόληψης και αντιμετώπισης συνθηκών αστάθειας στους  $\Sigma$ - $\Delta$  διαμορφωτές ανώτερης τάξης, έχουν ως αποτέλεσμα την ύπαρξη στο εμπόριο διαμορφωτών μέχρι και 6ης-τάξης.



Σχήμα 2.15: Μοντελοποίηση του  $\Sigma$ - $\Delta$  διαμορφωτή πρώτης-τάξης

### 2.2.5 Ζωνοπερατός $\Sigma$ - $\Delta$ Διαμορφωτής

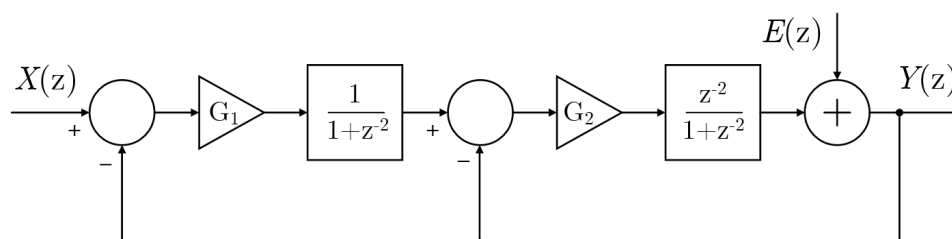
Οι  $\Sigma$ - $\Delta$  διαμορφωτές που περιγράψαμε μέχρι στιγμής, περιλαμβάνουν ολοκληρωτές, οι οποίοι συμπεριφέρονται ως βαθυπερατά φίλτρα στο σήμα. Οι διατάξεις αυτές λειτουργούν για σήματα βασικής ζώνης, των οποίων η ενέργεια είναι συγκεντρωμένη στις χαμηλές συχνότητες, με κέντρο το dc. Σε εφαρμογές όπως συστήματα RF τηλεπικοινωνιών, το σήμα βρίσκεται συγκεντρωμένο σε

μια στενή ζώνη εύρους  $f_b$ , γύρω από μία φέρουσα συχνότητα  $f_c$ . Σε αυτές τις περιπτώσεις, αν θέλουμε να επωφεληθούμε τα πλεονεκτήματα της  $\Sigma$ - $\Delta$  διαμόρφωσης, θα πρέπει να χρησιμοποιήσουμε διαμορφωτές με ζωνοπερατό χαρακτήρα.

Για να δημιουργήσουμε ένα ζωνοπερατό  $\Sigma$ - $\Delta$  διαμορφωτή, αρκεί να αντικαταστήσουμε τους ολοκληρωτές ενός βαθυπερατού διαμορφωτή, με συντονιστές (resonators), οι οποίοι συμπεριφέρονται στο σήμα ως ζωνοπερατά φίλτρα. Ταυτόχρονα, με τη χρήση συντονιστών, η συνάρτηση μεταφοράς του θορύβου κβαντισμού αποκτά ζωνοφρακτικό χαρακτήρα. Οι συναρτήσεις μεταφοράς ενός ζωνοπερατού διαμορφωτή μπορούν να προκύψουν από το αντίστοιχο βαθυπερατό μοντέλο, πραγματοποιώντας το μετασχηματισμό:

$$z \rightarrow -z^{-2} \quad (2.2.30)$$

Ο ζωνοπερατός διαμορφωτής που προκύπτει με βάση τον ανωτέρω μετασχηματισμό, είναι διπλάσιας τάξης σε σχέση με τον αντίστοιχο βαθυπερατό, αλλά παρουσιάζει τα ίδια χαρακτηριστικά αναφορικά με την ευστάθεια και τη μορφοποίηση θορύβου. Μέσω του μετασχηματισμού, η κεντρική συχνότητα του σήματος μεταφέρεται στη συχνότητα  $f_{os}/4$ , όπου  $f_{os}$  η συχνότητα δειγματοληψίας. Στο σχήμα 2.16 παρουσιάζουμε το μοντέλο ενός ζωνοπερατού  $\Sigma$ - $\Delta$  διαμορφωτή 4ης-τάξης. Παρατηρούμε ότι η τοπολογία είναι ίδια με αυτή ενός βαθυπερατού  $\Sigma$ - $\Delta$  διαμορφωτή 2ης-τάξης, όπου οι συναρτήσεις μεταφοράς των ολοκληρωτών έχουν αντικατασταθεί σύμφωνα με το μετασχηματισμό.



Σχήμα 2.16: Γραμμικό μοντέλο του ζωνοπερατού  $\Sigma$ - $\Delta$  διαμορφωτή 4ης-τάξης

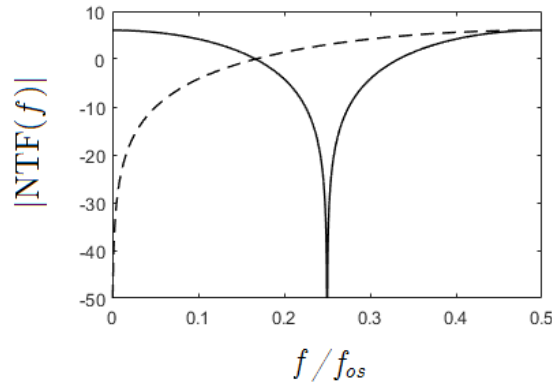
Η  $NTF$  του ζωνοπερατού  $\Sigma$ - $\Delta$  διαμορφωτή 4ης-τάξης προκύπτει με βάση το μετασχηματισμό, από την αντίστοιχη συνάρτηση μεταφοράς του βαθυπερατού  $\Sigma$ - $\Delta$  διαμορφωτή 2ης-τάξης.

$$NTF_{BP}(z) = NTF_{LP}(z)|_{z \rightarrow -z^2} = (1 + z^{-2})^2 \quad (2.2.31)$$

Εκφράζουμε τη συνάρτηση μεταφοράς του θορύβου κβαντισμού συναρτήσει της συχνότητας, αντικαθιστώντας όπου  $z = e^{j2\pi f/f_{os}}$ .

$$|NTF(f)_{BP}| = |(1 + e^{-j4\pi f/f_{os}})^2| = |2je^{-j2\pi f/f_{os}} \cos\left(\frac{2\pi f}{f_{os}}\right)|^2 = |2 \cos\left(\frac{2\pi f}{f_{os}}\right)|^2 \quad (2.2.32)$$

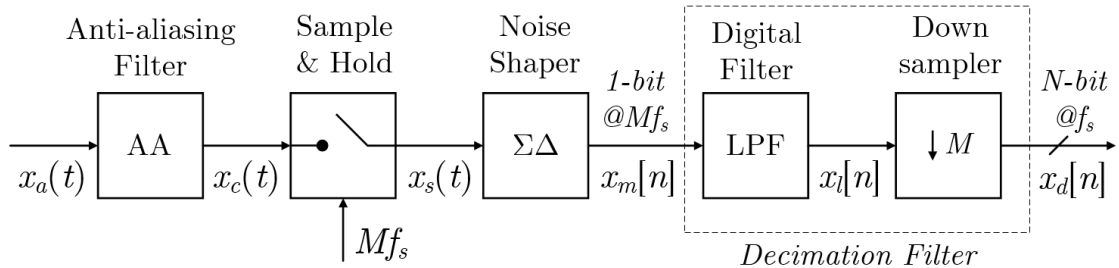
Στο σχήμα 2.17 βλέπουμε ότι η  $NTF_{BP}(f)$  λειτουργεί ως ζωνοφρακτικό φίλτρο, καταπιέζοντας το θόρυβο γύρω από τη συχνότητα  $f_{os}/4$ , όπου βρίσκεται το σήμα.



Σχήμα 2.17: Μοντελοποίηση του Σ-Δ διαμορφωτή πρώτης-τάξης

Συνήθως το εύρος ζώνης των ζωνοπερατών Σ-Δ διαμορφωτών βρίσκεται γύρω από τη συχνότητα  $f_{os}/4$ . Σε αυτή την περίπτωση το σήμα δειγματοληπτείται με ρυθμό  $f_{os}$ , τέσσερις φορές μεγαλύτερο της κεντρικής συχνότητας  $f_c$  του σήματος, ώστε η μορφοποίηση θορύβου να γίνει γύρω από τη συχνότητα  $f_c$ . Για παράδειγμα, αν θέλουμε να διαμορφώσουμε ένα σήμα εύρους ζώνης  $f_b = 200$  kHz, το οποίο βρίσκεται γύρω από μία κεντρική συχνότητα  $f_c = 10$  MHz, με συχνότητα δειγματοληψίας  $f_{os} = 40$  MHz, θα χρησιμοποιήσουμε ένα ζωνοπερατό Σ-Δ διαμορφωτή με κεντρική συχνότητα  $f_{os}/4$ . Το *OSR* που αντιστοιχεί σε αυτή τη συχνότητα δειγματοληψίας είναι  $40 \text{ MHz} / (2 \times 200) \text{ kHz} = 100$ . Δεδομένου ότι ένας βαθυπερατός Σ-Δ διαμορφωτής 3-ης τάξης πετυχαίνει *SQNR* περίπου 100 dB με *OSR* = 100, μπορούμε να πετύχουμε αντίστοιχες επιδόσεις με ένα ζωνοπερατό διαμορφωτή 6ης-τάξης.

### 2.3 Υπερδειγματοληπτική A/D Μετατροπή



Σχήμα 2.18: Block διάγραμμα ενός Σ-Δ ADC.

Με τον όρο "υπερδειγματοληπτικοί" μετατροπείς (oversampling converters) αναφερόμαστε στους μετατροπείς, οι οποίοι επιτελούν υπερδειγματοληψία σε συνδυασμό με μορφοποίηση θορύβου. Η διάταξη ενός υπερδειγματοληπτικού A/D μετατροπέα φαίνεται στο σχήμα 2.18. Θεωρούμε ότι το σήμα εισόδου είναι βασικής ζώνης με μέγιστη φασματική συνιστώσα  $f_b$ . Στην είσοδο της διάταξης υπάρχει ένα αναλογικό anti-aliasing φίλτρο. Όπως είδαμε στην παράγραφο 2.1, οι προδιαγραφές του

φίλτρου είναι σχετικά χαμηλές λόγω της υπερδειγματοληψίας του σήματος. Το ακριβές φιλτράρισμα του σήματος πραγματοποιείται σε επόμενο στάδιο από το ψηφιακό βαθυπερατό φίλτρο. Το σήμα δειγματοληπτείται από ένα σύστημα sample-and-hold, με ρυθμό  $f_{os} = Mf_s$ , όπου η συχνότητα  $f_s$  είναι λίγο μεγαλύτερη της συχνότητας Nyquist του σήματος.

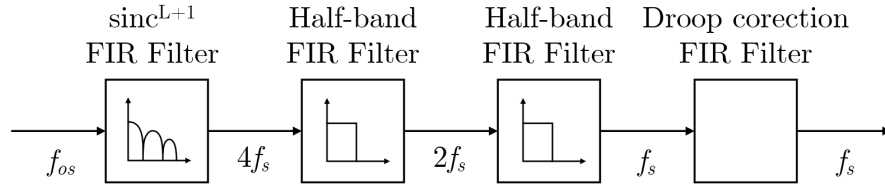
Η καρδιά ενός υπερδειγματοληπτικού μετατροπέα είναι η βαθμίδα που πραγματοποιεί τη μορφοποίηση θορύβου, εν προκειμένω ο  $\Sigma$ - $\Delta$  διαμορφωτής. Όπως έχουμε δει, ο  $\Sigma$ - $\Delta$  διαμορφωτής συμπεριφέρεται στο σήμα ως βαθυπερατό φίλτρο και στο θόρυβο κβαντισμού ως υψιπερατό φίλτρο. Η μορφοποίηση θορύβου που επιτελείται κατά τη διαμόρφωση, καταπιέζει το θόρυβο στις χαμηλές συχνότητες (εντός του εύρους ζώνης του σήματος) και "σπρώχνει" το μεγαλύτερο μέρος της ισχύος του θορύβου σε υψηλότερες συχνότητες (εκτός του εύρους ζώνης του σήματος), όπου απορρίπτεται στη συνέχεια από το ψηφιακό βαθυπερατό φίλτρο. Με τον τρόπο αυτό επιτυγχάνεται υψηλή ανάλυση με πολύ μικρό πλήθος επιπέδων κβαντισμού, δηλαδή με χρήση λίγων ή και ενός ψηφίου για την αναπαράσταση του κβαντισμένου σήματος.

Συνήθως, η έξοδος του  $\Sigma$ - $\Delta$  διαμορφωτή είναι single-bit. Φυσικά, υπάρχουν  $\Sigma$ - $\Delta$  διαμορφωτές με περισσότερα του ενός ψηφία στην έξοδο τους, οι οποίοι ονομάζονται  $\Sigma$ - $\Delta$  διαμορφωτές πολλαπλών ψηφίων (Multi-bit  $\Sigma$ - $\Delta$  modulators). Οι διαμορφωτές αυτοί παρουσιάζουν κάποια πλεονεκτήματα, αλλά το βασικό τους μειονέκτημα είναι η εξάρτηση της γραμμικότητά τους από την γραμμικότητα των μετατροπέων που χρησιμοποιούν εσωτερικά. Αντίθετα, οι single-bit  $\Sigma$ - $\Delta$  διαμορφωτές χρησιμοποιούν μετατροπείς του ενός ψηφίου, οι οποίοι είναι εγγενώς γραμμικοί, καθώς η συνάρτηση μεταφοράς τους αποτελείται από ακριβώς δύο σημεία.

## Φίλτρο Αποδεκατισμού

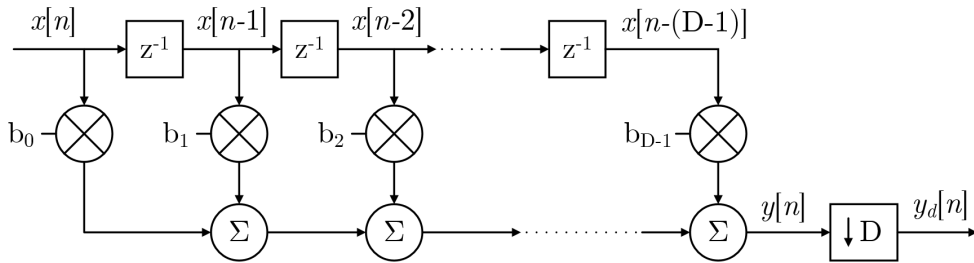
Η τελευταία βαθμίδα του μετατροπέα είναι ένα ψηφιακό φίλτρο, το οποίο ονομάζεται φίλτρο αποδεκατισμού (Decimation Filter). Η διαδικασία του αποδεκατισμού μπορεί να αναπαρασταθεί ως διαδικασία δύο σταδίων, όπως φαίνεται στο σχήμα 2.18. Το πρώτο στάδιο είναι ένα ψηφιακό ιδανικό βαθυπερατό φίλτρο με συχνότητα αποκοπής  $f_b$ . Το δεύτερο στάδιο είναι ένας decimator. Το σύστημα του decimator μειώνει το ρυθμό του σήματος κατά ένα παράγοντα  $M$ . Αυτό επιτυγχάνεται κρατώντας μόνο ένα δείγμα ανά  $M$  πλήθος δειγμάτων και απορρίπτοντας τα υπόλοιπα. Οι δύο λειτουργίες που επιτελεί το φίλτρο αποδεκατισμού είναι πολύ σημαντικές για τη λειτουργία του μετατροπέα. Όπως έχουμε δει, το ψηφιακό βαθυπερατό φιλτράρισμα απορρίπτει το θόρυβο κβαντισμού εκτός του εύρους ζώνης του σήματος, επιτρέποντας στο μετατροπέα να επιτύχει υψηλές τιμές SQNR. Επιπλέον, το ψηφιακό φίλτρο μετατρέπει την 1-bit έξοδο του  $\Sigma$ - $\Delta$  διαμορφωτή σε ψηφιακό σήμα  $N$  ψηφίων, υπολογίζοντας το μέσο όρο των δειγμάτων. Η μείωση του ρυθμού των δειγμάτων είναι επίσης αναγκαία, καθώς η επεξεργασία του σήματος στη συχνότητα  $f_{os}$  (ο ρυθμός των δειγμάτων στην έξοδο του  $\Sigma$ - $\Delta$  διαμορφωτή) θα απαιτούσε έναν εξαιρετικά γρήγορο επεξεργαστή.

Θα πρέπει να διευκρινίσουμε ότι η θεώρηση του φίλτρου αποδεκατισμού ως ψηφιακό ιδανικό βαθυπερατό φίλτρο σε σειρά με ένα decimator είναι μια καθαρά θεωρητική αναπαράσταση, η οποία έχει στόχο να διαχωρίσει τις δύο βασικές λειτουργίες του φίλτρου: το βαθυπερατό φιλτράρισμα στο πεδίο της συχνότητας και τη μείωση του ρυθμού των δειγμάτων στο πεδίο του χρόνου. Στην



Σχήμα 2.19: Τοπολογία ενός τυπικού φίλτρο αποδευατισμού πολλαπλών σταδίων.

πραγματικότητα, το φίλτρο αποδευατισμού αποτελείται από πολλαπλά στάδια ψηφιακών FIR (Finite Impulse Response) φίλτρων, όπως φαίνεται στο σχήμα 2.20. Σε κάθε ένα από τα στάδια επιτελείται ψηφιακό βαθυπερατό φιλτράρισμα του σήματος και έπεται μείωση του ρυθμού των δειγμάτων.



Σχήμα 2.20: Ψηφιακό φίλτρο κινητού μέσου όρου 1ης-τάξης

Η πρώτη βαθμίδα του φίλτρο αποδευατισμού είναι ένα sinc φίλτρο  $(L + 1)$ -τάξης, όπου  $L$  η τάξη του  $\Sigma$ - $\Delta$  διαμορφωτή που προηγείται του φίλτρο. Το sinc φίλτρο αποτελείται από  $(L + 1)$  φίλτρα κινητού μέσου όρου (Moving Average Filters) σε κασκοδική διάταξη. Η τοπολογία ενός φίλτρο μέσου όρου φαίνεται στο σχήμα 2.21. Η έξοδος  $y[n]$  του φίλτρο ισούται με το μέσο όρο  $D$  δειγμάτων του σήματος  $x[n]$ , διαμορφωμένο σύμφωνα με τα βάρη  $b_k$ . Ανάλογα με τις τιμές που λαμβάνουν τα  $b_k$  μπορούν να υλοποιηθούν διάφορες συναρτήσεις μεταφοράς. Για  $b_k = 1/D$  η έξοδος του φίλτρο δίνεται από τη σχέση (2.3.1).

$$y[n] = \sum_{k=0}^{D-1} b_k x[n - k] = \frac{1}{D} \sum_{k=0}^{D-1} x[n - k] \quad (2.3.1)$$

Απο το μετασχηματισμό  $z$  της ανωτέρω σχέσης λαμβάνουμε την παρακάτω έκφραση.

$$DY(z) = \sum_{k=0}^{D-1} z^{-k} X(z) = DY(z)z^{-1} + (1 - z^{-D})X(z) \quad (2.3.2)$$

Η συνάρτηση μεταφοράς του φίλτρο στο πεδίο του  $z$  δίνεται από την ακόλουθη σχέση.

$$H_{avg}(z) = \frac{Y(z)}{X(z)} = \frac{1}{D} \frac{1 - z^{-D}}{1 - z^{-1}} \quad (2.3.3)$$

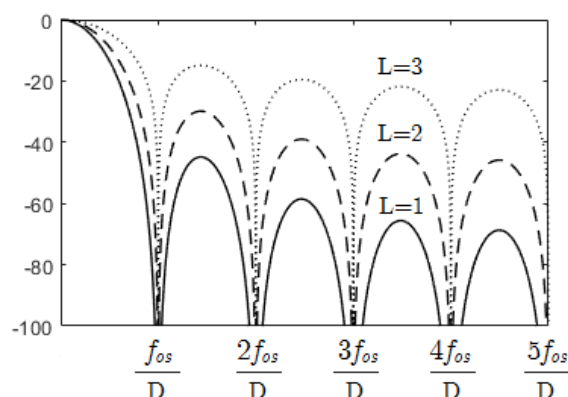
Αντικαθιστώντας με  $z = e^{j2\pi f/f_{os}}$ , λαμβάνουμε την απόκριση συχνότητας του φίλτρου.

$$|H_{avg}(f)| = \frac{1}{D} \left| \frac{\sin(D\pi f/f_{os})}{\sin(\pi f/f_{os})} \right| \quad (2.3.4)$$

Επομένως, η συνολική απόκριση συχνότητας των  $(L + 1)$  φίλτρων κινητού μέσου όρου, τα οποία αποτελούν το sinc φίλτρο  $(L + 1)$ -τάξης της πρώτης βαθμίδας δίνεται από την παρακάτω σχέση.

$$|T_{sinc}^{(L+1)}| = \frac{1}{D^{L+1}} \left| \frac{\sin(D\pi f/f_{os})}{\sin(\pi f/f_{os})} \right|^{L+1} \quad (2.3.5)$$

Όταν ο  $\Sigma$ - $\Delta$  διαμορφωτής είναι  $L$ -τάξης, δηλαδή η συνάρτηση μεταφοράς του θορύβου κβαντισμού είναι  $NTF(z) = (1 - z^{-1})^L$ , η τάξη του sinc φίλτρου πρέπει να είναι  $(L + 1)$ , προκειμένου η κλίση της καμπύλης απόσβεσης του φίλτρου να είναι μεγαλύτερη από την κλίση της καμπύλης της  $NTF$ . Όπως φαίνεται στο σχήμα 2.22, όσο αυξάνεται η τάξη του φίλτρου, η κλίση της καμπύλης του μεγαλώνει, ενώ παράλληλα μεγαλώνει και η απόσβεση στη ζώνη φραγής.

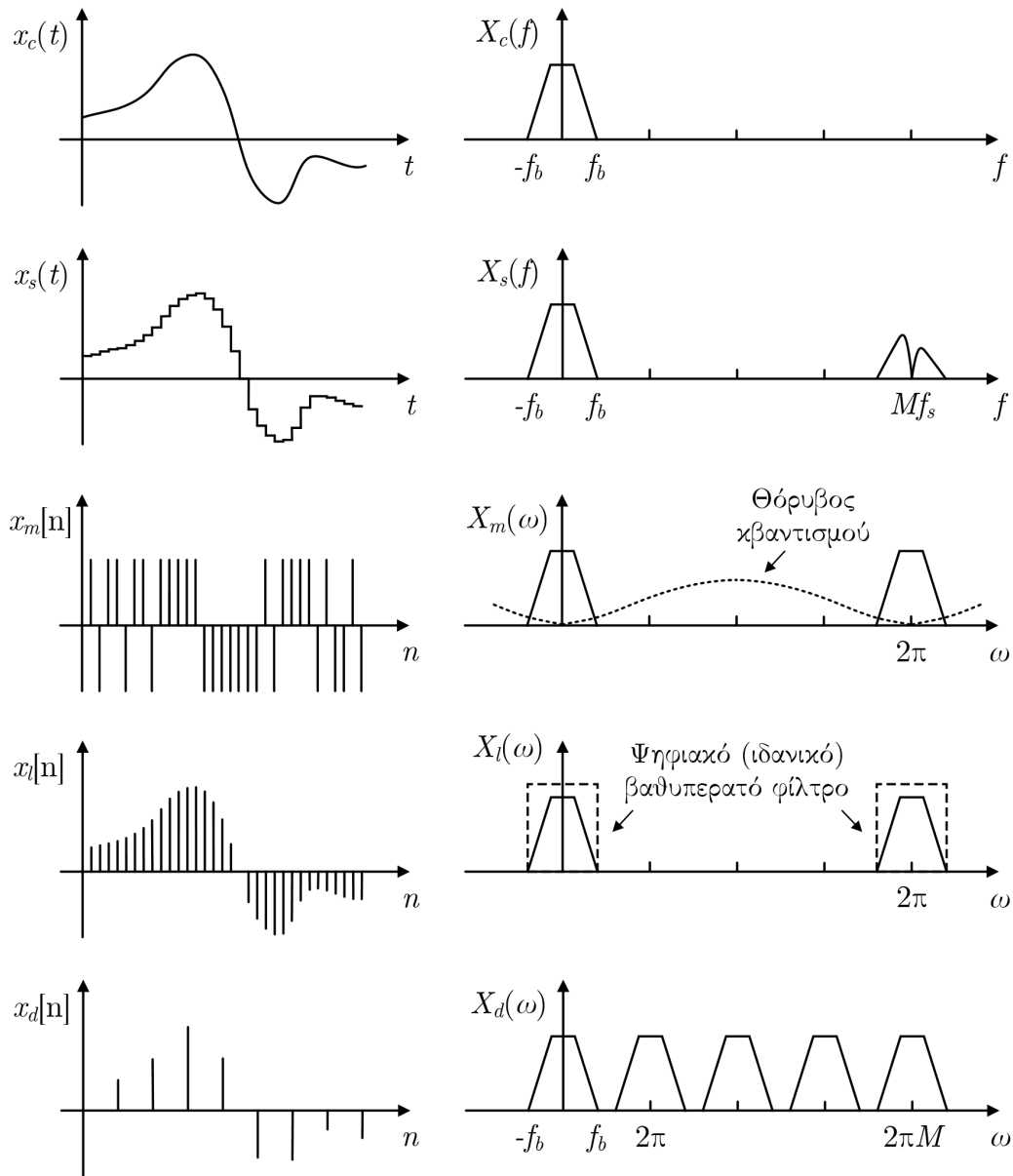


Σχήμα 2.21: Απόκριση συχνότητας της  $|T_{sinc}^{(L+1)}|$  για  $L=1,2$  και  $3$ .

Το πλήθος των ψηφίων στην έξοδο ενός φίλτρου κινητού μέσου όρου ισούται με  $\log_2(D)$ . Στην κασκοδική διάταξη των  $(L + 1)$  φίλτρων κινητού μέσου όρου, το πλήθος των ψηφίων στην έξοδο είναι  $(L + 1) \log_2(D)$ . Επομένως, το decimation φίλτρο είναι υπεύθυνο για την τελική ανάλυση του μετατροπέα, καθώς αυξάνει το πλήθος των ψηφίων στην έξοδό του.

Ο ρυθμός του σήματος  $f_d$  στην έξοδο ενός φίλτρου κινητού μέσου όρου μειώνεται από ένα decimator. Η μείωση του ρυθμού ισούται με το πλήθος  $D$  των δειγμάτων που αθροίζονται για τον υπολογισμό του μέσου όρου, δηλαδή ισχύει  $f_d = f_{os}/D$ . Το sinc φίλτρο  $(L+1)$ -τάξης πραγματοποιεί τη μεγαλύτερη μείωση του ρυθμού του σήματος. Συνήθως, ο ρυθμός των δειγμάτων στην έξοδό του ισούται με τέσσερις φορές τη συχνότητα  $f_s$ . Η υπολειπόμενη μείωση του ρυθμού πραγματοποιείται από τα φίλτρα μισής-ζώνης (Half-band FIR Filters), τα οποία υποδιπλασιάζουν το καθένα το ρυθμό του σήματος. Πολλές φορές, στο τέλος της διάταξης χρησιμοποιείται ένα διορθωτικό φίλτρο (Droop Corection FIR Filter) για να αντισταθμίσει τη μείωση του πλάτους και τις αποκλίσεις στη φάση του σήματος, οι οποίες εισάγονται λόγω των διαδοχικών φιλτραρισμάτων.



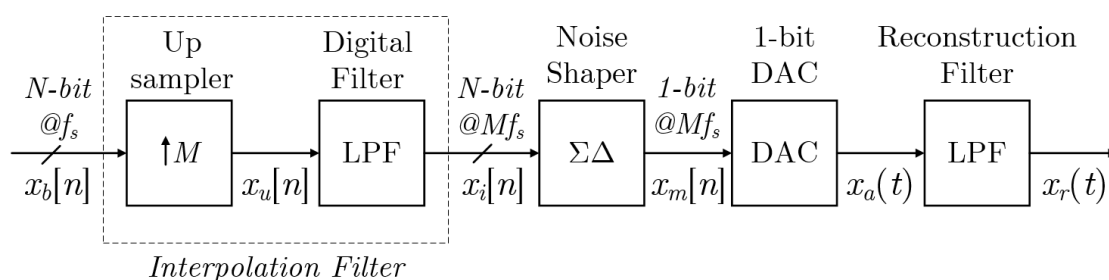


Σχήμα 2.22: Οι έξοδοι κάθε σταδίου της υπερδειγματοληπτικής A/D μετατροπής, στο πεδίο του χρόνου (αριστερά) και στο πεδίο της συχνότητας (δεξιά).

## 2.4 Υπερδειγματοληπτική D/A Μετατροπή

Τα πλεονεκτήματα της υπερδειγματοληψίας και της μορφοποίησης θορύβου που συζητήσαμε στη μετατροπή του σήματος από αναλογικό σε ψηφιακό επεκτείνονται και στην αντίστροφη διαδικασία. Η αύξηση της συχνότητας του σήματος επιτρέπει τη μείωση της πολυπλοκότητας του αναλογικού φίλτρου ανακατασκευής που χρησιμοποιείται στην D/A μετατροπή. Επιπλέον, η χρήση υψηλής συχνότητας σήματος επιτρέπει την εφαρμογή τεχνικών μορφοποίησης θορύβου για τη μείωση των ψηφίων που χρησιμοποιούνται εσωτερικά κατά την D/A μετατροπή, συνήθως στο 1-bit.

Τα συστήματα που κάνουν χρήση των παραπάνω τεχνικών ονομάζονται υπερδειγματοληπτικοί D/A μετατροπείς. Η τοπολογία ενός τυπικού single-bit υπερδειγματοληπτικού D/A μετατροπέα παρουσιάζεται στο σχήμα 2.23.



Σχήμα 2.23: Block διάγραμμα ενός  $\Sigma$ - $\Delta$  DAC.

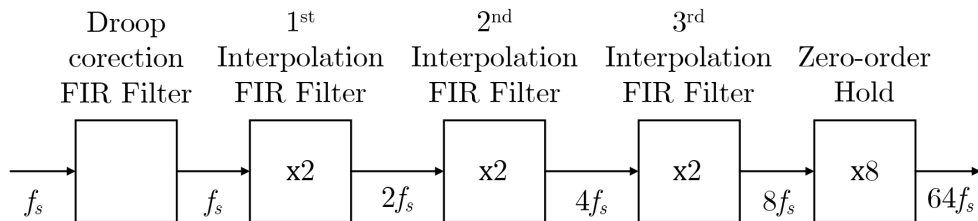
Η βασική διαφορά ενός υπερδειγματοληπτικού D/A μετατροπέα από ένα Nyquist-rate, είναι ότι επιτελεί τη μετατροπή του σήματος με πολύ υψηλότερη συχνότητα ρολογιού. Το  $N$ -ψηφίων σήμα  $x_b[n]$  στην είσοδο του μετατροπέα εισέρχεται με ρυθμό  $f_s$ , λίγο μεγαλύτερο της συχνότητας Nyquist. Ο ρυθμός του σήματος αυξάνεται κατά ένα παράγοντα  $M$  από ένα ψηφιακό φίλτρο, το οποίο ονομάζεται φίλτρο παρεμβολής (Interpolation Filter), ακριβώς επειδή παρεμβάλει επιπλέον δείγματα ανάμεσα στα υπάρχοντα. Υποθέτουμε ότι το σήμα  $x_i[n]$  στην έξοδο του φίλτρου παρεμβολής παραμένει  $N$ -ψηφίων, καθώς ανάλογα με την τοπολογία του φίλτρου το πλήθος των ψηφίων μπορεί να μεταβάλλεται.

Η βαθμίδα του μορφοποιητή θορύβου, η οποία λειτουργεί στη συχνότητα  $Mf_s$ , μειώνει το μήκος της ψηφιακής λέξης σε μερικά ψηφία. Στο μετατροπέα του σχήματος 2.23 χρησιμοποιείται ένας single-bit  $\Sigma$ - $\Delta$  διαμορφωτής, επομένως το σήμα  $x_m[n]$  μετά τη μορφοποίηση θορύβου είναι ενός ψηφίου. Οι  $\Sigma$ - $\Delta$  διαμορφωτές που χρησιμοποιούνται στους D/A μετατροπείς είναι εξ' ολοκλήρου ψηφιακοί. Συνεπώς, τα διάφορα μπλοκ από τα οποία αποτελούνται υλοποιούνται με ψηφιακούς αθροιστές και πολλαπλασιαστές, ενώ οι αναλογικοί ολοκληρωτές αντικαθίστανται από accumulators. Όλες οι τοπολογίες μορφοποίησης θορύβου που είδαμε μέχρι τώρα μπορούν να εφαρμοστούν και στην D/A μετατροπή. Βέβαια, υπάρχουν διάφορες άλλες δομές, οι οποίες χρησιμοποιούνται αποκλειστικά στους ψηφιακούς  $\Sigma$ - $\Delta$  διαμορφωτές των DACs. Παρά τις διαφορές, η βασική λειτουργία του  $\Sigma$ - $\Delta$  διαμορφωτή παραμένει η ίδια. Συγκεντρώνει το μεγαλύτερο μέρος της ισχύος του θορύβου χβαντισμού σε υψηλότερες συχνότητες, όπου στη συνέχεια απορρίπτεται από το αναλογικό βαθυπερατό φίλτρο ανακατασκευής.

Η μετατροπή του ψηφιακού single-bit σήματος στην έξοδο του  $\Sigma$ - $\Delta$  διαμορφωτή σε αναλογικό, πραγματοποιείται μέσω του 1-bit DAC, ο οποίος χαρακτηρίζεται από τέλεια γραμμικότητα. Στη συνέχεια, το φίλτρο ανακατασκευής πραγματοποιεί βαθυπερατό φιλτράρισμα, απορρίπτοντας το θόρυβο εκτός του εύρους ζώνης  $f_b$  του σήματος. Παράλληλα, ανακατασκευάζει το σήμα στο πεδίο του χρόνου, ώστε το τελικό σήμα  $x_r(t)$  στην έξοδο του μετατροπέα να αποτελεί ακριβή αναπαράσταση του ψηφιακού σήματος εισόδου  $x_b[n]$ .

### Φίλτρο Παρεμβολής

Το πρώτο στάδιο της υπερδειγματοληπτικής A/D μετατροπής είναι η αύξηση του ρυθμού του σήματος, η οποία όπως είδαμε, επιτυγχάνεται με ένα ψηφιακό φίλτρο παρεμβολής. Η διαδικασία της παρεμβολής μπορεί να αναπαρασταθεί ως διαδικασία δύο σταδίων, όπως φαίνεται στο σχήμα 2.23. Το πρώτο στάδιο είναι ένας up-sampler, ο οποίος αυξάνει τον αριθμό των δειγμάτων κατά ένα παράγοντα  $M$ , προσθέτοντας δείγματα μηδενικής τιμής ανάμεσά τους. Η διαδικασία ονομάζεται zero padding και έχει ως αποτέλεσμα τη δημιουργία αντιγράφων του φάσματος του αρχικού σήματος, στο πεδίο της συχνότητας. Η επίδραση του zero padding στο πεδίο της συχνότητας φαίνεται στο σχήμα 2.25, όπου θυμίζουμε ότι ο άξονας της συχνότητας για τα σήματα διακριτού χρόνου  $x_b[n]$  και  $x_u[n]$  είναι κανονικοποιημένος ως προς την εκάστοτε συχνότητα του σήματος, δηλαδή  $f_s$  και  $Mf_s$  αντίστοιχα. Το δεύτερο στάδιο της διαδικασίας παρεμβολής είναι ένα ψηφιακό βαθυπερατό φίλτρο, το οποίο απορρίπτει στο πεδίο της συχνότητας τα επιπλέον αντίγραφα του φάσματος που δημιουργήθηκαν από το zero padding. Στο πεδίο του χρόνου, το ψηφιακό φίλτρο παρεμβάλλει τα προστιθέμενα δείγματα ανάμεσα στα υπάρχοντα, δίνοντας τους κατάλληλες τιμές.



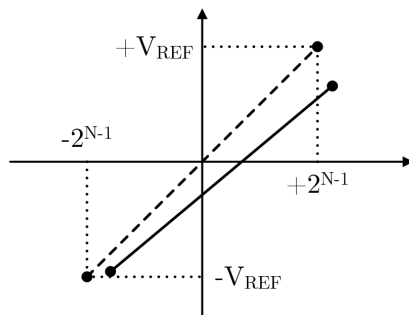
Σχήμα 2.24: Φίλτρο παρεμβολής 5 σταδίων για αύξηση του ρυθμού του σήματος 64 φορές.

Προκειμένου να μειωθεί η πολυπλοκότητα του hardware, το φίλτρο παρεμβολής υλοποιείται συνήθως σε πολλαπλά στάδια, όπως φαίνεται στο σχήμα 2.24. Το πρώτο στάδιο είναι ένα διορθωτικό φίλτρο, το οποίο χρησιμοποιείται για την αντιστάθμιση της μείωσης του πλάτους ή των αποκλίσεων της φάσης που εισάγονται στο σήμα από τα διαδοχικά φίλτρα παρεμβολής. Τα στάδια που έπονται αποτελούνται από ψηφιακά φίλτρα παρεμβολής, τα οποία διπλασιάζουν το ρυθμό του σήματος στην έξοδό του. Το πλήθος τους καθορίζεται από το μέγεθος της υπερδειγματοληψίας που απαιτεί η εκάστοτε εφαρμογή. Σε κάθε ψηφιακό φίλτρο, θεωρούμε ότι η διαδικασία της παρεμβολής πραγματοποιείται σε δύο στάδια, όπως περιγράψαμε παραπάνω. Η τελική βαθμίδα είναι ένα φίλτρο κράτησης μηδενικής τάξης, το οποίο επιτελεί την υπολειπόμενη αύξηση του ρυθμού κρατώντας στην έξοδό του την τιμή κάθε δείγματος για τους απαιτούμενους κύκλους ρολογιού.

Τα ψηφιακά FIR φίλτρα που πραγματοποιούν το βαθυπερατό φιλτράρισμα του σήματος καταλαμβάνουν συνήθως το μεγαλύτερο εμβαδόν στο υλικό του μετατροπέα. Πολλές τεχνικές έχουν αναπτυχθεί για τον περιορισμό του υλικού, όπως ο σχεδιασμός ψηφιακών φίλτρων με συντελεστές, οι οποίοι είναι δυνάμεις του δύο, ώστε να αποφεύγεται η χρήση πολλαπλασιαστών. Μία ακόμα τεχνική που στοχεύει σε περαιτέρω μείωση της πολυπλοκότητας, είναι η χρήση τεχνικών μορφοποίησης θορύβου στο ίδιο το φίλτρο παρεμβολής, προκειμένου να επιτυγχάνεται μείωση του πλήθους των ψηφίων της ψηφιακής λέξης.

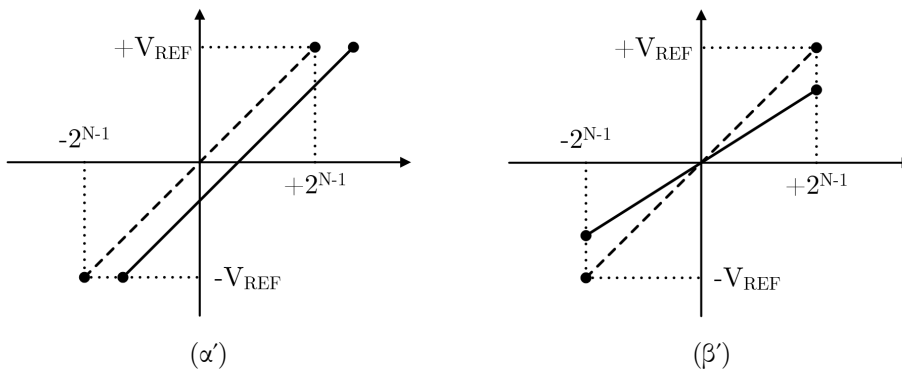
## 1-bit DAC

Ο 1-bit DAC χρησιμοποιείται για τη μετατροπή της ψηφιακής εξόδου του  $\Sigma$ - $\Delta$  διαμορφωτή σε αναλογικό σήμα. Πέραν της σχετικά απλής σχεδίασης και υλοποίησης, το βασικό του χαρακτηριστικό είναι η εγγενής γραμμικότητα που παρουσιάζει. Η σχέση εισόδου-εξόδου του 1-bit DAC αποτελείται από δύο σημεία, καθώς διαθέτει μόνο δύο επίπεδα τάσης στην έξοδό του ( $-V_{REF}$  και  $V_{REF}$ ). Στο σχήμα 2.25 παρουσιάζεται η απόκλιση που μπορεί να εμφανίζει η συνάρτηση μεταφοράς ενός πραγματικού 1-bit DAC (συνεχής γραμμή) από τη συνάρτηση μεταφοράς ενός ιδανικού (διακεκομμένη γραμμή).

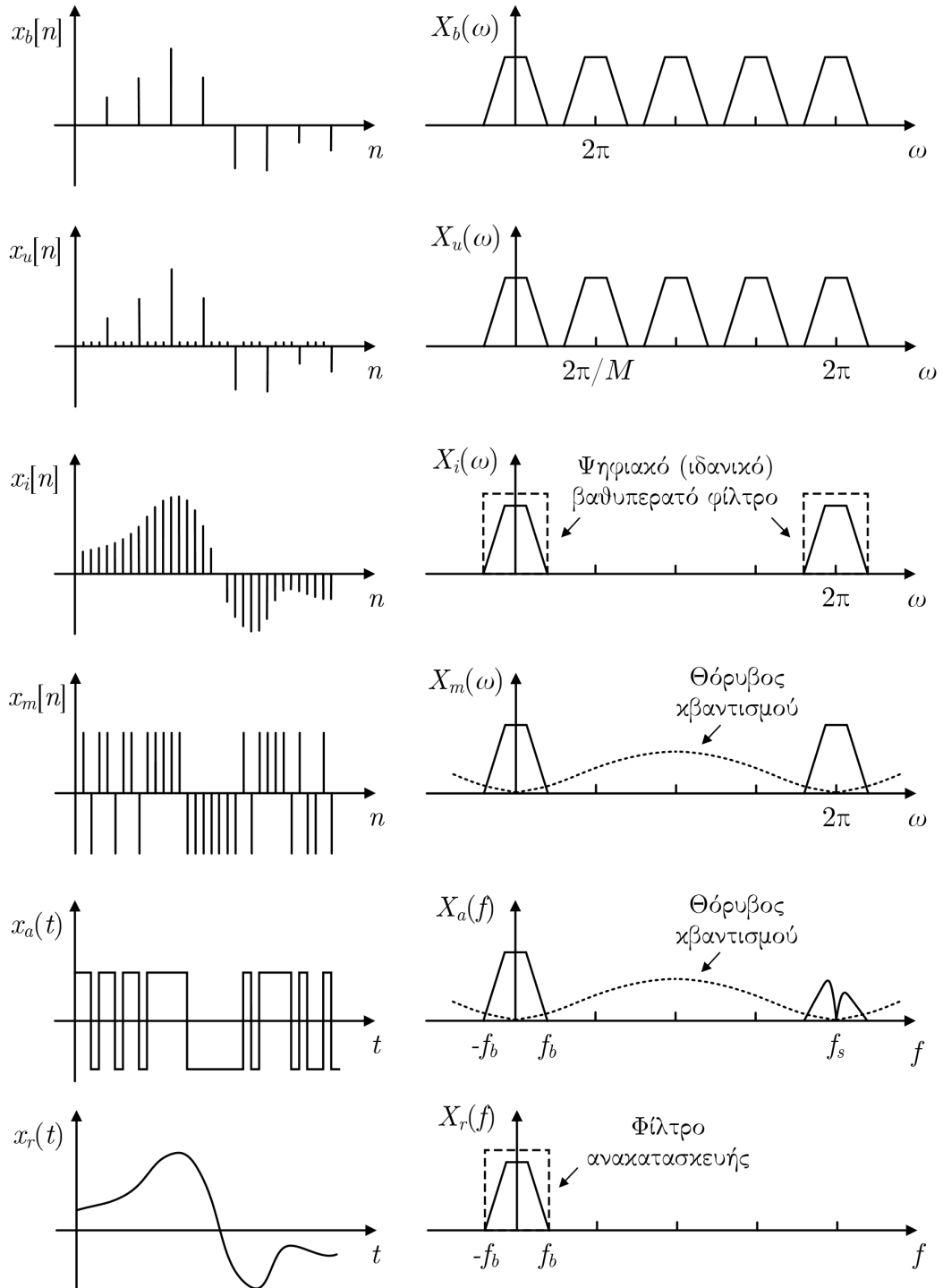


Σχήμα 2.25: Σχέση εισόδου-εξόδου ενός ιδανικού και ενός πραγματικού 1-bit DAC.

Το ολικό σφάλμα που παρουσιάζει η συνάρτηση μεταφοράς του μη ιδανικού 1-bit DAC προκύπτει από το γραμμικό συνδυασμό δύο σφαλμάτων, τα οποία φαίνονται στο σχήμα 2.26. Το σφάλμα αντιστάθμισης (offset error) και το σφάλμα ενίσχυσης (gain error). Αμφότερα τα σφάλματα αντιστάθμισης και ενίσχυσης είναι γραμμικά σφάλματα (άρα και ο συνδυασμός τους) και δεν εισάγουν παραμόρφωση στο σήμα. Άλλωστε, η συνάρτηση μεταφοράς του 1-bit DAC αποτελείται από μόνο δύο σημεία, τα οποία προσδιορίζουν πάντα μία ευθεία με μοναδικό τρόπο. Συνεπώς, η σχέση εισόδου-εξόδου ενός πραγματικού 1-bit DAC είναι εγγενώς γραμμική, ανεξάρτητα με τις μη ιδανικότητες που ενδεχομένως παρουσιάζει το κύκλωμα του. Αυτή η μοναδική ιδιότητα που παρουσιάζουν οι 1-bit DACs, επιτρέπει στους υπερδειγματοληπτικούς D/A μετατροπείς ενός-ψηφίου να πετυχαίνουν θεωρητικά τέλεια γραμμικότητα, χρησιμοποιώντας ηλεκτρονικά εξαρτήματα χαμηλής ακρίβειας.



Σχήμα 2.26: (α') Σφάλμα αντιστάθμισης και (β') σφάλμα ενίσχυσης



Σχήμα 2.27: Οι έξοδοι κάθε σταδίου της υπερδειγματοληπτικής D/A μετατροπής, στο πεδίο του χρόνου (αριστερά) και στο πεδίο της συχνότητας (δεξιά).



# 3.

## Θόρυβος Φάσης

Οι μετατροπείς δεδομένων χρησιμοποιούν παλμούς ρολογιού, είτε για τη λήψη δειγμάτων κατά τη μετατροπή σήματος από αναλογικό σε ψηφιακό, είτε για το χρονισμό των δειγμάτων κατά τη μετατροπή σήματος από ψηφιακό σε αναλογικό. Στον πραγματικό κόσμο, η περίοδος των παλμών του ρολογιού παρουσιάζει μικρές διακυμάνσεις, οι οποίες αυξάνουν το θόρυβο στην έξοδο του συστήματος. Ο θόρυβος που οφείλεται στις διακυμάνσεις αυτές ονομάζεται θόρυβος φάσης (Phase Noise) και μελετάται στο πεδίο της συχνότητας. Το ίδιο φαινόμενο, από τη σκοπιά των ψηφιακών συστημάτων, περιγράφεται με τον όρο jitter και μελετάται στο πεδίο του χρόνου. Στο κεφάλαιο αυτό, θα δούμε τις βασικές έννοιες γύρω από το θόρυβο φάσης και θα αναλύσουμε τη μορφή του στο πεδίο της συχνότητας. Επιπλέον, θα δούμε τους διάφορους τύπους του jitter που χρησιμοποιούνται για την περιγραφή της χρονικής αβεβαιότητας στα ψηφιακά συστήματα. Τέλος, θα παρουσιάσουμε τις επιπτώσεις του θορύβου φάσης στην επίδοση των συστημάτων μετατροπής δεδομένων.

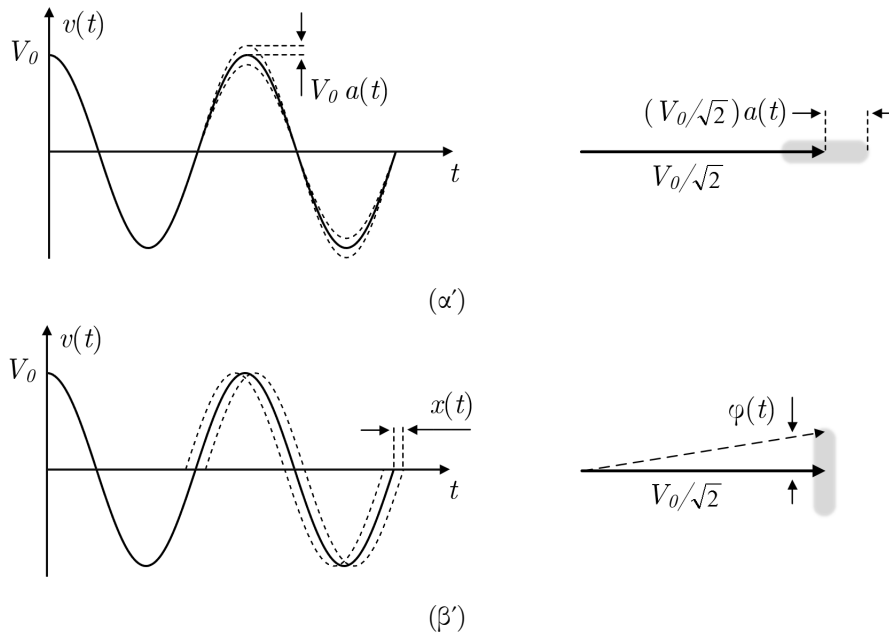
### 3.1 Βασικές Έννοιες

Ένας ιδανικός ταλαντωτής θεωρούμε ότι παράγει ημιτονοειδές σήμα ορισμένου πλάτους  $V_0$  και συχνότητας  $f_0$ . Στον πραγματικό κόσμο, το σήμα ενός ταλαντωτή παρουσιάζει ανεπιθύμητες διακυμάνσεις στο πλάτος και τη συχνότητα. Η σχέση (3.1) περιγράφει το σήμα ενός πραγματικού ταλαντωτή. Η διακύμανση στη συχνότητα ισοδυναμεί με διακύμανση στη φάση του σήματος.

$$v(t) = V_0[1 + a(t)] \cos[\omega_0 t + \phi(t)], \quad \text{όπου } |a(t)| \ll 1 \text{ και } |\phi(t)| \ll 1 \quad (3.1.1)$$

Ο όρος  $a(t)$  αντιπροσωπεύει την τυχαία διακύμανση στο πλάτος και ονομάζεται *θόρυβος πλάτους*, ενώ ο όρος  $\phi(t)$  εκφράζει την τυχαία διακύμανση στη φάση και ονομάζεται *θόρυβος φάσης*. Θεωρούμε ότι οι διακυμάνσεις του σήματος είναι στιγμιαίες και λαμβάνουν τιμές πολύ μικρότερες της μονάδας. Πολλές φορές, το σήμα ενός ταλαντωτή εκφράζεται σε μορφή περιστρεφόμενου διανύσματος, σύμφωνα με την ακόλουθη σχέση.

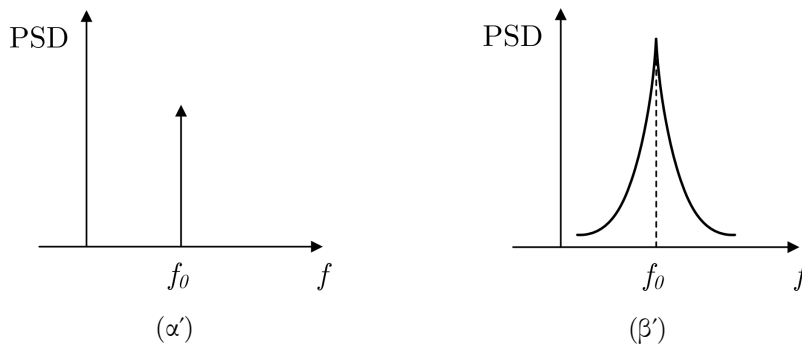
$$\tilde{V} = \frac{V_0}{\sqrt{2}} [1 + a(t)] e^{j\phi} \quad (3.1.2)$$



Σχήμα 3.1: Αναπαράσταση των διακυμάνσεων στο πεδίο του χρόνου (αριστερά) και ο αντίστοιχος φάσοντας (δεξιά) του σήματος (α') για το θόρυβο πλάτους  $a(t)$  και (β') για το θόρυβο φάσης  $\phi(t)$ .

Λόγω των διακυμάνσεων στη συχνότητα, σε έναν πραγματικό ταλαντωτή δεν είναι δυνατόν να προσδιοριστεί επακριβώς η συχνότητα ταλάντωσης. Στη σχέση (3.1) υποθέτουμε ότι η γωνιακή συχνότητα  $\omega_0$  εκφράζει την καλύτερη εκτίμηση της συχνότητας του ταλαντωτή.

Οι διακυμάνσεις στο πλάτος και τη φάση επαναλαμβάνονται πολλές φορές σε κάθε περίοδο του σήματος. Μία δεδομένη διακύμανση της φάσης αντιστοιχεί σε μία συγκεκριμένη συχνότητα στο φάσμα του σήματος. Η ισχύς της κάθε φασματικής συνιστώσας εξαρτάται από το πόσο συχνά συμβαίνει η συγκεκριμένη διακύμανση στο διάστημα μιας περιόδου, καθώς κι από το πλάτος του σήματος κατά τη διαταραχή. Η συχνότητα εμφάνισης της κάθε διακύμανσης είναι μία τυχαία διαδικασία. Η κατανομή της ισχύος του σήματος σε ένα πραγματικό ταλαντωτή παρουσιάζεται ποιοτικά στο σχήμα 3.2(β'). Παρατηρούμε ότι η ισχύς του σήματος κατανέμεται σε μια περιοχή γύρω από τη συχνότητα ταλάντωσης  $f_0 = \omega_0/(2\pi)$ , λόγω του θορύβου φάσης.



Σχήμα 3.2: Φασματική πυκνότητα ισχύος (α') ενός ιδανικού και (β') ενός πραγματικού ταλαντωτή.



Το εργαλείο που χρησιμοποιείται συχνότερα για την περιγραφή του θορύβου φάσης ενός ταλαντωτή είναι το μέγεθος  $S_\phi(f)$ , το οποίο ορίζεται ως η φασματική πυκνότητα ισχύος μονής πλευρικής ζώνης της τυχαίας διακύμανσης φάσης  $\phi(t)$ . Οι φυσικές διαστάσεις του  $S_\phi(f)$  είναι  $\text{rad}^2/\text{Hz}$ . Αντί του  $S_\phi(f)$ , οι κατασκευαστές και οι μηχανικοί χρησιμοποιούν συνήθως το μέγεθος  $\mathcal{L}(f)$ , το οποίο ονομάζεται *script el* και ορίζεται ως η μισή φασματική πυκνότητα ισχύος μονής πλευρικής ζώνης της τυχαίας διακύμανσης φάσης.

$$\mathcal{L}(f) = \frac{1}{2}S_\phi(f) \quad (3.1.3)$$

Στην πράξη, η ποσότητα εκφράζεται σε λογαριθμική κλίμακα και μετράται σε  $\text{dBc}/\text{Hz}$ . Η μονάδα  $\text{dBc}/\text{Hz}$  εκφράζει πόσα  $\text{dB}$  κάτω από το φέρον βρίσκεται το σήμα σε εύρος ζώνης  $1 \text{ Hz}$ .

$$10 \log_{10} \left[ \frac{1}{2}S_\phi(f) \right] \text{ ή ισοδύναμα } 10 \log_{10} [S_\phi(f)] - 3\text{dB} \quad (3.1.4)$$

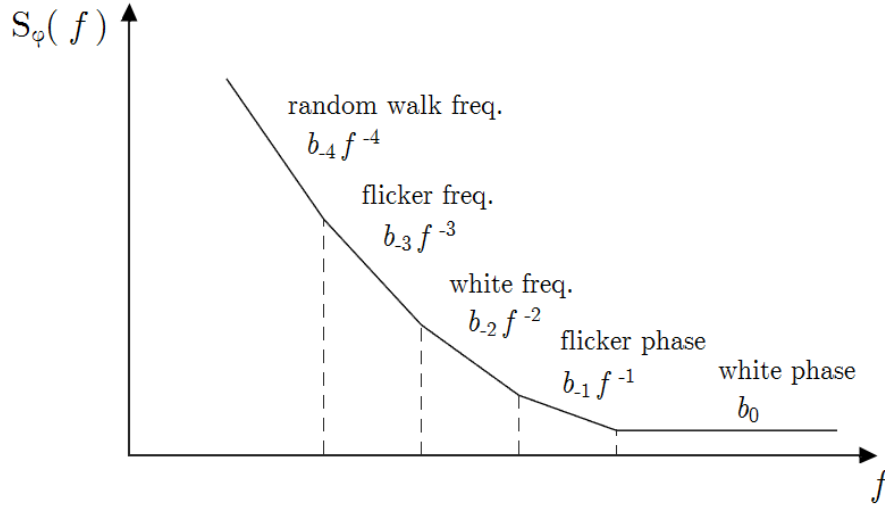
Το μοντέλο που χρησιμοποιείται για την περιγραφή του θορύβου φάσης είναι η συνάρτηση νόμου-δύναμης, η οποία διατυπώνεται στην ακόλουθη σχέση.

$$S_\phi(f) = \sum_{i=-4}^0 b_i f^i \quad (3.1.5)$$

Το φάσμα του θορύβου φάσης σχεδιάζεται σε λογαριθμική κλίμακα και στους δύο άξονες. Επομένως, ο όρος  $f^i$  αντιστοιχίζεται σε μία ευθεία γραμμή κλίσης  $i \times 10 \text{ dB}/\text{dec}$ . Οι κύριες διαδικασίες θορύβου και οι αντίστοιχες περιγραφές τους με τη συνάρτηση νόμου-δύναμης παρουσιάζονται στον πίνακα 3.1. Η μορφή του φάσματος που προκύπτει από την μοντελοποίηση νόμου-δύναμης απεικονίζεται στο σχήμα 3.3. Στους ταλαντωτές συναντάμε όλους τους όρους θορύβου που παρουσιάζονται στον πίνακα 3.1, ενώ υπάρχουν φορές που εμφανίζονται επιπλέον όροι με υψηλότερη κλίση. Αντιθέτως, ο προσθετικός θόρυβος φάσης στα δίθυρα στοιχεία δεν μπορεί να ξεπεράσει την κλίση  $1/f$  για  $f \rightarrow 0$ . Οι κύριες διαδικασίες θορύβου που παρουσιάζονται στα δίθυρα στοιχεία είναι ο λευκός και ο flicker θόρυβος φάσης.

Νόμος	Κλίση	Διαδικασία Θορύβου	Μονάδες του $b_i$
$b_0 f^0$	0	white phase noise	$\text{rad}^2/\text{Hz}$
$b_{-1} f^{-1}$	-1	flicker phase noise	$\text{rad}^2$
$b_{-2} f^{-2}$	-2	white frequency noise (or random walk of phase)	$\text{rad}^2\text{Hz}$
$b_{-3} f^{-3}$	-3	flicker frequency noise	$\text{rad}^2\text{Hz}^2$
$b_{-4} f^{-4}$	-4	random walk of frequency	$\text{rad}^2\text{Hz}^3$

Πίνακας 3.1



Σχήμα 3.3: Μοντελοποίηση του φάσματος του θορύβου φάσης με τη συνάρτηση νόμου-δύναμης.

Ένα ακόμα χρήσιμο μέγεθος για την περιγραφή του θορύβου φάσης είναι η διακύμανση φάσης-χρόνου (phase-time fluctuation). Η διακύμανση φάσης-χρόνου αποτελεί την μετατροπή στο πεδίο του χρόνου της διακύμανσης φάσης  $\phi(t)$ , όπως φαίνεται στο σχήμα 3.1(β'). Ο ορισμός της διακύμανσης φάσης, καθώς και η αντίστοιχη πυκνότητα φάσματος ισχύος διατυπώνονται ακολούθως.

$$x(t) = \frac{\phi(t)}{\omega_0} = \frac{\phi(t)}{2\pi f_0} \rightarrow S_x(f) = \frac{1}{(2\pi f_0)^2} S_\phi(f) \quad (3.1.6)$$

Η διακύμανση στη φάση αντιστοιχεί σε στιγμιαία διακύμανση της συχνότητας του σήματος, η οποία συμβολίζεται  $(\Delta f)(t)$ . Η διακύμανση της γωνιακής συχνότητας του σήματος  $(\Delta \omega)(t)$  ορίζεται ως η παράγωγος της διακύμανσης φάσης  $\phi(t)$ .

$$(\Delta \omega)(t) = \dot{\phi}(t) \quad \text{και} \quad (\Delta f)(t) = \frac{1}{2\pi} \Delta \omega(t) \quad (3.1.7)$$

Με  $y(t)$  συμβολίζεται η κλασματική διακύμανση συχνότητας, η οποία εκφράζει τη στιγμιαία διακύμανση συχνότητας κανονικοποιημένη ως προς τη συχνότητα φέροντος.

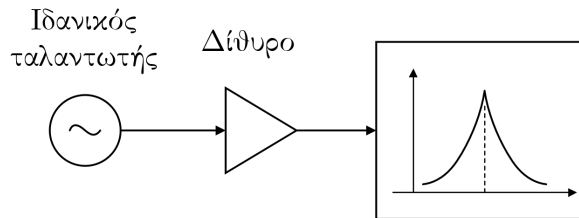
$$y(t) = \dot{x}(t) = \frac{\dot{\phi}(t)}{\omega_0} = \frac{(\Delta \omega)(t)}{\omega_0} = \frac{(\Delta f)(t)}{f_0} \quad (3.1.8)$$

Σύμφωνα με τους παραπάνω ορισμούς ο θόρυβος που παρουσιάζει ένας ταλαντωτής μπορεί να αποδοθεί στις τυχαίες διακυμάνσεις της συχνότητας αντί της φάσης. Στην περίπτωση αυτή, χρησιμοποιείται η φασματική πυκνότητα ισχύος της διακύμανσης συχνότητας  $(\Delta f)(t)$  ή της κλασματικής συχνότητας  $y(t)$ .

$$S_{\Delta f}(f) = f^2 S_\phi(f) \quad \text{και} \quad S_y(f) = \frac{f^2}{f_0^2} S_\phi(f) \quad (3.1.9)$$

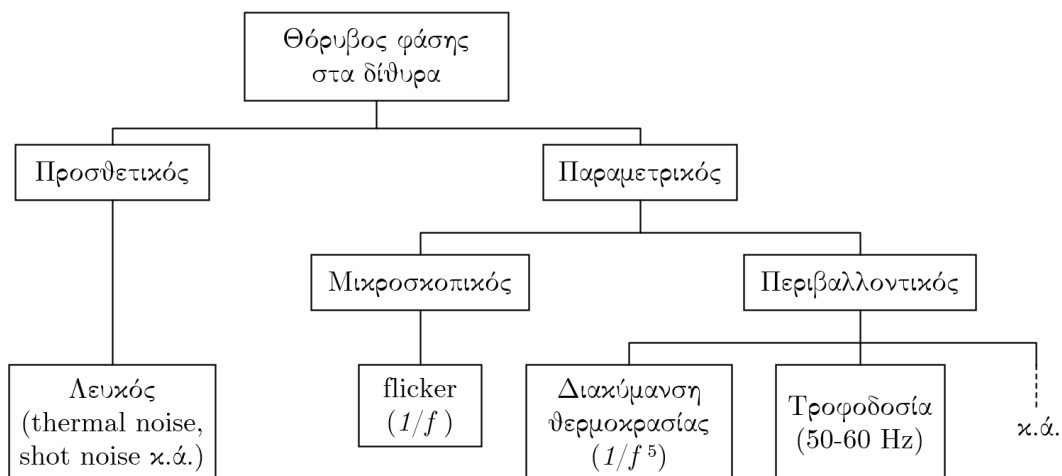
### 3.2 Θόρυβος Φάσης Δίθυρου Στοιχείου

Η μελέτη του θορύβου φάσης μπορεί να χωριστεί σε δύο τμήματα. Στη μελέτη του θορύβου που παρουσιάζουν οι ταλαντωτές και στη μελέτη του θορύβου που εισάγουν τα δίθυρα στοιχεία. Ο εγγενής θόρυβος που παρουσιάζει ένας ταλαντωτής ονομάζεται απόλυτος θόρυβος (absolute noise). Ο θόρυβος που εισάγουν οι συσκευές ενός κυκλώματος (π.χ. ενισχυτές, διαίρετες, γραμμές καθυστέρησης) ονομάζεται θόρυβος δίθυρων (two-port noise). Η παρουσία του είναι ανεξάρτητη του θορύβου των ταλαντωτών του συστήματος. Θεωρητικά μπορούμε να σκεφτούμε το θόρυβο δίθυρων ως το θόρυβο που υπεισέρχεται στο σήμα, όταν το σήμα εισόδου είναι ιδανικό, δηλαδή απαλλαγμένο από θόρυβο, όπως φαίνεται στο σχήμα 3.4.



Σχήμα 3.4: Two-port noise.

Υπάρχουν δύο βασικές κατηγορίες θορύβου στα δίθυρα: ο προσθετικός θόρυβος (additive noise) και ο παραμετρικός θόρυβος (parametric noise), όπως φαίνεται στο σχήμα 3.5. Προσθετικός θόρυβος ονομάζεται ο τυχαίος θόρυβος που μπορεί να αναπαρασταθεί ως μία πηγή τάσης ή ρεύματος, η οποία προστίθεται στο σήμα. Σε παραμετρικό θόρυβο αναφερόμαστε όταν μία διαδικασία κοντά στο dc πραγματοποιεί στο φέρον σήμα διαμόρφωση πλάτους ή φάσης (ή συνδυασμό και των δύο). Η ύπαρξη παραμετρικού θορύβου προϋποθέτει μη-γραμμικότητα και την παρουσία ενός φέροντος, σε αντίθεση με τον προσθετικό θόρυβο, ο οποίος είναι πάντα παρόν.



Σχήμα 3.5: Τύποι θορύβου στα δίθυρα στοιχεία.

Ο προσθετικός θόρυβος είναι γενικά λευκός, ενώ ο παραμετρικός μπορεί να παρουσιάσει οποιαδήποτε μορφή γύρω από τη συχνότητα φέροντος  $f_0$ , ανάλογα με τη διαδικασία κοντά στο dc που προκαλεί τη διαμόρφωση. Ανάμεσα στους παραμετρικούς θορύβους, ο θόρυβος flicker ( $1/f$ ) είναι τόσο σημαντικός που ο όρος "παραμετρικός θόρυβος" χρησιμοποιείται πολλές φορές ως συνώνυμο του. Περιβαλλοντικές διακυμάνσεις συχνά εμφανίζονται ως παραμετρικός θόρυβος σε συχνότητες πολύ κοντά στο φέρον.

### 3.2.1 Θερμικός θόρυβος

Η μονόπλευρη φασματική πυκνότητα ισχύος της ακτινοβολίας μελανού σώματος περιγράφεται από τη σχέση (3.2.1), όπου  $h$  η σταθερά του Planck ( $h = 6.02 \cdot 10^{-34} \text{J}\cdot\text{s}$ ) και  $k$  η σταθερά του Boltzmann ( $k = 1.38 \cdot 10^{-23} \text{J}/^\circ\text{K}$ ).

$$S(f) = \frac{hf}{e^{hf/kT} - 1} \simeq kT \quad \text{για } hf \ll kT \quad (3.2.1)$$

Μία αντίσταση σε θερμοκρασία  $T$ , μεγαλύτερη του απόλυτου μηδέν, ακτινοβολεί ως μελανό σώμα, εισάγοντας στο κύκλωμα θερμικό θόρυβο. Η μονόπλευρη φασματική πυκνότητα ισχύος του θορύβου εξαρτάται μόνο από τη θερμοκρασία (όπου  $T$  σε  $^\circ\text{K}$ ) και συμβολίζεται συνήθως με  $N$ .

$$N = kT \quad (3.2.2)$$

Η ισχύς θερμικού θορύβου που παράγεται από την αντίσταση σε εύρος συχνοτήτων  $B$  δίνεται από τη σχέση (3.2.3). Η μέγιστη ισχύς θερμικού θορύβου που μπορεί να αποδώσει η αντίσταση στο κύκλωμα προκύπτει από το θεώρημα μέγιστης μεταβίβασης ισχύος και ονομάζεται διαθέσιμη ισχύς. Η διαθέσιμη ισχύς της αντίστασης δίνεται από τη σχέση (3.2.4).

$$P_n = 4kTB \quad (3.2.3)$$

$$P_n^{(available)} = kTB \quad (3.2.4)$$

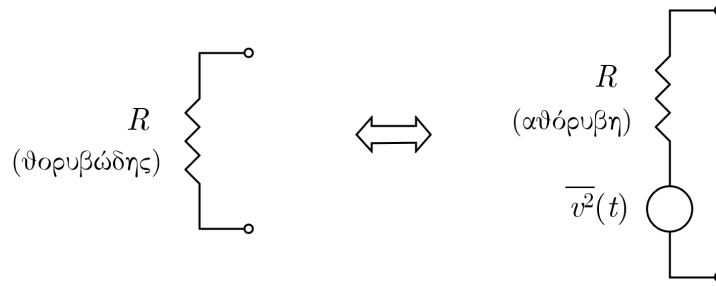
Λόγω του θερμικού θορύβου αναπτύσσεται στα άκρα της αντίστασης τυχαία τάση με φασματική πυκνότητα ισχύος, η οποία δίνεται από τη σχέση (3.2.4), όταν τα άκρα της αντίστασης είναι ανοιχτοκυκλωμένα και από τη σχέση (3.2.5), όταν η αντίσταση είναι τερματισμένη σε φορτίο.

$$S_v(f) = 4kTR \quad (\text{ανοιχτοκυκλωμένη αντίσταση}) \quad (3.2.5)$$

$$S_v(f) = kTR \quad (\text{τερματισμένη αντίσταση}) \quad (3.2.6)$$

Σύμφωνα με τα παραπάνω, μία θορυβώδης αντίσταση  $R$  μπορεί να μοντελοποιηθεί κυκλωματικά ως μία αθόρυβη αντίσταση  $R$  σε σειρά με μία πηγή θορύβου, της οποίας η μέση τετραγωνική τιμή τάσης δίνεται από την παρακάτω σχέση.

$$\overline{v^2}(t) = 4kTRB \quad (3.2.7)$$



Σχήμα 3.6: Μοντελοποίηση θερμικού θορύβου αντίστασης.

### 3.2.2 Θόρυβος βολής

Στις περισσότερες ηλεκτρονικές συσκευές η αγωγή του ρεύματος πραγματοποιείται ως ροή διακριτών ηλεκτρικών φορτίων  $q = 1.602 \times 10^{-19}$  C (φορτίο ηλεκτρονίου), καθένα εκ των οποίων δημιουργεί ένα παλμό ρεύματος. Η φασματική πυκνότητα ισχύος του λευκού θορύβου που προκύπτει λόγω του τυχαίου ρεύματος  $i(t)$  δίνεται από την ακόλουθη σχέση, όπου  $\bar{i}$  η μέση τιμή του ρεύματος.

$$S_i(f) = 2q\bar{i} \quad (3.2.8)$$

Οι φορείς στην ανωτέρω εξίσωση μπορούν να είναι είτε ηλεκτρόνια, είτε οπές (ή και συνδυασμός των δύο). Η φασματική πυκνότητα ισχύος του τυχαίου ρεύματος  $i(t)$  που διαρρέει μία αντίσταση  $R$  δίνεται από την παρακάτω σχέση.

$$S_i(f) = 2q\bar{i}R \quad (3.2.9)$$

### 3.2.3 Ισοδύναμη θερμοκρασία και συντελεστής θορύβου

Ένα πολύ βασικό εργαλείο που χρησιμοποιείται στην ανάλυση θορύβου συστημάτων είναι η *ισοδύναμη θερμοκρασία θορύβου*. Κάθε δίθυρο στοιχείο επιδρά στο κύκλωμα ως πηγή λευκού θορύβου, βασικές συνιστώσες του οποίου είναι ο θερμικός θόρυβος και ο θόρυβος βολής. Η μονόπλευρη φασματική πυκνότητα ισχύος  $N_x$  του λευκού θορύβου που μεταβιβάζεται από μία πηγή θορύβου σε προσαρμοσμένο φορτίο μπορεί να εκφραστεί ως

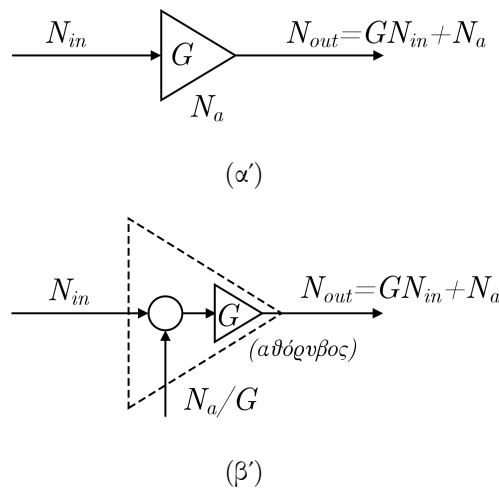
$$N_x = kT_x \quad (3.2.10)$$

,όπου το μέγεθος  $T_x$  ονομάζεται *ισοδύναμη θερμοκρασία θορύβου*. Δηλαδή, *ισοδύναμη θερμοκρασία θορύβου* ενός στοιχείου (ή κυκλώματος) είναι η φυσική θερμοκρασία σε °K μίας αντίστασης, η οποία παράγει στο ίδιο εύρος συχνοτήτων, την ίδια διαθέσιμη ισχύ θορύβου με την υπόψη πηγή. Η έννοια της *ισοδύναμης θερμοκρασίας θορύβου* επιτρέπει το χαρακτηρισμό του θορύβου ενός στοιχείου με όρους θερμοκρασίας. Όσο χαμηλότερη είναι η *ισοδύναμη θερμοκρασία θορύβου*, τόσο χαμηλότερο είναι το επίπεδο του θορύβου του δίθυρου στοιχείου.

Εξίσου σημαντικό μέγεθος για το χαρακτηρισμό του θορύβου ενός δίθυρου, είναι η παράμετρος  $F$ , η οποία ονομάζεται συντελεστής θορύβου (Noise Figure) και ορίζεται ακολούθως.

$$F = \frac{(SNR)_{in}}{(SNR)_{out}} \Big|_{T_{in}=T_0} \quad (3.2.11)$$

Ο συντελεστής θορύβου εκφράζει τον υποβιβασμό του σηματοθορυβικού λόγου που προκαλεί ένα δίθυρο, για μία συγκεκριμένη θερμοκρασία εισόδου  $T_{in}$ , η οποία ονομάζεται θερμοκρασία αναφοράς. Για τη θερμοκρασία αναφοράς έχει επικρατήσει η τιμή  $T_0 = 290 \text{ }^\circ\text{K}$ , η οποία αντιστοιχεί σε φασματική πυκνότητα ισχύος  $kT_0 = 4 \times 10^{-21} \text{ W/Hz}$ , δηλαδή  $-174 \text{ dBm}$  σε εύρος ζώνης  $1 \text{ Hz}$ .



Σχήμα 3.7: Ένας θορυβώδης ενισχυτής μοντελοποιείται κυκλωματικά με έναν αθόρυβο ενισχυτή και μία πηγή προσθετικού θορύβου στην είσοδό του.

Έστω ένας ενισχυτής με φασματική πυκνότητα ισχύος εσωτερικού θορύβου  $N_a$ . Ο θόρυβος στην έξοδο προκύπτει από το άθροισμα του εσωτερικού θορύβου του ενισχυτή και του θορύβου στην είσοδό του, ενισχυμένο κατά ένα παράγοντα  $G$  (το κέρδος του ενισχυτή).

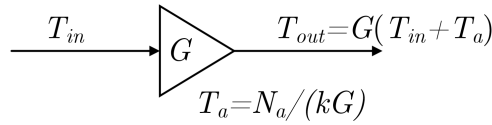
$$N_{out} = GN_{in} + N_a \quad (3.2.12)$$

Ο θόρυβος που εισάγεται από το κύκλωμα του ενισχυτή, αναπαριστάται συνήθως ως μία πηγή λευκού θορύβου στην είσοδο του, όπως φαίνεται στο σχήμα 3.7(β'). Επομένως, η ισοδύναμη θερμοκρασία θορύβου του ενισχυτή δίνεται από την παρακάτω σχέση.

$$T_a = \frac{N_a}{kG} \quad (3.2.13)$$

Εάν η ισοδύναμη θερμοκρασία θορύβου στην είσοδο του συστήματος είναι  $T_{in}$ , στην έξοδο του συστήματος λαμβάνουμε την ακόλουθη θερμοκρασία θορύβου.

$$T_{out} = G(T_{in} + T_a) \quad (3.2.14)$$



Σχήμα 3.8: Περιγραφή του θορύβου του συστήματος με όρους ισοδύναμης θερμοκρασίας θορύβου.

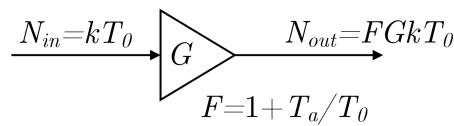
Ο συντελεστής θορύβου του ενισχυτή υπολογίζεται συναρτήσει των  $T_{in}$  και  $T_a$ . Θεωρούμε ότι η θερμοκρασία εισόδου ισούται με τη θερμοκρασία αναφοράς  $T_0$ .

$$F = \frac{P_s^{(in)}/P_n^{(in)}}{GP_s^{(in)}/P_n^{(out)}} \Big|_{T_{in}=T_0} = 1 + \frac{T_a}{T_{in}} \Big|_{T_{in}=T_0} \quad (3.2.15)$$

Τυπικές τιμές του συντελεστή θορύβου ενός low-noise ενισχυτή είναι 0.5-2 dB, ανάλογα με την τεχνολογία, τη συχνότητα και το εύρος ζώνης του ενισχυτή. Η φασματική πυκνότητα ισχύος στην έξοδο του ενισχυτή, με  $N_{in} = kT_0$ , περιγράφεται από τη σχέση (3.2.16).

$$N_{out} = kT_{out} = kG(T_0 + T_a) = GkT_0(1 + \frac{T_a}{T_0}) = FGkT_0 \quad (3.2.16)$$

Παρατηρούμε ότι η χρήση του συντελεστή θορύβου επιτρέπει τον υπολογισμό του  $N_{out}$  απευθείας από τη φασματική πυκνότητα ισχύος  $N_{in}$  του θορύβου στην είσοδο. Ο συντελεστής θορύβου χρησιμοποιείται κατά κόρον για την περιγραφή των επιδόσεων θορύβου μικροκυματικών διατάξεων (π.χ. σε τηλεπικοινωνιακά συστήματα). Υπενθυμίζουμε ότι τα μεγέθη της ισοδύναμης θερμοκρασίας θορύβου και του συντελεστή θορύβου περιγράφουν το συνολικό λευκό θόρυβο που εισάγει ένα στοιχείο στο κύκλωμα, συμπεριλαμβάνοντας όλα τα φαινόμενα παραγωγής θορύβου (θερμικό θόρυβο, θόρυβο βολής, κ.α.).



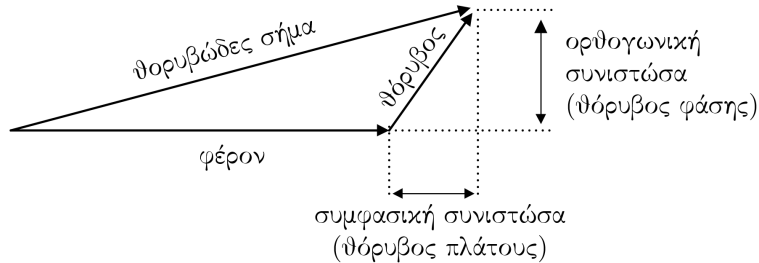
Σχήμα 3.9: Περιγραφή της επίδοσης θορύβου του ενισχυτή με το συντελεστή θορύβου.

### 3.2.4 Φάσμα Θορύβου Δίθυρου Στοιχείου

Η μορφή του φάσματος θορύβου που παρουσιάζουν τα δίθυρα στοιχεία διαμορφώνεται από το συνδυασμό δύο φαινομένων θορύβου, το λευκό θόρυβο και το θόρυβο  $1/f$ .

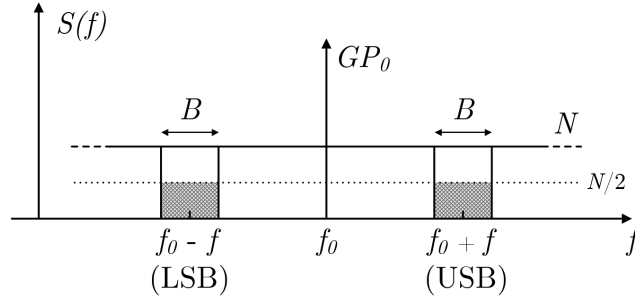
Η ισχύς του λευκού θορύβου μοιράζεται ισόποσα στους δύο βαθμούς ελευθερίας του σήματος, δηλαδή στην ορθογωνική και στη συμφασική συνιστώσα, ως προς το φέρον. Ισοδύναμα, η ισχύς του θορύβου κατανέμεται ισόποσα στο θόρυβο φάσης και στο θόρυβο πλάτους του σήματος. Θεωρούμε δίθυρο στοιχείο, το οποίο χαρακτηρίζεται από λευκό θόρυβο φασματικής πυκνότητας ισχύος  $N$ ,

όπως φαίνεται στο σχήμα 3.11(α'). Για τον υπολογισμό του θορύβου φάσης που υπεισέρχεται στο σήμα λόγω του λευκού προσθετικού θορύβου θα χρησιμοποιήσουμε την αναπαράσταση του σήματος με περιστρεφόμενα διανύσματα του σχήματος 3.11(β').

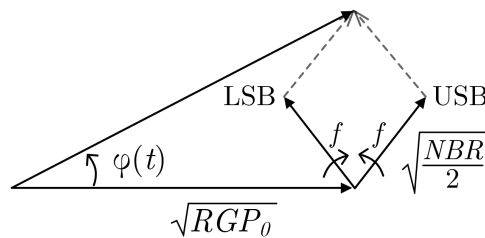


Σχήμα 3.10: Απεικόνιση των δύο βαθμών ελευθερίας του σήματος.

Θεωρούμε φέρον με ισχύ  $P_0$  στην είσοδο του δίθυρου, το οποίο παρουσιάζει κέρδος  $G$ . Η ισχύς του φέροντος που καταναλώνεται σε αντίσταση  $R$  στην έξοδο του δίθυρου, αντιστοιχεί σε περιστρεφόμενο διάνυσμα rms τάσης  $\sqrt{RGP_0}$ , πάνω στον πραγματικό άξονα. Η ισχύς του θορύβου σε εύρος ζώνης  $B$  είναι  $NB$ , επομένως  $NB/2$  σε κάθε βαθμό ελευθερίας. Επομένως, η φασματική πυκνότητα ισχύος του λευκού θορύβου που αντιστοιχεί σε θόρυβο φάσης, είναι  $N/2$ .



(α')



(β')

Σχήμα 3.11

Ο θόρυβος φάσης αναπαριστάται με δύο περιστρεφόμενα διανύσματα, καθένα από τα οποία αντιστοιχεί σε μία πλευρική ζώνη. Το διάνυσμα που αντιστοιχεί στην άνω πλευρική ζώνη (USB) περιστρέφεται με συχνότητα  $f$  γύρω από την κορυφή του διανύσματος φέροντος και το μέτρο του



δίνεται από την ακόλουθη σχέση.

$$V_{USB(rms)} = \sqrt{\frac{NBR}{2}} \quad (3.2.17)$$

Αντίστοιχα, το διάνυσμα που αντιστοιχεί στην κάτω πλευρική ζώνη (LSB) παρουσιάζει το ίδιο μέτρο και περιστρέφεται με συχνότητα  $-f$ . Τα δύο περιστρεφόμενα διανύσματα βρίσκονται σε ορθογώνια θέση τη χρονική  $t = 0$ , έτσι ώστε η συνισταμένη τους να βρίσκεται πάντα στον κατακόρυφο άξονα ως προς το φέρον (καθώς περιστρέφονται με ίδια συχνότητα αλλά αντίθετη φορά). Συνεπώς, η μέγιστη τιμή της συνισταμένης τους είναι  $\sqrt{2NBR}$ . Το άθροισμα του φέροντος με τη συνισταμένη των δύο διανυσμάτων θορύβου φάσης (USB και LSB), είναι ένα διάνυσμα με μέγιστη φάση  $\phi_{max}$ , η οποία μπορεί να προσεγγιστεί μέσω του ημιτόνου, καθώς λαμβάνει πολύ μικρές τιμές γύρω από το μηδέν.

$$\phi_{max} \approx \sin(\phi_{max}) = \sqrt{\frac{2NB}{GP_0}} \quad \text{για } \phi_{max} \ll 1 \quad (3.2.18)$$

Το διάνυσμα που προκύπτει από το άθροισμα φέροντος και θορύβου φάσης ταλαντώνεται ημιτονικά ως προς τον πραγματικό άξονα, επομένως η rms τιμή της φάσης ισούται με  $\phi_{max}/\sqrt{2}$ .

$$\phi_{rms} = \sqrt{\frac{NB}{GP_0}} \quad (3.2.19)$$

Η φασματική πυκνότητα ισχύος υπολογίζεται ως η μέση τετραγωνική τιμή του θορύβου φάσης ανά μονάδα εύρους ζώνης και είναι ανεξάρτητη της συχνότητας ( $S(f) = b_0$ ).

$$b_0 = \frac{\phi_{rms}^2}{B} = \frac{N}{GP_0} \quad (3.2.20)$$

Υποθέτοντας ότι ο συντελεστής θορύβου του δίθυρου είναι  $F$ , η ανωτέρω σχέση, σύμφωνα με τη σχέση (3.2.16), λαμβάνει την ακόλουθη μορφή.

$$b_0 = \frac{FkT_0}{P_0} \quad (3.2.21)$$

Εκτός από λευκό θόρυβο, τα δίθυρα παρουσιάζουν επίσης θόρυβο flicker. Ο θόρυβος flicker εμφανίζεται όταν υπάρχει φέρον, με επαρκή ισχύ, σε κάποια συχνότητα  $f_0$ . Οι πλευρικές ζώνες του θορύβου διευρύνονται ανάλογα με την ισχύ του φέροντος. Ο  $1/f$  θόρυβος γύρω από το φέρον είναι αποτέλεσμα του θορύβου flicker κοντά στο dc, ο οποίος διαμορφώνει το πλάτος και τη φάση του φέροντος. Υπάρχουν δύο κύριοι μηχανισμοί που προκαλούν τη διαμόρφωση του φέροντος. Ο πρώτος μηχανισμός βασίζεται στις μη γραμμικότητες που παρουσιάζει ένα δίθυρο στοιχείο (nonlinear mechanism), ενώ ο δεύτερος οφείλεται στις διακυμάνσεις του κέρδους (quasi-linear parametric mechanism). Και οι δύο μηχανισμοί είναι παρόντες στις πραγματικές ηλεκτρονικές συσκευές, δημιουργώντας  $1/f$  θόρυβο φάσης.

Υποθέτουμε ότι ο λευκός θόρυβος και ο θόρυβος flicker είναι μεταξύ τους ανεξάρτητοι, το οποίο επιβεβαιώνεται πειραματικά. Ο συνδυασμός των δύο φαινομένων θορύβου αποτελεί το θόρυβο φάσης ενός δίθυρου στοιχείου και περιγράφεται με την ακόλουθη φασματική πυκνότητα ισχύος. Ο συντελεστής  $b_{-1}$  είναι μία σταθερά, η οποία προκύπτει πειραματικά από το εκάστοτε δίθυρο.

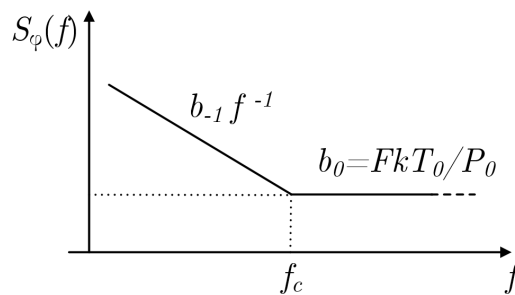
$$S_{\phi}(f) = b_0 + b_{-1} \frac{1}{f} \quad (3.2.22)$$

$$b_0 = \frac{FkT_0}{P_0}$$

$$b_{-1} = \text{σταθερά}$$

Στο σχήμα 3.12 απεικονίζεται το φάσμα του θορύβου φάσης που προκύπτει. Παρατηρούμε ότι ο θόρυβος φάσης ισούται με το θόρυβο flicker στη συχνότητα καμπής  $f_c$ . Χαμηλότερα της συχνότητας καμπής εμφανίζεται θόρυβος  $1/f$ .

$$f_c = \frac{b_{-1}}{b_0} = \frac{b_{-1}}{FkT_0} P_0 \quad (3.2.23)$$



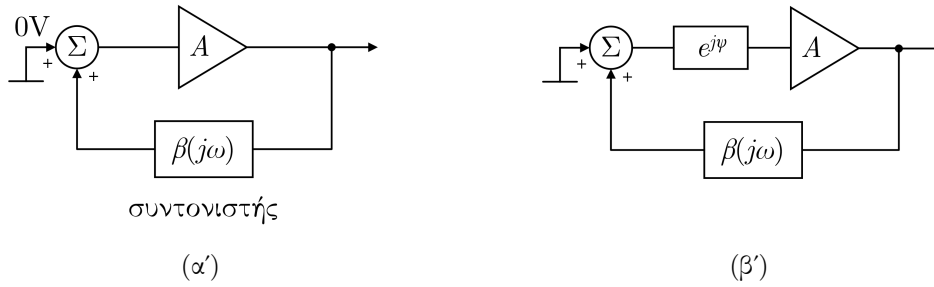
Σχήμα 3.12: Απεικόνιση του φάσματος ενός δίθυρου στοιχείου συντελεστή θορύβου  $F$ .

### 3.3 Θόρυβος Φάσης Ταλαντωτή

Η διάταξη ενός ταλαντωτή ανάδρασης αποτελείται από έναν ενισχυτή και ένα συντονιστή, συνδεδεμένους σε ένα βρόχο ανάδρασης, όπως φαίνεται στο σχήμα 3.13(α'). Το κέρδος  $A$  του ενισχυτή αντισταθμίζει σε μία συγκεκριμένη συχνότητα  $\omega_0$  τις απώλειες που εισάγει ο συντονιστής. Προκειμένου το σύστημα να ταλαντώνει, το μέτρο και η φάση του κέρδους βρόχου  $A\beta(j\omega)$  θα πρέπει να ικανοποιούν κάποιες αναγκαίες συνθήκες, στη συχνότητα ταλάντωσης  $\omega_0$ . Οι συνθήκες διατυπώνονται στο κριτήριο ευστάθειας *Barkhausen*:

$$|A\beta(j\omega_0)| = 1 \quad (3.3.1)$$

$$\arg A\beta(j\omega_0) = 0 \quad (3.3.2)$$



Σχήμα 3.13: (α') Τυπική διάταξη ενός ταλαντωτή ανάδρασης. (β') Ρύθμιση της συχνότητας ταλάντωσης εισάγοντας στο βρόχο στατική φάση  $\psi$ .

Εάν ικανοποιείται το κριτήριο Barkhausen στη συχνότητα  $\omega_0$  το σήμα επαναλαμβάνεται μετά από ένα πλήρη κύκλο στο βρόχο. Σε κάθε άλλη συχνότητα το σήμα αποσβένει, καθώς το κέρδος βρόχου είναι μικρότερο της μονάδας. Οι ταλαντώσεις εκκινούν λόγω του εσωτερικού θορύβου, ο οποίος αναπαριστάται θεωρητικά ως είσοδος 0V στον ταλαντωτή. Προκειμένου η ταλάντωση να φτάσει στο επιθυμητό πλάτος, θα πρέπει να ισχύει  $|A\beta(j\omega)| > 1$ , για μικρά σήματα στη συχνότητα  $\omega_0$ . Καθώς το πλάτος του σήματος στο βρόχο αυξάνει εκθετικά, ένας μηχανισμός ελέγχου του πλάτους μειώνει το κέρδος βρόχου, μέχρι να φτάσει στη συνθήκη ευστάθειας  $|A\beta(j\omega)| = 1$ . Τότε, το πλάτος του σήματος σταθεροποιείται και ο ταλαντωτής εισέρχεται σε σταθερή κατάσταση.

Η συχνότητα ταλάντωσης  $\omega_0$  δε συμπίπτει πάντα με τη φυσική συχνότητα  $\omega_n$  του συντονιστή. Φυσικά, η συχνότητα ταλάντωσης δεν μπορεί να απομακρυνθεί πολύ από τη συχνότητα του συντονιστή, παρά μόνο να μετατοπιστεί σε μια περιοχή γύρω από αυτή. Μία απλή μέθοδος για τη ρύθμιση της συχνότητας ταλάντωσης είναι η εισαγωγή στατικής φάσης  $\psi$  στο βρόχο, όπως φαίνεται στο σχήμα 3.13(β'). Η συνθήκη της φάσης στο κριτήριο Barkhause λαμβάνει την παρακάτω μορφή.

$$\arg A\beta(j\omega_0) + \psi = 0 \quad \text{για } \omega = \omega_0 \quad (3.3.3)$$

Επομένως, η συχνότητα ταλάντωσης μετατοπίζεται κατά μία γωνία  $\Delta\omega$ , από τη συχνότητα  $\omega_n$ .

$$\omega_0 = \omega_n + \Delta\omega \quad (3.3.4)$$

Όταν  $\psi > 0$  το σύστημα ταλαντώνει σε μεγαλύτερη συχνότητα από τη φυσική ( $\Delta\omega > 0$ ), όπως φαίνεται στο σχήμα 3.14. Η συχνότητα ταλάντωσης δεν μπορεί να μετατοπιστεί απεριόριστα. Η περιοχή μέσα στην οποία μπορεί να κινηθεί καθορίζεται από το εύρος των συχνοτήτων, στις οποίες ο ταλαντωτής μπορεί να εκκινήσει (και άρα να φτάσει σε κορεσμό), δηλαδή ισχύει

$$|A\beta(j\omega)| > 1 \quad \text{για μικρά σήματα.} \quad (3.3.5)$$

Η κλίση της καμπύλης  $\arg A\beta(j\omega)$  στη γραμμική περιοχή περιγράφεται από την ακόλουθη σχέση.

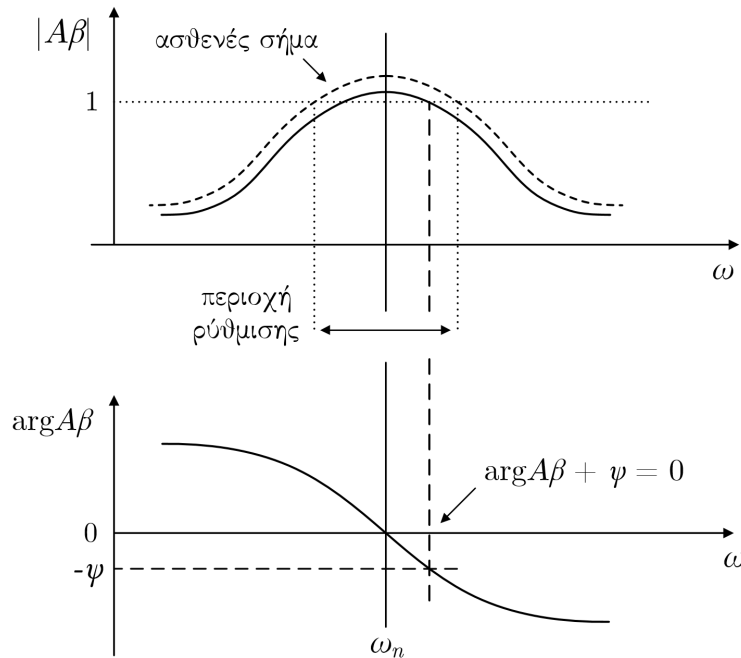
$$\frac{d[\arg A\beta(j\omega)]}{d\omega} = \frac{-\psi}{\Delta\omega} \quad (3.3.6)$$

Εάν το κύκλωμα του συντονιστή περιγράφεται από διαφορική εξίσωση 2ης-τάξης, με υψηλό συντελεστή ποιότητας  $Q$ , κοντά στη φυσική συχνότητα  $\omega_n$  ισχύει η παρακάτω σχέση.

$$\frac{d[\arg A\beta(j\omega)]}{d\omega} = -\frac{2Q}{\omega_n} \quad (3.3.7)$$

Συνδυάζοντας τις σχέσεις (3.3.6) και (3.3.7), η κλασματική μετατόπιση της συχνότητας που εισάγεται από τη στατική φάση  $\psi$ , περιγράφεται από τη σχέση

$$\frac{\Delta\omega}{\omega_0} = \frac{\Delta f}{f_0} = \frac{\psi}{2Q} \quad \text{για} \quad \frac{\Delta\omega}{\omega_0} \ll \frac{1}{2Q}. \quad (3.3.8)$$



Σχήμα 3.14: Ρύθμιση της συχνότητας ταλάντωσης εισάγοντας στο βρόχο στατική φάση  $\psi$ .

### 3.3.1 Φαινόμενο Leeson

Έστω ένας ταλαντωτής ανάδρασης, ο οποίος αποτελείται από ιδανικό συντονιστή, με συντελεστή ποιότητας  $Q \geq 10$ . Η σταθερά χρόνου του συντονιστή δίνεται από την παρακάτω σχέση.

$$\tau = \frac{Q}{\pi} T_0 = \frac{Q}{\pi f_0} = \frac{2Q}{\omega_0} \quad (3.3.9)$$

Παρ' ότι θεωρήσαμε το συντονιστή ιδανικό, στο σύστημα εισάγεται θόρυβος φάσης λόγω του ενισχυτή. Συνεπώς, η φάση του σήματος στην έξοδο του ταλαντωτή μεταβάλλεται με το χρόνο.

$$v(t) = V_0 \cos[\omega_0 t + \phi(t)] \quad (3.3.10)$$

Μπορούμε να μοντελοποιήσουμε το θόρυβο φάσης του ενισχυτή αντικαθιστώντας τη στατική φάση  $\psi$  του σχήματος 3.13(β') με χρονικά μεταβαλλόμενη φάση  $\psi(t)$ . Υπάρχουν δύο περιπτώσεις για τη διακύμανση της φάσης.

Στην πρώτη περίπτωση η διακύμανση  $\psi(t)$  είναι πιο αργή από την αντίστροφη τιμή της σταθεράς χρόνου του συντονιστή και η απόκριση του ταλαντωτή δίνεται από τη σχέση (3.3.8) που υπολογίσαμε στην περίπτωση της στατικής φάσης. Η φασματική πυκνότητα ισχύος της διακύμανσης της συχνότητας δίνεται από την ακόλουθη σχέση.

$$S_{\Delta f}(f) = \left(\frac{f_0}{2Q}\right)^2 S_{\psi}(f) \quad (3.3.11)$$

Η στιγμιαία τιμή της διακύμανσης φάσης ισούται με το ολοκλήρωμα της διακύμανσης συχνότητας.

$$\phi(t) = 2\pi \int (\Delta f)(t) dt \quad (3.3.12)$$

Η ολοκλήρωση στο πεδίο του χρόνου αντιστοιχεί σε πολλαπλασιασμό με  $1/(j2\pi f)$  στο μετασχηματισμό Fourier, άρα με πολλαπλασιασμό  $1/(2\pi f)^2$  στο πεδίο της συχνότητας. Επομένως, στην περίπτωση των αργών διακυμάνσεων της φάσης, το φάσμα του θορύβου φάσης στην έξοδο του ταλαντωτή περιγράφεται από την παρακάτω σχέση.

$$S_{\phi}(f) = \frac{1}{f^2} \left(\frac{f_0}{2Q}\right)^2 S_{\psi}(f) \quad (3.3.13)$$

Όταν η διακύμανση  $\psi(t)$  είναι πιο γρήγορη από την αντίστροφη τιμή της σταθεράς χρόνου του συντονιστή, ο συντονιστής δεν προλαβαίνει να "αντιδράσει" και η διακύμανση δεν ολοκληρώνει το βρόχο της ανάδρασης. Στην περίπτωση αυτή δεν υπάρχει ανατροφοδότηση της διακύμανσης φάσης, επομένως η τελευταία διέρχεται αυτούσια στην έξοδο του ταλαντωτή.

$$\phi(t) = \psi(t) \quad \text{και} \quad S_{\phi}(f) = S_{\psi}(f) \quad (3.3.14)$$

Συνδυάζοντας την επίδραση των αργών και των γρήγορων διακυμάνσεων, προκύπτει η εξίσωση Leeson, η οποία συσχετίζει το φάσμα του θορύβου φάσης στην έξοδο του ταλαντωτή με τις διακυμάνσεις στη φάση του σήματος λόγω του ενισχυτή. Η εξίσωση Leeson διατυπώνεται ως

$$S_{\phi}(f) = \left(1 + \frac{f_L^2}{f^2}\right) S_{\psi}(f) \quad (3.3.15)$$

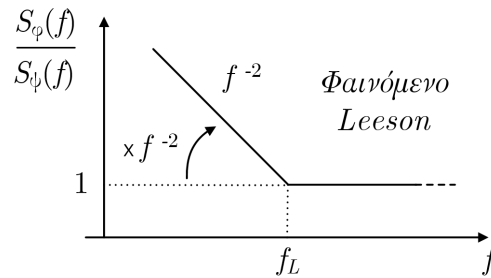
,όπου

$$f_L = \frac{f_0}{2Q} = \frac{1}{2\pi\tau} \quad (3.3.16)$$

είναι η συχνότητα Leeson. Παρατηρούμε ότι ο ταλαντωτής συμπεριφέρεται σαν φίλτρο 1ης-τάξης με ιδανικό ολοκληρωτή και με συχνότητα αποκοπής  $f_L$ . Η εξίσωση Leeson εκφράζεται πολλές φορές

ως συνάρτηση μεταφοράς, η οποία διατυπώνεται στη σχέση (3.3.17) και απεικονίζεται σε log-log κλίμακα στο σχήμα 3.15. Παρατηρούμε ότι χαμηλότερα της συχνότητας  $f_L$ , η κλίση της καμπύλης του θορύβου φάσης αυξάνεται κατά δύο τάξεις. Υπενθυμίζουμε ότι για τον υπολογισμό της σχέσης (3.3.15) δε λήφθηκε υπόψιν ο θόρυβος φάσης του συντονιστή.

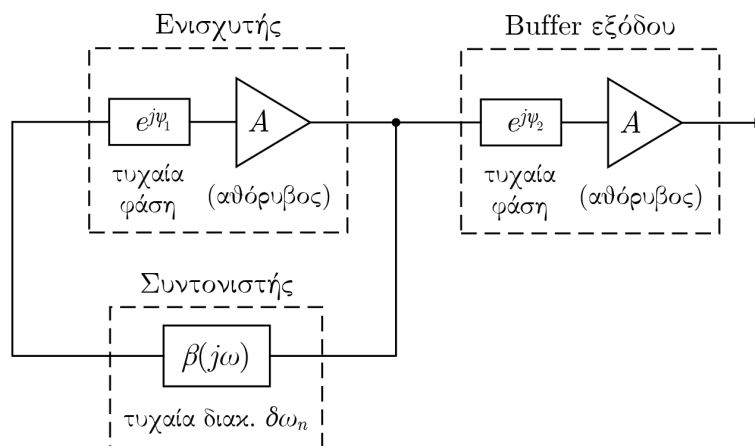
$$|H(jf)|^2 = \frac{S_\phi}{S_\psi} = 1 + \frac{f_L^2}{f^2} \quad (3.3.17)$$



Σχήμα 3.15: Επίδραση του φαινομένου Leeson στη συνάρτηση μεταφοράς θορύβου του ταλαντωτή.

### 3.3.2 Φάσμα Θορύβου Ταλαντωτή

Ένας πραγματικός ταλαντωτής αποτελείται από έναν ενισχυτή αντιστάθμισης, ένα συντονιστή και ένα buffer εξόδου, όπως φαίνεται στο σχήμα 3.16. Κάθε στοιχείο εισάγει το δικό του θόρυβο φάσης. Στην ανάλυση που ακολουθεί, θεωρούμε ότι ο θόρυβος φάσης ενός ενισχυτή αποτελείται αποκλειστικά από λευκό και flicker θόρυβο φάσης, καθώς ο περιβαλλοντικός θόρυβος εμφανίζεται σε συχνότητες, όπου κυριαρχεί το φαινόμενο της αστάθειας του συντονιστή. Ο θόρυβος φάσης που εισάγεται από τους ενισχυτές μοντελοποιείται ως τυχαία φάση του σήματος στην είσοδό τους. Η μελέτη του θορύβου φάσης στην έξοδο του ταλαντωτή πραγματοποιείται σε τρία στάδια.

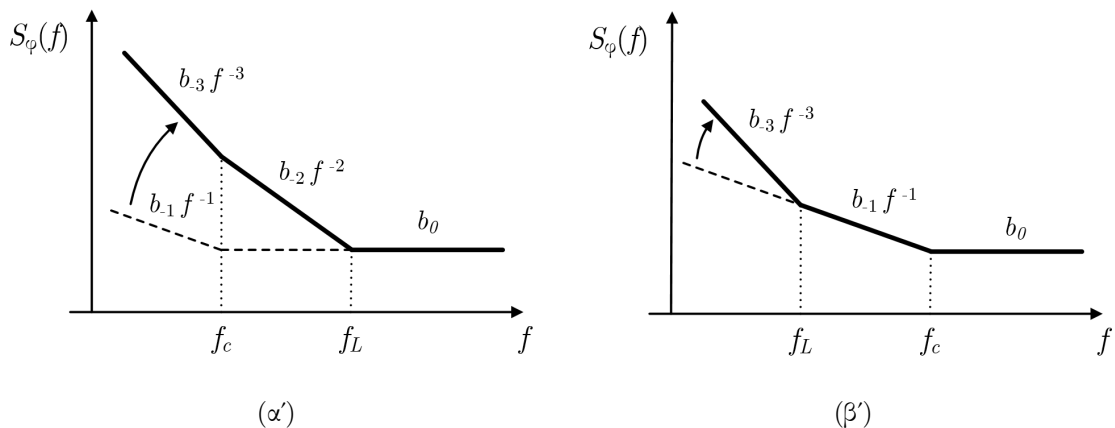


Σχήμα 3.16: Μπλοκ διάγραμμα ενός πραγματικού ταλαντωτή.

### Θορυβώδης ενισχυτής και ιδανικός συντονιστής

Αρχικά, υποθέτουμε ότι το μόνο στοιχείο που εισάγει θόρυβο φάσης στο σύστημα είναι ο ενισχυτής αντιστάθμισης. Θεωρούμε δηλαδή ότι ο συντονιστής είναι ιδανικός και αγνοούμε το θόρυβο φάσης που εισάγεται από τον buffer εξόδου. Έχουμε δει ότι ο θόρυβος φάσης ενός δίθυρου στοιχείου, όπως είναι ο ενισχυτής αντιστάθμισης, είναι λευκός στις υψηλότερες συχνότητες και τύπου flicker σε συχνότητες χαμηλότερα της συχνότητα καμψής  $f_c$ . Όταν ο ενισχυτής εισάγεται στο βρόχο ενός ταλαντωτή, το φαινόμενο Leeson επηρεάζει τη μορφή του φάσματος χαμηλότερα της συχνότητας Leeson  $f_L$ . Ανάλογα με τη σχετική θέση των συχνοτήτων  $f_c$  και  $f_L$  προκύπτουν δύο τύποι φάσματος, οι οποίοι παρουσιάζονται στο σχήμα 3.17.

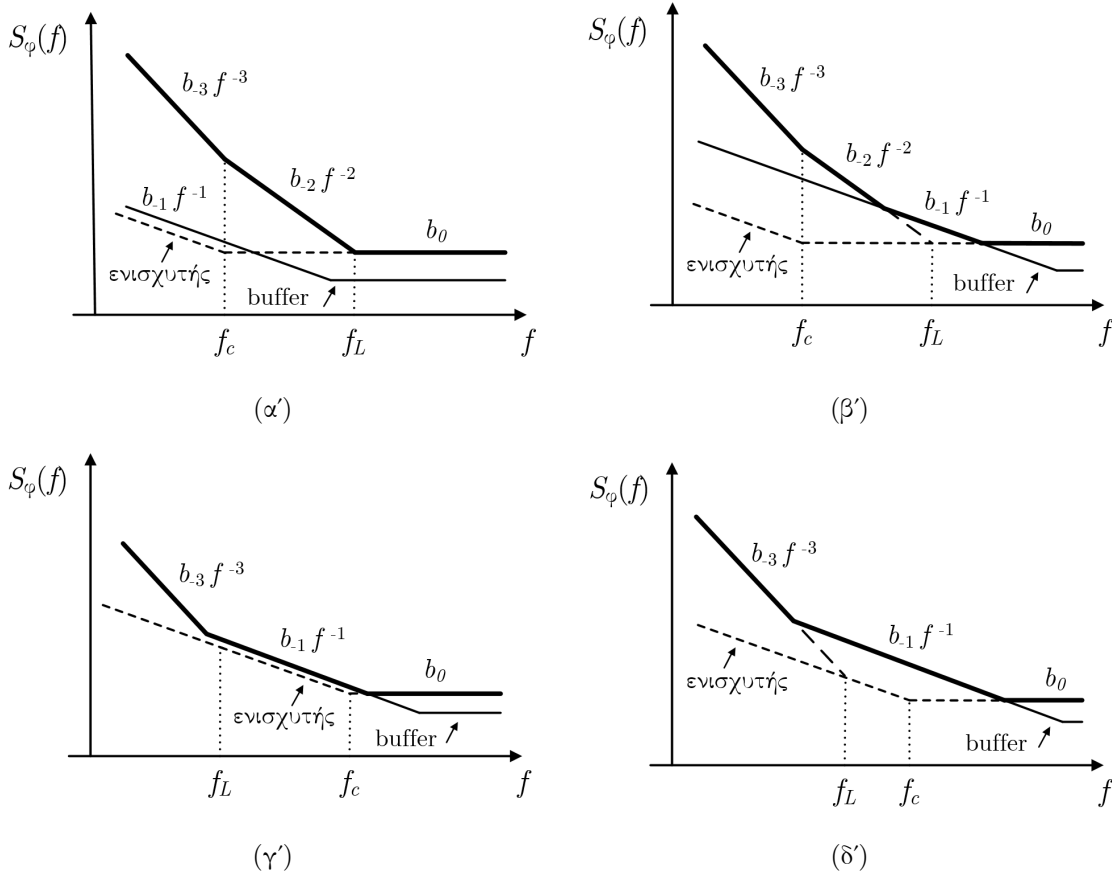
Ο τύπος φάσματος του σχήματος 3.17(α') συναντάται συχνά σε μικροκυματικούς και σε υψίσυχνους πιεζοηλεκτρικούς ταλαντωτές, στους οποίους η συχνότητα  $f_L$  είναι μεγαλύτερη της  $f_c$ , λόγω της υψηλής συχνότητας ταλάντωσης  $f_0$  και του χαμηλού συντελεστή ποιότητας  $Q$ . Ο τύπος φάσματος που παρουσιάζεται στο σχήμα 3.17(β') απαντάται σε RF (2.5-10 MHz) ταλαντωτές υψηλής ευστάθειας και σε κρυογονικούς μικροκυματικούς ταλαντωτές, οι οποίοι χρησιμοποιούν συντονιστές υψηλού συντελεστή ποιότητας, με αποτέλεσμα η  $f_L$  να βρίσκεται χαμηλότερα της  $f_c$ .



Σχήμα 3.17: Μορφή του φάσματος θορύβου στην έξοδο του ενισχυτή αντιστάθμισης (με ιδανικό συντονιστή), στην περίπτωση (α')  $f_L > f_c$  και (β')  $f_L < f_c$ .

### Επίδραση του buffer εξόδου

Διατηρώντας την υπόθεση ότι ο συντονιστής είναι ιδανικός, θέλουμε να δούμε την επίδραση του buffer εξόδου στο θόρυβο φάσης του συστήματος. Συνήθως, ο ενισχυτής και ο buffer βασίζονται στην ίδια τεχνολογία, επομένως παρουσιάζουν παρόμοια χαρακτηριστικά θορύβου φάσης. Σε κάποιες όμως περιπτώσεις, στη θέση του ενισχυτή αντιστάθμισης χρησιμοποιείται ένας ενισχυτής χαμηλού θορύβου flicker (noise-degeneration amplifier), προκειμένου να περιοριστεί η επίδραση του φαινομένου Leeson. Στις περιπτώσεις αυτές, οι τεχνολογίες του ενισχυτή και του buffer διαφέρουν σημαντικά, γεγονός που επηρεάζει τη μορφή του φάσματος θορύβου στην έξοδο του συστήματος. Μπορούμε να διακρίνουμε τέσσερις περιπτώσεις, οι οποίες απεικονίζονται στο σχήμα 3.17.



Σχήμα 3.18: Επίδραση του buffer εξόδου στο φάσμα θορύβου του ταλαντωτή.

Στην πρώτη περίπτωση (σχήμα 3.18(α')) ο ενισχυτής αντιστάθμισης και ο buffer βασίζονται στην ίδια τεχνολογία. Η συχνότητα καμψής του buffer βρίσκεται χαμηλότερα της συχνότητας Leeson, επομένως ο θόρυβος φάσης που παρουσιάζει αφήνει αναλλοίωτο το φάσμα θορύβου του συστήματος. Αυτός ο τύπος φάσματος αποτελεί τυπική περίπτωση απλών μικροκυματικών ταλαντωτών, όπως οι ταλαντωτές DRO (Dielectric Resonance Oscillators) και τύπου YIG (Yttrium Iron Garnet).

Στη δεύτερη περίπτωση (σχήμα 3.18(β')), χρησιμοποιείται στο βρόχο του ταλαντωτή ένας noise-degeneration ενισχυτής, του οποίου η συχνότητα καμψής  $f_c$  βρίσκεται πολύ χαμηλότερα σε σχέση με τη συχνότητα καμψής ενός τυπικού ενισχυτή, όπως είναι ο buffer. Το κόστος και η πολυπλοκότητα των noise-degeneration ενισχυτών καθιστούν τη χρήση τους απαγορευτική οπουδήποτε αλλού εκτός του βρόχου του ταλαντωτή, όπου λαμβάνει χώρα το φαινόμενο Leeson. Η διαφορά στο φάσμα θορύβου του ενισχυτή αντιστάθμισης και του buffer, έχει ως αποτέλεσμα την εμφάνιση κλίσης  $1/f$  στο φάσμα της εξόδου, λόγω του θορύβου flicker του buffer. Ο συγκεκριμένος τύπος φάσματος παρατηρείται μόνο σε εξεζητημένους μικροκυματικούς ταλαντωτές χαμηλού θορύβου, στους οποίους χρησιμοποιούνται κρυογενικοί συντονιστές και noise-degeneration ενισχυτές.

Η τρίτη περίπτωση φάσματος (σχήμα 3.18(γ')) προκύπτει όταν ο ενισχυτής αντιστάθμισης και ο buffer βασίζονται στην ίδια τεχνολογία και η συχνότητα καμψής του ενισχυτή βρίσκεται υψηλότερα



της συχνότητας Leeson. Επειδή το κύκλωμα του buffer αποτελείται συνήθως από περισσότερα στάδια ο θόρυβος flicker που παρουσιάζει βρίσκεται υψηλότερα του αντίστοιχου θορύβου του ενισχυτή. Αυτό έχει ως αποτέλεσμα τη μετατόπιση του σημείου καμπής μεταξύ των καμπυλών  $1/f$  και  $1/f^3$ , λίγο χαμηλότερα της συχνότητας Leeson. Ο εν λόγω τύπος φάσματος απαντάται σε 5-10 MHz quartz ταλαντωτές υψηλής ευστάθειας, καθώς και σε μικροκυματικούς κρουγενικούς ταλαντωτές.

Η τέταρτη περίπτωση φάσματος (σχήμα 3.18(δ')) προκύπτει όταν χρησιμοποιείται noise-degeneration ενισχυτής, του οποίου η συχνότητα καμπής  $f_c$  βρίσκεται υψηλότερα της συχνότητας Leeson. Παρατηρούμε ότι η μορφή του φάσματος παραμένει ίδια με την τρίτη περίπτωση, με τη διαφορά ότι το φαινόμενο Leeson καλύπτεται πλέον αισθητά από το θόρυβο  $1/f$  του buffer εξόδου. Η μορφή του συγκεκριμένου φάσματος δε συναντάται συχνά, παρά μόνο σε κάποιους εξεζητημένους 5-10 MHz quartz ταλαντωτές, στους οποίους η συχνότητα Leeson είναι της τάξης των 1-10 MHz.

### Επίδραση του συντονιστή

Τα κύρια φαινόμενα θορύβου που παρουσιάζονται στο συντονιστή είναι ο θερμικός θόρυβος, ο θόρυβος flicker και ο θόρυβος τυχαίου περιπάτου (random walk) της συχνότητας συντονισμού. Ο θερμικός θόρυβος περιλαμβάνεται στον ισοδύναμο θόρυβο εισόδου του ενισχυτή, τον οποίο μοντελοποιήσαμε ως τυχαία φάση του σήματος. Ο θόρυβος flicker και ο θόρυβος τυχαίου περιπάτου εμφανίζονται στη φασματική πυκνότητα ισχύος της κλασματικής συχνότητας  $S_y(f)$  του συντονιστή ως όροι  $1/f$  και  $1/f^2$  αντίστοιχα. Η φασματική πυκνότητα ισχύος του θορύβου φάσης  $S_\phi$  συνδέεται με τη φασματική πυκνότητα ισχύος της κλασματικής συχνότητας  $S_y(f)$ , μέσω της σχέσης (3.1.9), την οποία επαναλαμβάνουμε εδώ.

$$S_\phi = \frac{f_0^2}{f^2} S_y(f)$$

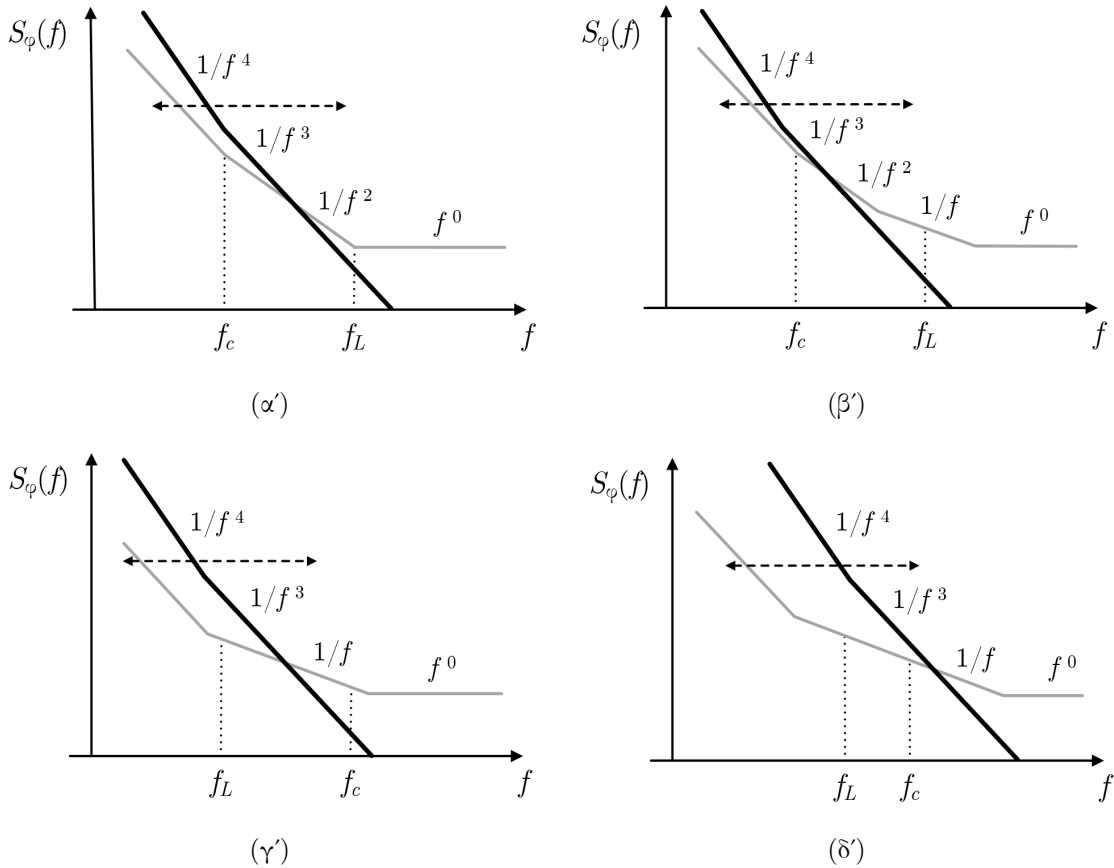
Παρατηρούμε ότι οι όροι  $1/f$  και  $1/f^2$  της διακύμανσης συχνότητας του συντονιστή, αντιστοιχούν σε κλίσεις  $1/f^3$  και  $1/f^4$  αντίστοιχα, στο φάσμα του θορύβου φάσης.

Ο θόρυβος του συντονιστή είναι ανεξάρτητος των υπολοίπων στοιχείων του ταλαντωτή, επομένως επιδρά αθροιστικά στο θόρυβο των ενισχυτών (αντιστάθμισης και buffer). Συνυπολογίζοντας το θόρυβο φάσης του συντονιστή, οι τέσσερις περιπτώσεις φάσματος που παρουσιάσαμε στο σχήμα 3.18, μετατρέπονται σε αυτές του σχήματος 3.19. Ανάλογα με τα χαρακτηριστικά του εκάστοτε συντονιστή, η σχετική θέση του θορύβου του, μπορεί να διαφέρει. Η περιοχή μέσα στην οποία μπορεί να βρεθεί ο θόρυβος του συντονιστή απεικονίζεται ποιοτικά στο σχήμα 3.19.

Στις δύο πρώτες περιπτώσεις φάσματος (σχήμα 3.19(α') και 3.19(α'')), όταν ο  $1/f^3$  θόρυβος του συντονιστή καλύπτει τη συχνότητα  $f_c$  του ενισχυτή αντιστάθμισης, το σημείο καμπής μεταξύ των καμπυλών  $1/f^3$  και  $1/f^2$  μετατοπίζεται σε υψηλότερη συχνότητα. Η συμπεριφορά αυτή συναντάται συχνά σε HF quartz ταλαντωτές (5-10 MHz) υψηλού συντελεστή ποιότητας Q. Αντίστοιχα, στην τρίτη και τέταρτη περίπτωση φάσματος, όταν ο  $1/f^3$  θόρυβος του συντονιστή καλύπτει τη συχνότητα Leeson  $f_L$ , το σημείο καμπής μεταξύ των καμπυλών  $1/f^3$  και  $1/f$  μετατοπίζεται σε υψηλότερη συχνότητα, η οποία ενδέχεται να παρερμηνευτεί ως συχνότητα Leeson. Η συγκεκριμένη εκδοχή

φάσματος αποτελεί τυπική περίπτωση VHF quartz ταλαντωτή.

Σε όλες τις περιπτώσεις ο  $1/f^4$  θόρυβος (θόρυβος τυχαίου περιπάτου συχνότητας) του συντονιστή είναι το κύριο φαινόμενο στις χαμηλές συχνότητες. Σε ακόμα χαμηλότερες συχνότητες εμφανίζονται και άλλα φαινόμενα, όπως ολίσθηση συχνότητας (frequency drift) ή γήρανση (aging).



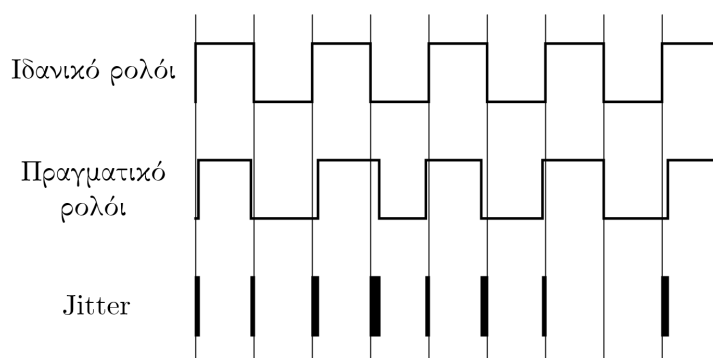
Σχήμα 3.19: Επίδραση του συντονιστή στο φάσμα θορύβου του ταλαντωτή.

### 3.4 Jitter

Στα ψηφιακά συστήματα, η χρονική αβεβαιότητα ενός σήματος εκφράζεται με τον όρο jitter. Η έννοια του jitter περιγράφει στο πεδίο του χρόνου, το ίδιο φαινόμενο με το θόρυβο φάσης. Ο όρος του θορύβου φάσης χρησιμοποιείται κυρίως στη μελέτη RF συστημάτων, των οποίων η ανάλυση θορύβου γίνεται στο πεδίο της συχνότητας. Αντίθετα, η μελέτη ψηφιακών συστημάτων γίνεται κυρίως στο πεδίο του χρόνου, καθώς αφορά ζητήματα χρονισμού, όπως setup και hold παραβιάσεις, περιθώρια χρονισμού, καθυστερήσεις διαδρομών κ.ά. Ένας απλός διαισθητικός ορισμός του jitter είναι ο ακόλουθος.

*”Το jitter ορίζεται ως η βραχυπρόθεσμη παρέκκλιση των σημαντικών στιγμών ενός σήματος, από τις ιδανικές τους θέσεις στο χρόνο.”*

Ο χαρακτηρισμός "βραχυπρόθεσμη" αποσκοπεί στο διαχωρισμό του jitter από το wander, το οποίο περιγράφει την αργή διακύμανση του σήματος στο χρόνο. Το όριο μεταξύ jitter και wander έχει οριστεί από την ITU (International Telecommunication Union) να είναι τα 10 Hz. Με τη διατύπωση "σημαντικές στιγμές" εννοούνται οι μεταβάσεις μεταξύ των λογικών επιπέδων ενός ψηφιακού σήματος. Τέλος, οι ιδανικές θέσεις στο χρόνο των σημαντικών στιγμών του σήματος καθορίζονται από ένα υποθετικό ιδανικό ρολόι. Στο σχήμα 3.20 παρουσιάζεται το jitter ενός σήματος ρολογιού.



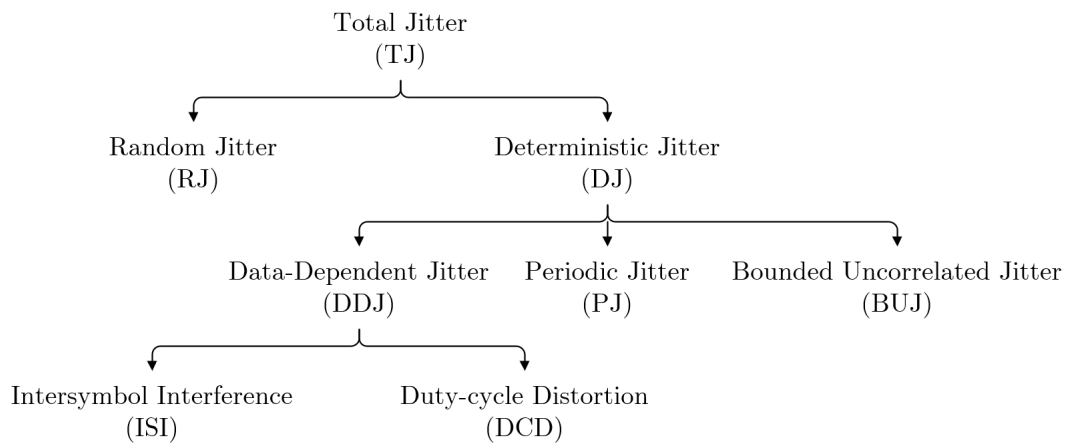
Σχήμα 3.20: Απεικόνιση του jitter σε σήμα ρολογιού (clock jitter).

Το συνολικό jitter (Total Jitter) που παρουσιάζει ένα σήμα είναι αποτέλεσμα ποικίλων φαινομένων, τα οποία υποβιβάζουν την ποιότητα ενός σήματος, όπως ο θόρυβος των ηλεκτρονικών συσκευών, οι ανακλάσεις του σήματος στις γραμμές μεταφοράς, η παρασιτική σύζευξη γραμμών (crosstalk), η διασυμβολική παρεμβολή, οι διακυμάνσεις στην τάση τροφοδοσίας, οι απώλειες διηλεκτρικού κ.ά. Ανάλογα με τα χαρακτηριστικά του θορύβου που εισάγει ο εκάστοτε παράγοντας, το jitter χωρίζεται σε διάφορες κατηγορίες, οι οποίες παρουσιάζονται στο σχήμα 3.21. Η πρώτη διαίρεση αφορά στο διαχωρισμό του jitter σε τυχαίο (Random Jitter) και ντετερμινιστικό (Deterministic Jitter). Το τυχαίο jitter οφείλεται στις πηγές τυχαίου θορύβου που παρουσιάζουν τα ηλεκτρονικά κυκλώματα, με βασικότερες συνιστώσες το θερμικό θόρυβο, το θόρυβο βολής και το θόρυβο flicker. Η μοντελοποίηση του τυχαίου jitter γίνεται με την γκαουσιανή κατανομή. Η επιλογή αυτή βασίζεται σε ένα πολύ σημαντικό θεώρημα της θεωρίας πιθανοτήτων, το Κεντρικό Οριακό Θεώρημα (Central Limit Theorem), σύμφωνα με το οποίο, το άθροισμα ανεξάρτητων τυχαίων μεταβλητών τείνει στην κανονική κατανομή. Επειδή η τιμή ενός δείγματος της γκαουσιανής κατανομής δεν περιορίζεται θεωρητικά, το τυχαίο jitter θεωρείται απεριόριστο (Unbounded).

Το ντετερμινιστικό jitter είναι επαναλαμβανόμενο, προβλέψιμο και περιορισμένο (Bounded), καθώς λαμβάνει τιμές σε ένα ορισμένο εύρος. Διαίρεται περαιτέρω στο περιοδικό jitter (Periodic Jitter), στο jitter εξαρτώμενο από τα δεδομένα (Data-Dependent Jitter) και στο περιορισμένο ασυσχέτιστο jitter (Bounded Uncorrelated Jitter). Το περιοδικό jitter, το οποίο ονομάζεται και ημιτονοειδές jitter (Sinusoidal Jitter) επαναλαμβάνεται με περιοδικό τρόπο και οφείλεται στη σύζευξη του σήματος με εξωτερικές ντετερμινιστικές πηγές θορύβου, όπως ο θόρυβος ενός διακοπτικού τροφοδοτικού ή ενός ισχυρού τοπικού RF φέροντος. Βάση σύμβασης, το περιοδικό jitter είναι

ασυσχέτιστο με επαναλαμβανόμενα μοτίβα στη ροή δεδομένων. Κάθε jitter που συσχετίζεται με την ακολουθία των bit στη ροή δεδομένων κατηγοριοποιείται ως data-dependent jitter. Αν κάποιο ντετερμινιστικό jitter δεν είναι ούτε περιοδικό, ούτε εξαρτώμενο από τα δεδομένα, αλλά παρουσιάζει περιορισμένο πλάτος, ανήκει στην κατηγορία του bounded uncorrelated jitter.

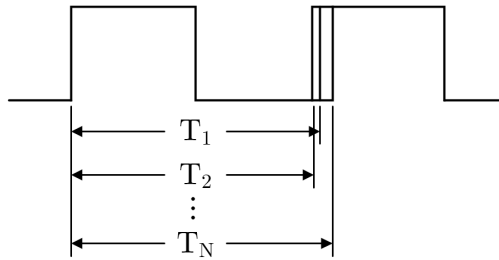
Βασικές συνιστώσες του data-dependent jitter είναι η διασυμβολική παρεμβολή (Intersymbol Interference) και η duty-cycle παραμόρφωση (Duty-Cycle Distortion). Διασυμβολική παρεμβολή προκύπτει όταν η τιμή ενός ψηφίου επηρεάζεται από τις τιμές των προηγούμενων δεδομένων. Το jitter που οφείλεται στη διασυμβολική παρεμβολή σχετίζεται με τους ρυθμούς ανόδου και καθόδου του σήματος καθώς και με τη σύνθετη αντίσταση της γραμμής. Το jitter που εξαρτάται από το duty-cycle ενός σήματος δημιουργείται λόγω της άνισης χρονικής διάρκειας των λογικών καταστάσεων. Δηλαδή όταν ένα λογικό "1" διαρκεί περισσότερο από ένα λογικό "0" ή το αντίστροφο. Αυτό μπορεί να οφείλεται είτε στη μετατόπιση της τιμής κατωφλίου, είτε στο διαφορετικό ρυθμό μεταβολής (slew rate) των ανοδικών και καθοδικών ακμών του σήματος.



Σχήμα 3.21: Μοντελοποίηση του jitter.

### 3.4.1 Period Jitter

Το συνολικό jitter που παρουσιάζει ένα σήμα ρολογιού μπορεί να μετρηθεί με ποικίλους τρόπους. Ο πιο άμεσος και εύκολος τρόπος είναι ο προσδιορισμός του period jitter, το οποίο εκφράζει τη διακύμανση της περιόδου ενός κύκλου ρολογιού. Η μέτρηση του period jitter απεικονίζεται στο σχήμα 3.22. Προκειμένου να επιτευχθεί μία καλή εκτίμηση του period jitter, πρέπει να μετρηθεί μεγάλο πλήθος κύκλων ρολογιού (το πρότυπο κατά JEDEC είναι 10,000 κύκλοι). Το period jitter εκφράζεται είτε σε rms τιμή, η οποία προκύπτει από την τυπική απόκλιση της περιόδου του ρολογιού στο πλήθος των μετρήσεων που πραγματοποιήθηκαν, είτε σε peak-to-peak τιμή, η οποία προκύπτει από τη διαφορά της μέγιστης και της ελάχιστης μετρηθείσας περιόδου. Η μέτρηση του period jitter χρησιμεύει στον υπολογισμό των χρονικών περιθωρίων (timing margins) στα ψηφιακά συστήματα.

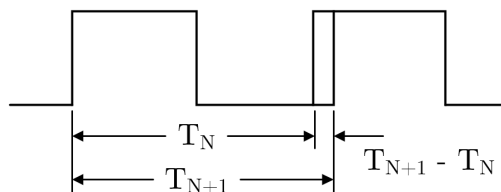


Σχήμα 3.22: Το period jitter εκφράζει τη διακύμανση της περιόδου ενός κύκλου ρολογιού.

### 3.4.2 Cycle-to-cycle jitter

Το cycle-to-cycle jitter εκφράζει τη μεταβολή της περιόδου μεταξύ δύο διαδοχικών κύκλων ρολογιού. Για τον προσδιορισμό του cycle-to-cycle jitter, επαναλαμβάνεται για ένα μεγάλο αριθμό κύκλων ρολογιού, η μέτρηση της διαφοράς των περιόδων δύο διαδοχικών κύκλων ρολογιού (το πρότυπο κατά JEDEC ορίζει 1,000 κύκλους). Το cycle-to-cycle jitter εκφράζεται είτε σε rms τιμή, η οποία δηλώνει την τυπική απόκλιση της μεταβολής στην περίοδο του ρολογιού μεταξύ δύο διαδοχικών κύκλων, είτε σε peak-to-peak τιμή, η οποία εκφράζει τη διαφορά μεταξύ της μέγιστης και της ελάχιστης μεταβολής στην περίοδο του ρολογιού μεταξύ δύο διαδοχικών κύκλων.

Η μέτρηση του cycle-to-cycle jitter χρησιμοποιείται σε διάφορες εφαρμογές για το προσδιορισμό του υψίσυχνου jitter που εμφανίζει το σήμα. Ένα ψηφιακό σήμα είναι σημαντικό να παρουσιάζει χαμηλό cycle-to-cycle jitter, καθώς το τελευταίο επηρεάζει σημαντικά τα χρονικά περιθώρια (timing margins) του συστήματος.



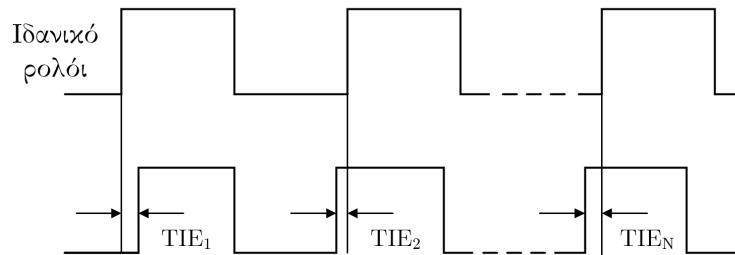
Σχήμα 3.23: Το cycle-to-cycle jitter εκφράζει τη διαφορά δύο διαδοχικών κύκλων ρολογιού.

### 3.4.3 TIE Jitter

Το time interval error (TIE) jitter περιγράφει την απόκλιση των ακμών ενός σήματος ρολογιού από τις ιδανικές τους θέσεις στο χρόνο. Οι ιδανικές θέσεις στο χρόνο ορίζονται από ένα ιδανικό ρολόι με την ίδια συχνότητα. Το TIE jitter εκφράζεται είτε σε rms τιμή, η οποία δηλώνει την τυπική απόκλιση του χρονικού σφάλματος, είτε σε peak-to-peak τιμή, η οποία εκφράζει τη διαφορά μεταξύ του μέγιστου και του ελάχιστου χρονικού σφάλματος. Το ιδανικό σήμα ρολογιού που απαιτείται

για τη μέτρηση του TIE jitter, παράγεται συνήθως από λογισμικό και η συχνότητα του προκύπτει βάση κάποιας θεωρητικής εκτίμησης της συχνότητας του πραγματικού ρολογιού.

Η μέτρηση του TIE jitter είναι ιδιαίτερα χρήσιμη στη μελέτη της συμπεριφοράς συστημάτων λήψης δεδομένων, στα οποία το ρολόι αναφοράς ανακτάται από το σήμα δεδομένων, χρησιμοποιώντας κυκλώματα Clock and Data Recovery (CDR). Μεγάλες τιμές του TIE jitter υποδεικνύουν ότι το PLL (Phase-Locked Loop) του CDR δεν είναι αρκετά γρήγορο για να ακολουθήσει τις μεταβολές του εισερχόμενου σήματος δεδομένων.



Σχήμα 3.24: Το TIE jitter εκφράζει την απόκλιση της ακμής του ρολογιού από την ιδανική θέση.

### 3.4.4 Phase Jitter

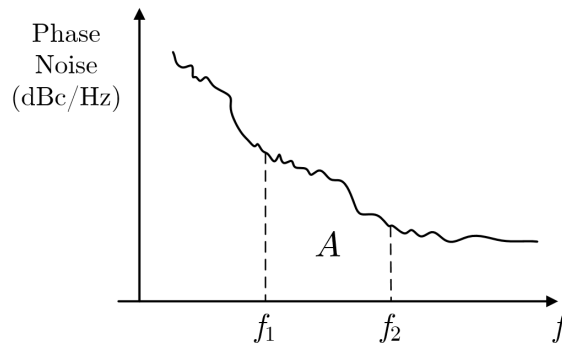
Το phase jitter εκφράζει σε δευτερόλεπτα το θόρυβο φάσης που παρουσιάζει ένα σήμα σε ένα συγκεκριμένο εύρος συχνοτήτων. Σε μία τετραγωνική κυματομορφή ρολογιού η περισσότερη ισχύς συγκεντρώνεται στη συχνότητα φέροντος. Λόγω, όμως, του θορύβου φάσης, ένα μέρος της ισχύος "διαρρέει" σε συχνότητες γύρω από τη συχνότητα φέροντος. Το phase jitter εκφράζει την ποσότητα της ισχύος που εμπεριέχεται μεταξύ δύο συχνοτήτων, σε σχέση με την ισχύ του φέροντος. Η ισχύς του θορύβου μεταξύ δύο συχνοτήτων ισούται με το εμβαδόν κάτω από την καμπύλη του θορύβου φάσης, όπως φαίνεται στο σχήμα 3.25.

$$A = \int_{f_1}^{f_2} PN(f)df \quad (3.4.1)$$

Το rms phase jitter δίνεται σε δευτερόλεπτα από τη σχέση (3.4.2), όπου  $f_c$  η συχνότητα φέροντος.

$$\text{RMS phase jitter (seconds)} = \frac{\sqrt{2 \cdot 10^{A/10}}}{2\pi f_c} \quad (3.4.2)$$

Το phase jitter είναι ιδιαίτερα χρήσιμο για τη μελέτη της επίδρασης του θορύβου φάσης στην επίδοση των μετατροπέων, καθώς επιτρέπει την αντιστοίχιση μεταξύ θορύβου φάσης και jitter. Για παράδειγμα ο θόρυβος του ταλαντωτή που παράγει το ρολόι της δειγματοληψίας εκφράζεται συνήθως με όρους θορύβου φάσης, ενώ η ψηφιακή έξοδος του ADC μετατροπέα εξετάζεται με όρους jitter.



Σχήμα 3.25: Υπολογισμός του phase jitter από το διάγραμμα του θορύβου φάσης.

### 3.5 Jitter στη Μετατροπή Δεδομένων

Το jitter στα συστήματα μετατροπής δεδομένων παίζει σημαντικό ρόλο στην ποιότητα του σήματος, ιδιαίτερα στους υπερδειγματοληπτικούς μετατροπείς, καθώς η επίδραση του jitter γίνεται εντονότερη με την αύξηση της συχνότητας ρολογιού. Σε έναν A/D μετατροπέα το συνολικό jitter αποτελείται από δύο βασικές συνιστώσες: το aperture jitter και το jitter του σήματος ρολογιού.

#### Aperture Jitter

Η δειγματοληψία σε έναν A/D μετατροπέα πραγματοποιείται με ένα σύστημα δειγματοληψίας και κράτησης (sample and hold), όπως αυτό του σχήματος 3.26. Υποθέτουμε ότι το σύστημα βρίσκεται αρχικά στην κατάσταση "SAMPLE", επομένως ο διακόπτης είναι κλειστός. Όταν το σύστημα μεταβεί στην κατάσταση "HOLD" ο διακόπτης ανοίγει και η τιμή του σήματος διατηρείται στον κόμβο  $x$ , λόγω του πυκνωτή  $C_{HOLD}$ . Η μετάβαση του συστήματος από την μία κατάσταση στην άλλη δεν είναι στιγμιαία αλλά απαιτεί ένα ελάχιστο χρονικό διάστημα. Το χρονικό διάστημα  $t_a$  που απαιτείται, προκειμένου ο διακόπτης να μεταβεί από κλειστός (μηδενική αντίσταση), σε εντελώς ανοιχτός (άπειρη αντίσταση) ονομάζεται *aperture time*.

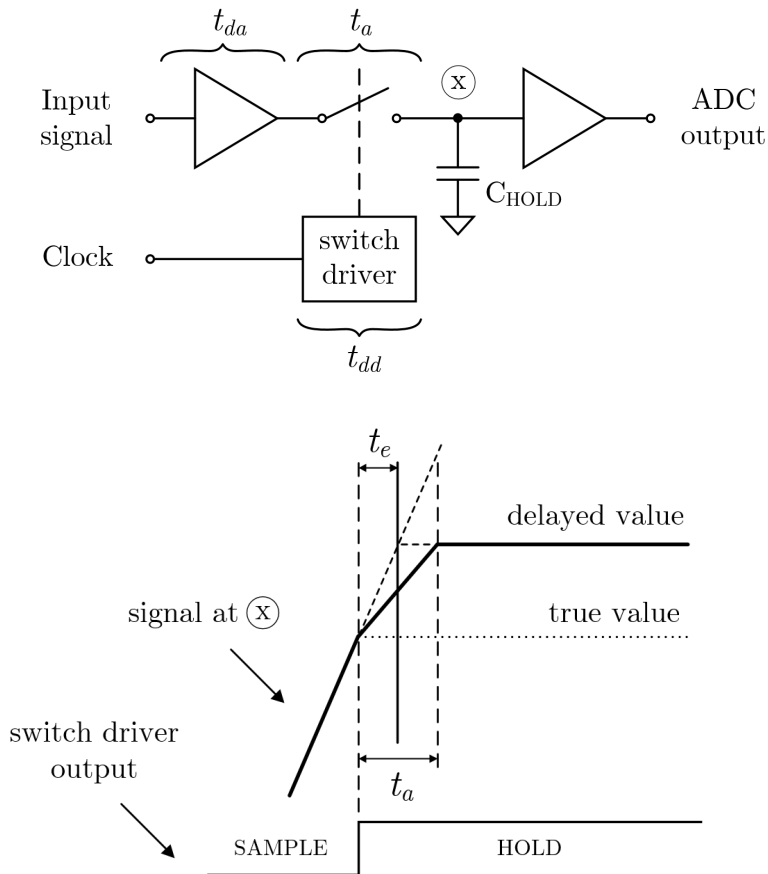
Στο σχήμα 3.26 παρουσιάζεται η μεταβολή της τάσης στον κόμβο  $x$  κατά την μετάβαση από "SAMPLE" σε "HOLD", με βάση το μοντέλο 1ης τάξης. Το slew rate του σήματος μειώνεται μέσα στο χρονικό διάστημα  $t_a$ . Παρατηρούμε ότι η τιμή που τελικά διατηρείται στον κόμβο  $x$ , μπορεί να προκύψει από έναν ιδανικό διακόπτη, ο οποίος παρουσιάζει στιγμιαία μετάβαση αλλά καθυστερεί κατά ένα χρονικό διάστημα  $t_e$ . Η καθυστέρηση  $t_e$  δηλώνει την πραγματική στιγμή δειγματοληψίας του σήματος (με αναφορά την ακμή του ρολογιού δειγματοληψίας) και ονομάζεται *effective aperture delay time* ή απλώς *aperture delay*. Η τιμή του *aperture delay* είναι σταθερή και ανεξάρτητη του σήματος εισόδου. Με βάση το μοντέλο 1ης τάξης, η τιμή της τάσης στον κόμβο  $x$  μετά το πέρας του χρονικού διαστήματος  $t_a$ , ισούται προσεγγιστικά με τη μέση τιμή του σήματος που εφαρμόζεται στο διακόπτη μέσα στο χρονικό διάστημα  $t_a$ . Επομένως, η τιμή του *aperture delay* ισούται με  $t_e = t_a/2$ .

Σε έναν ADC, το *aperture delay* περιγράφεται αναφορικά με την είσοδο του μετατροπέα. Συνεπώς, πρέπει να ληφθεί υπόψιν η καθυστέρηση διάδοσης  $t_{da}$  του αναλογικού σήματος μέσα από

το buffer εισόδου καθώς και η καθυστέρηση διάδοσης  $t_{dd}$  του ψηφιακού σήματος μέσα από το κύκλωμα οδήγησης του διακόπτη. Το *aperture delay* με βάση αναφοράς την είσοδο του μετατροπέα διατυπώνεται στην ακόλουθη σχέση.

$$t'_e = t_{dd} - t_{da} + \frac{t_a}{2} \quad (3.5.1)$$

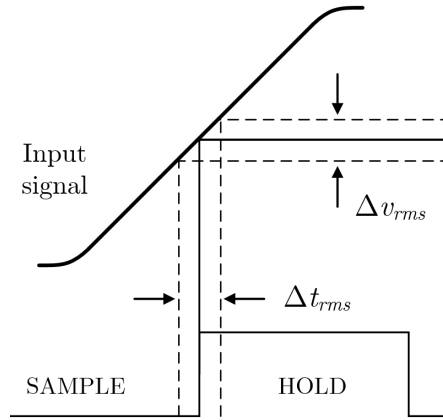
Το *aperture delay* λαμβάνει συνήθως θετικές τιμές, αλλά στις περιπτώσεις που το άθροισμα της καθυστέρησης διάδοσης  $t_{dd}$  και του μισού *aperture time* είναι μικρότερο της καθυστέρησης διάδοσης  $t_{da}$ , λαμβάνει αρνητικές τιμές.



Σχήμα 3.26

Το *aperture delay* δεν εισάγει σφάλμα στο σήμα (υποθέτωντας ότι είναι σχετικά μικρό συγκριτικά με το χρονικό διάστημα της κατάστασης "HOLD"), αλλά λειτουργεί ως μία σταθερή καθυστέρηση στο σήμα του ρολογιού δειγματοληψίας, ή στο αναλογικό σήμα εισόδου (ανάλογα με το πρόσημό του). Εάν όμως το *aperture delay* διαφέρει από δείγμα σε δείγμα, τότε παράγεται σφάλμα τάσης στο σήμα, όπως φαίνεται στο σχήμα 3.27. Η διακύμανση του *aperture delay* ονομάζεται *aperture uncertainty* ή *aperture jitter* και συνήθως μετράται σε rms picoseconds.





Σχήμα 3.27: Το *aperture jitter* δημιουργεί σφάλμα  $\Delta v_{rms}$  στην έξοδο του ADC.

Το πλάτος του σφάλματος που δημιουργείται στο σήμα εξαρτάται από το ρυθμό μεταβολής του αναλογικού σήματος εισόδου. Για μία δεδομένη τιμή  $\Delta t_{rms}$  του *aperture jitter*, το αντίστοιχο σφάλμα  $\Delta v_{rms}$  αυξάνεται όσο αυξάνεται η κλίση  $dv/dt$  του σήματος. Η επίδραση του σφάλματος λόγω του *aperture jitter* στο σηματοθροβικό λόγο του ADC μπορεί να υπολογιστεί προσεγγιστικά με την ακόλουθη απλοποιημένη ανάλυση. Θεωρούμε ότι το σήμα εισόδου είναι ένα ημίτονο πλάτους  $V_0$  και συχνότητας  $f_0$ .

$$v(t) = V_0 \sin(2\pi f_0 t) \quad (3.5.2)$$

Ο ρυθμός μεταβολής του σήματος υπολογίζεται από την παράγωγό του ως προς το χρόνο.

$$\frac{dv}{dt} = 2\pi f_0 V_0 \cos(2\pi f_0 t) \quad (3.5.3)$$

Η rms τιμή της ποσότητας  $dv/dt$  προκύπτει με διαίρεση του πλάτους  $2\pi f_0 V_0$  με  $\sqrt{2}$ .

$$\left. \frac{dv}{dt} \right|_{rms} = \frac{\Delta v_{rms}}{\Delta t_{rms}} = \frac{2\pi f_0 V_0}{\sqrt{2}} \quad (3.5.4)$$

Λύνουμε ως προς  $\Delta v_{rms}$  και συμβολίζουμε το *aperture jitter* με  $t_{ja}$ .

$$\Delta v_{rms} = \frac{2\pi f_0 V_0 t_{ja}}{\sqrt{2}} \quad (3.5.5)$$

Ο σηματοθροβικός λόγος στην έξοδο του ADC, με την υπόθεση ότι το *aperture jitter* είναι ο μόνος παράγοντας που επιβαρύνει το σήμα, δίνεται από την ακόλουθη σχέση.

$$SNRA = 20 \log \left( \frac{V_0/\sqrt{2}}{\Delta v_{rms}} \right) = 20 \log \left( \frac{1}{2\pi f_0 t_{ja}} \right) \quad (3.5.6)$$

### Επίδραση του Clock Jitter

Μέχρι τώρα υποθέσαμε ότι το εξωτερικό ρολόι δειγματοληψίας που εφαρμόζεται στον ADC είναι απαλλαγμένο από jitter. Στην πραγματικότητα, η διακύμανση της τάσης  $\Delta v_{rms}$  είναι ακόμα μεγαλύτερη, καθώς το εξωτερικό ρολόι παρουσιάζει επίσης jitter, το οποίο συμβολίζουμε  $t_{jc}$ . Το συνολικό jitter που διαμορφώνει το σφάλμα στην έξοδο του ADC δίνεται από την παρακάτω σχέση.

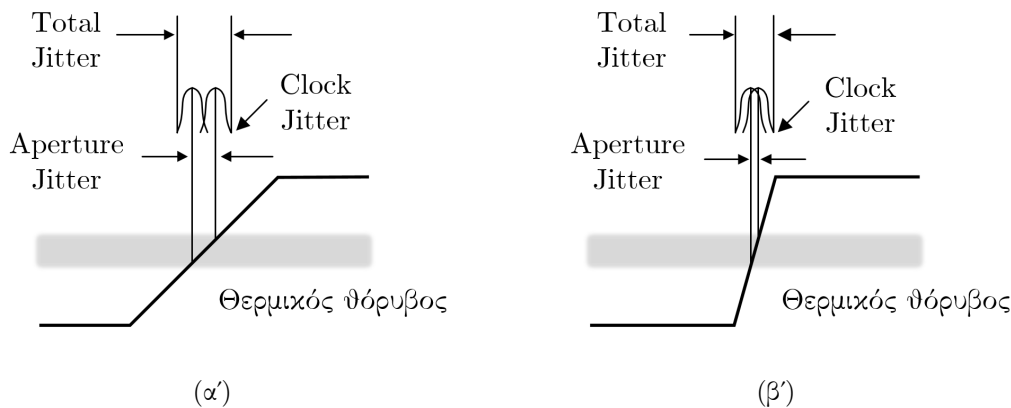
$$t_j = \sqrt{t_{jc}^2 + t_{ja}^2} \quad (3.5.7)$$

Αντικαθιστώντας το  $t_{ja}$  στη σχέση (3.5.6), με το συνολικό jitter  $t_j$ , λαμβάνουμε το σηματοθρομβικό λόγο στην έξοδο του μετατροπέα, όπως διαμορφώνεται από το συνολικό jitter του συστήματος. Η συχνότητα του αναλογικού σήματος εισόδου συμβολίζεται με  $f_{IN}$ .

$$SNR_J = -20 \log(2\pi \times f_{IN} \times t_j) \quad (3.5.8)$$

Υπενθυμίζουμε ότι στις σχέσεις (3.5.6) και (3.5.7) θεωρούμε το jitter ως τη μοναδική πηγή σφάλματος του συστήματος. Η ίδια σχέση εφαρμόζεται και σε DAC, όπου το  $t_j$  αποτελείται αποκλειστικά από το jitter του εξωτερικού ρολογιού, καθώς δεν υπάρχει σύστημα sample-and-hold. Το jitter που εισάγεται στο ρολόι λόγω του εσωτερικού θορύβου του DAC, είναι συνήθως αμελητέο συγκριτικά με το ήδη υπάρχον jitter του εξωτερικού ρολογιού.

Η ταχύτητα με την οποία διέρχεται το σήμα του ρολογιού από το επίπεδο τάσης κατωφλίου επιδρά στη διακύμανση του *aperture delay*. Δηλαδή, ο ρυθμός μεταβολής του ρολογιού επηρεάζει την τιμή  $\Delta t_{rms}$  του *aperture jitter*. Αν υπάρχει μία συγκεκριμένη ποσότητα θερμικού θορύβου στο κύκλωμα του μετατροπέα, τότε ο ρυθμός μεταβολής του ρολογιού μετατρέπεται σε χρονική αβεβαιότητα τη στιγμή της δειγματοληψίας, όπως φαίνεται στο σχήμα 3.28. Επομένως, ο σηματοθρομβικός λόγος της σχέσης (3.5.8) βελτιώνεται όσο αυξάνεται ο ρυθμός μεταβολής του ρολογιού δειγματοληψίας. Παρατηρούμε ότι το jitter του ρολογιού επιδρά προσθετικά στο *aperture jitter* και δεν επηρεάζεται από το ρυθμό μεταβολής του σήματος.



Σχήμα 3.28: Ο ρυθμός μεταβολής του σήματος του ρολογιού επηρεάζει το *aperture jitter*.

Όπως έχουμε δει, υπάρχει αντιστοιχία ανάμεσα στο jitter και στο θόρυβο φάσης ενός σήματος, επομένως το aperture jitter και το jitter του ρολογιού μπορούν να εκφραστούν με όρους θορύβου φάσης. Έστω  $PN_a(f)$  ο θόρυβος φάσης που οφείλεται στο aperture jitter του μετατροπέα και  $PN_c(f)$  ο θόρυβος φάσης του εξωτερικού ρολογιού δειγματοληψίας. Ο συνολικός θόρυβος φάσης  $PN_T$  δίνεται από την παρακάτω σχέση.

$$PN_T(f) = 20 \log \sqrt{\left(10^{\frac{PN_a(f)}{20}}\right)^2 + \left(10^{\frac{PN_c(f)}{20}}\right)^2} \quad (3.5.9)$$

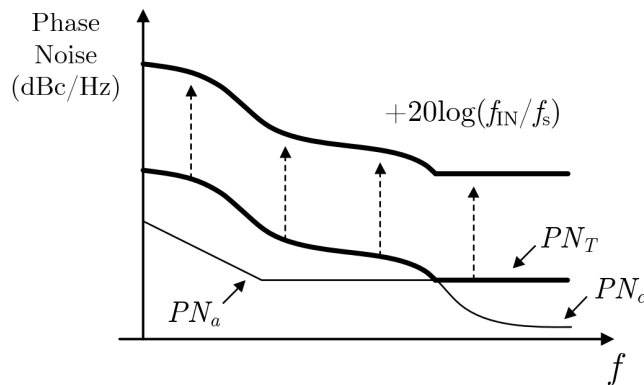
Το συνολικό jitter υπολογίζεται από το θόρυβο φάσης  $PN_T(f)$ , σύμφωνα με τη σχέση (3.4.1). Υποθέτουμε ότι η ολοκλήρωση του  $PN_T(f)$  γίνεται στο εύρος ζώνης ενδιαφέροντος.

$$t_j = \frac{1}{2\pi f_s} \times \sqrt{2 \times 10^{\int PN_T(f)/10}} \quad (3.5.10)$$

Είδαμε ότι ο ρυθμός μεταβολής του σήματος ρολογιού επηρεάζει το θόρυβο φάσης του σήματος στην έξοδο του συστήματος. Εάν υποθέσουμε ότι το σήμα ρολογιού που χρησιμοποιείται στη δειγματοληψία είναι ημιτονοειδές, τότε η αύξηση του ρυθμού μεταβολής ισοδυναμεί με αύξηση της συχνότητας  $f_s$  του σήματος. Στην περίπτωση αυτή η εξάρτηση του συνολικού θορύβου φάσης στην έξοδο του μετατροπέα από τη συχνότητα  $f_{IN}$  του σήματος εισόδου και τη συχνότητα  $f_s$  του ρολογιού δειγματοληψίας εκφράζεται με την παρακάτω σχέση.

$$PN(f) = PN_T(f) + 20 \log \left( \frac{f_{IN}}{f_s} \right) \quad (3.5.11)$$

Παρατηρούμε ότι η αύξηση της συχνότητας  $f_{IN}$  του αναλογικού σήματος εισόδου, ή η μείωση της συχνότητας δειγματοληψίας  $f_s$ , αυξάνουν το θόρυβο φάσης του σήματος στην έξοδο του μετατροπέα. Στο σχήμα 3.29 φαίνεται ο συνδυασμός του θορύβου φάσης  $PN_a$  λόγω του aperture jitter και του θορύβου φάσης  $PN_c$  του εξωτερικού ρολογιού, καθώς και η μετατόπιση του συνολικού θορύβου  $PN_T(f)$  με τη μεταβολή της συχνότητας  $f_{IN}$  ή της συχνότητας  $f_s$ .



Σχήμα 3.29



# 4.

## Κατασκευή του 1-bit DAC

Στο κεφάλαιο αυτό περιγράφεται η διαδικασία που ακολουθήθηκε για την κατασκευή του τυπωμένου κυκλώματος του 1-bit DAC. Αρχικά παρουσιάζεται το πρόβλημα που καλείται να επιλύσει το κύκλωμα και περιγράφεται η αρχή λειτουργίας του. Στη συνέχεια περιγράφεται η λειτουργία κάθε βασικού στοιχείου του κυκλώματος και παρουσιάζονται τα ICs που επιλέχθηκαν για την υλοποίησή του. Στο κύκλωμα του 1-bit DAC χρησιμοποιήθηκαν τεχνικές γραμμών μεταφοράς. Η διαδικασία σχεδίασης των γραμμών μεταφοράς και οι τερματισμοί που υλοποιήθηκαν σε κάθε γραμμή παρουσιάζονται αναλυτικά. Στο τέλος του κεφαλαίου γίνεται αναφορά στον προγραμματισμό του μικροελεγκτή που χρησιμοποιήθηκε στην πλακέτα.

### 4.1 Αρχή Λειτουργίας του Κυκλώματος

#### Περιγραφή του προβλήματος

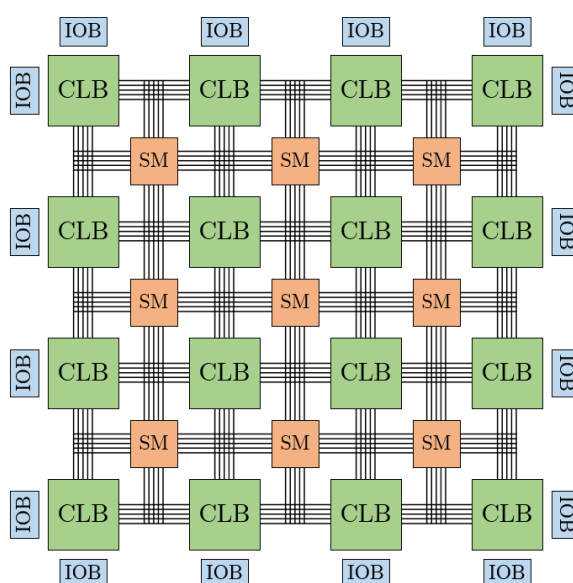
Το KC705 Evaluation Board (Kintex-7 FPGA Family) της Xilinx χρησιμοποιείται για την υλοποίηση 1-bit  $\Sigma$ - $\Delta$  διαμορφωτών. Στο 2ο κεφάλαιο είδαμε ότι οι  $\Sigma$ - $\Delta$  διαμορφωτές, εφαρμόζοντας τεχνικές μορφοποίησης θορύβου στα συστήματα μετατροπής δεδομένων, βελτιώνουν το σηματοθορυβικό λόγο  $SQNR$ , ο οποίος οφείλεται στο θόρυβο κβαντισμού. Στο 3ο κεφάλαιο είδαμε ότι ο θόρυβος φάσης, ή ισοδύναμα το jitter, υποβιβάζει το συνολικό σηματοθορυβικό λόγο στην έξοδο ενός πραγματικού συστήματος μετατροπής. Επομένως, το συνολικό  $SNR$  στην έξοδο του FPGA διαμορφώνεται από το συνδυασμό του  $SQNR$  και του σηματοθορυβικού λόγου  $SNRJ$  (σχέση (3.5.8)), ο οποίος αντιστοιχεί στο jitter της διάταξης.

$$SNR = -20 \log \sqrt{\left(10^{-\frac{SQNR}{20}}\right)^2 + \left(10^{-\frac{SNRJ}{20}}\right)^2}$$

Συγκεκριμένα, στο FPGA υλοποιήθηκαν αλγόριθμοι βελτιστοποίησης των 1-bit  $\Sigma$ - $\Delta$  διαμορφωτών (1-bit Look-Ahead Multi-Step  $\Sigma$ - $\Delta$  Modulators [29]), οι οποίοι, μεταξύ άλλων, αποσκοπούν στη βελτίωση του  $SQNR$ . Από τη σχέση (3.5.8) είναι φανερό ότι για τη λήψη αντιπροσωπευτικών αποτελεσμάτων στην έξοδο του FPGA, σχετικά με τις επιδόσεις των αλγορίθμων, είναι απαραίτητη η μείωση της επιβάρυνσης του jitter στο συνολικό  $SNR$ . Διαφορετικά, η βελτίωση που επιτυγχάνεται

με τον εκάστοτε αλγόριθμο υποβιβάζεται από το θόρυβο φάσης των κυκλωμάτων του FPGA.

Η γενική τοπολογία ενός FPGA παρουσιάζεται στο σχήμα 4.1. Η υλοποίηση ενός ψηφιακού συστήματος στο FPGA, πραγματοποιείται με κατάλληλες διασυνδέσεις μεταξύ των CLBs (Configurable Logic Blocks), τα οποία περιλαμβάνουν ψηφιακά κυκλώματα όπως αθροιστές, πολυπλέκτες, Look-Up Tables (LUTs) και D flip-flops. Κάθε CLB συνδέεται σε ένα προγραμματιζόμενο πίνακα διακοπών (Switch Matrix), μέσω του οποίου επιτυγχάνεται η σύνδεσή με άλλα CLBs. Οι συνδέσεις μεταξύ των CLBs ονομάζονται nets. Θα πρέπει να σημειώσουμε ότι κάθε net, όπως και κάθε συσκευή εντός του CLB, εισάγει jitter στο σήμα. Η επικοινωνία του FPGA με εξωτερικές συσκευές πραγματοποιείται μέσω I/O Blocks, τα οποία συνδέονται με τα CLBs.



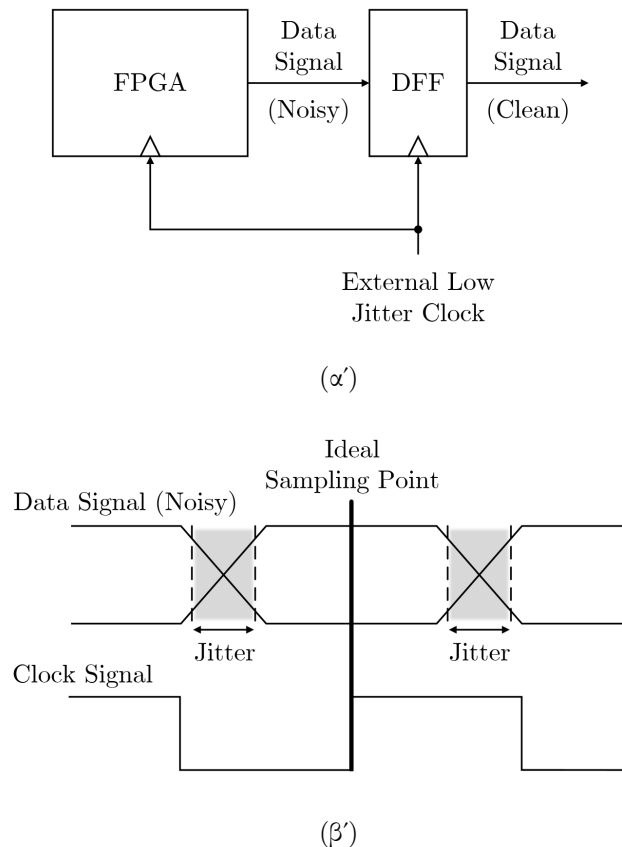
Σχήμα 4.1: Γενική τοπολογία ενός FPGA.

Τα ψηφιακά κυκλώματα εντός των CLBs του FPGA απαιτούν σήματα ρολογιού για το χρονισμό τους. Το σύστημα που είναι υπεύθυνο για την παραγωγή και τη διανομή των σημάτων ρολογιού στο FPGA ονομάζεται *clock tree*. Το *clock tree* περιλαμβάνει ταλαντωτές (XOs, VCXOs, DCOs), fanout buffers και γραμμές μεταφοράς. Στο 3ο κεφάλαιο είδαμε ότι οι ταλαντωτές χαρακτηρίζονται από θόρυβο φάσης, ενώ τα δίθυρα στοιχεία, όπως οι buffers και οι γραμμές μεταφοράς, εισάγουν επιπλέον θόρυβο φάσης στο σήμα. Επίσης επιβαρυντικό παράγοντα στην ποιότητα των σημάτων ρολογιού αποτελεί το clock skew που εισάγεται από τους buffer του δικτύου διανομής.

## Reclocking

Έστω μία υλοποίηση 1-bit  $\Sigma$ - $\Delta$  διαμορφωτή στο FPGA. Σύμφωνα με τα παραπάνω, ο θόρυβος των ψηφιακών κυκλωμάτων του FPGA, σε συνδυασμό με το jitter των σημάτων ρολογιού που χρησιμοποιούνται για το χρονισμό τους, εισάγουν jitter στο ψηφιακό σήμα πληροφορίας που παράγει ο  $\Sigma$ - $\Delta$  διαμορφωτής. Το σήμα λαμβάνεται στην έξοδο του FPGA μέσω ενός D Flip-Flop, το

οποίο περιλαμβάνεται στο I/O Block. Το jitter του σήματος στην έξοδο του D Flip-Flop, οφείλεται αποκλειστικά στο jitter του ρολογιού που πυροδοτεί το D Flip-Flop και στο θόρυβο που εισάγει η ίδια η συσκευή του D Flip-Flop. Οποιοδήποτε jitter έχει προστεθεί στο σήμα από πηγές θορύβου πριν το D Flip-Flop αφαιρείται. Η τεχνική αυτή ονομάζεται *reclocking* και χρησιμοποιείται ευρέως στα ψηφιακά συστήματα για τη μείωση του jitter του σήματος. Προκειμένου να υπάρξει σημαντική βελτίωση της ποιότητας του σήματος, το ρολόι που πυροδοτεί το D Flip-Flop πρέπει να χαρακτηρίζεται από χαμηλό θόρυβο φάσης. Το ρολόι που χρησιμοποιείται για το *reclocking* στο I/O Block του FPGA δεν παρουσιάζει ικανοποιητικά χαμηλό θόρυβο φάσης. Επομένως, αν θέλουμε πραγματικά να μειώσουμε το jitter του σήματος, θα πρέπει να πραγματοποιήσουμε *reclocking* με ένα κύκλωμα εξωτερικά του FPGA, χρησιμοποιώντας ένα ρολόι χαμηλότερου jitter.



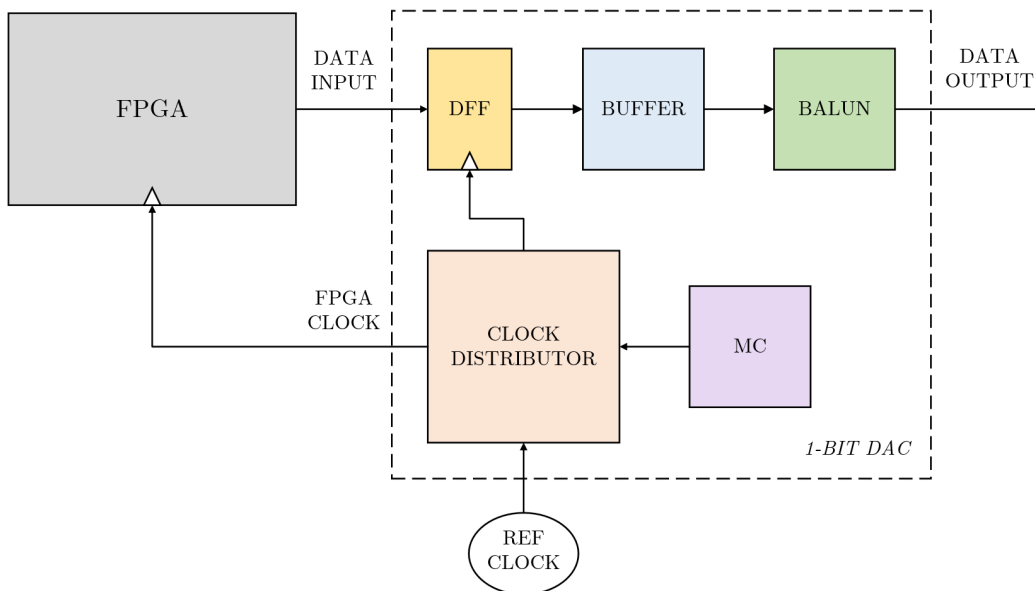
Σχήμα 4.2: (α') Το D Flip-Flop "καθαρίζει" το θορυβώδες σήμα, χρησιμοποιώντας ένα εξωτερικό ρολόι χαμηλού jitter. (β') Η ακμή του ρολογιού που πυροδοτεί το D Flip-Flop πρέπει να βρίσκεται στη μέση της χρονικής διάρκειας του ψηφίου.

Η διαδικασία του *reclocking* μπορεί να προσεγγιστεί ως δειγματοληψία του ψηφιακού σήματος με ένα σύστημα δειγματοληψίας και κράτησης. Η λογική τιμή του σήματος στην είσοδο του D Flip-Flop δειγματοληπτείται τη στιγμή που καταφτάνει μία θετική ακμή του ρολογιού (υποθέτοντας ότι το D Flip-Flop είναι θετικά ακμοπυροδοτότητο). Η τιμή διατηρείται στην έξοδο του D Flip-Flop έως ότου καταφτάσει η επόμενη θετική ακμή του ρολογιού. Σε μία μετάβαση του σήματος από λογικό

"0" σε λογικό "1" ή από "1" σε "0", εάν η θετική ακμή του ρολογιού πυροδοτήσει το D Flip-Flop πριν το σήμα προλάβει να διαβεί το κατώφλι του λογικού επιπέδου, η τιμή του ψηφίου στην έξοδο του D Flip-Flop θα είναι εσφαλμένη. Προκειμένου να αποφεύγονται τέτοιες περιπτώσεις, η δειγματοληψία του σήματος γίνεται πάντα στη μέση της περιόδου του ρολογιού, δηλαδή όσο πιο μακριά γίνεται από τις περιοχές μετάβασης του σήματος, όπως φαίνεται στο σχήμα 4.2(β'). Όσο περισσότερο jitter εμφανίζει το σήμα, τόσο αυξάνεται η πιθανότητα να περάσει λάθος λογική τιμή στην έξοδο του D Flip-Flop. Ισοδύναμα, η αύξηση του jitter του σήματος οδηγεί σε αύξηση του BER (Bit Error Rate) στην έξοδο του D Flip-Flop.

## 4.2 Περιγραφή του Κυκλώματος

Η γενική ιδέα πάνω στην οποία βασίζεται η λειτουργία του κυκλώματος είναι αρκετά απλή. Το σήμα εξόδου του FPGA διέρχεται μέσα από ένα D Flip-Flop (εξωτερικά του FPGA), το οποίο πυροδοτείται από ένα εξωτερικό ρολόι χαμηλού jitter. Το jitter του σήματος στην έξοδο του D Flip-Flop καθορίζεται από το jitter του ρολογιού και το jitter που εισάγει η συσκευή του D Flip-Flop. Εάν το σήμα του ρολογιού και η συσκευή του D Flip-Flop χαρακτηρίζονται από χαμηλό jitter, τότε το jitter του σήματος στην έξοδο του D Flip-Flop μειώνεται σημαντικά.



Σχήμα 4.3: Μπλοκ διάγραμμα του 1-bit DAC.

Το κύκλωμα που υλοποιεί την παραπάνω ιδέα παρουσιάζεται στο σχήμα 4.3. Το κύκλωμα έχει δύο εισόδους και δύο εξόδους. Η πρώτη είσοδος είναι ένα ρολόι αναφοράς (REF CLOCK), το οποίο χρησιμοποιείται για το χρονισμό του D Flip-Flop και του FPGA. Το σήμα του ρολογιού για το χρονισμό του FPGA αποτελεί την πρώτη έξοδο του κυκλώματος (FPGA CLOCK). Η δεύτερη



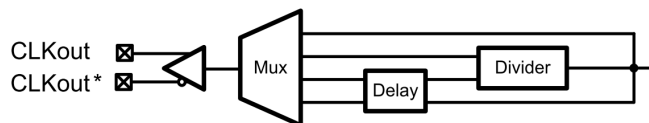
είσοδος του κυκλώματος είναι η 1-bit ροή δεδομένων που παράγει ο ψηφιακός  $\Sigma$ - $\Delta$  διαμορφωτής του FPGA (DATA INPUT). Το ίδιο σήμα πληροφορίας λαμβάνεται στη δεύτερη έξοδο του κυκλώματος (DATA OUTPUT), η οποία αποτελεί την τελική έξοδο του συστήματος.

Η διαφορά των 1-bit σημάτων πληροφορίας εισόδου και εξόδου (DATA INPUT και DATA OUTPUT) έγκειται στην ποιότητα των σημάτων. Το σήμα στην τελική έξοδο του συστήματος παρουσιάζει χαμηλότερο θόρυβο φάσης, ταχύτερο rise/fall time, υψηλότερο slew rate καθώς και χαμηλότερο θόρυβο πλάτους. Επομένως, το κύκλωμα που παρουσιάζεται στο σχήμα 4.3, δεν περιορίζεται απλώς στη μείωση του θορύβου φάσης, αλλά βελτιώνει γενικά τα αναλογικά χαρακτηριστικά του σήματος. Το σήμα στην τελική έξοδο του κυκλώματος θεωρείται αναλογικό, καθώς η διέλευσή του μέσα από ένα αναλογικό φίλτρο (βαθυπερατό ή ζωνοπερατό ανάλογα με τον τύπο του  $\Sigma$ - $\Delta$  διαμορφωτή), παράγει το αναλογικό σήμα που αντιστοιχεί στην ψηφιακή έξοδο του  $\Sigma$ - $\Delta$  διαμορφωτή. Το γεγονός αυτό ερμηνεύει το χαρακτηρισμό του κυκλώματος ως 1-bit DAC. Ο ρόλος του 1-bit DAC σε ένα υπερδειγματοληπτικό σύστημα D/A μετατροπής παρουσιάζεται στο υποκεφάλαιο 2.4.

Το κύκλωμα του 1-bit DAC σχεδιάστηκε για να λειτουργεί με σήματα συχνότητας έως 500 MHz. Συνεπώς, για τη μεταφορά των σημάτων εσωτερικά και εξωτερικά του κυκλώματος χρησιμοποιήθηκαν γραμμές μεταφοράς κατάλληλα τερματισμένες για την αποφυγή δημιουργίας ανακλάσεων. Το κύκλωμα του 1-bit DAC αποτελείται από πέντε βασικές συσκευές: τέσσερα ολοκληρωμένα κυκλώματα (Clock Distributor, D Flip-Flop, Buffer, Microcontroller) και ένα μετασχηματιστή (Balun). Η λειτουργία και τα χαρακτηριστικά των παραπάνω συσκευών, όπως και αυτών που χρησιμοποιήθηκαν για την τροφοδοσία του κυκλώματος παρουσιάζονται αναλυτικά στη συνέχεια. Επιπλέον, παρουσιάζονται οι τεχνικές τερματισμού που εφαρμόστηκαν σε κάθε γραμμή μεταφοράς.

#### 4.2.1 Clock Distributor

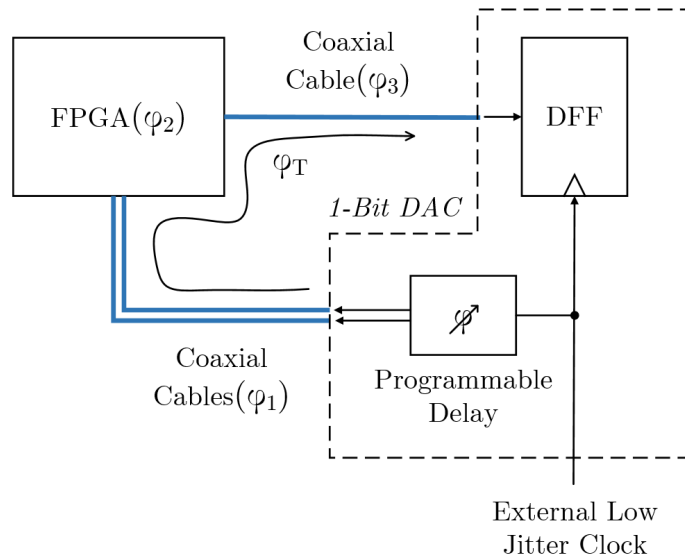
Για τη διανομή του σήματος ρολογιού χρησιμοποιήθηκε το ολοκληρωμένο LMK01000 (1.6 GHz High Performance Clock Buffer, Divider and Distributor) της Texas Instruments. Το LMK01000 διαθέτει δύο διαφορετικές εισόδους ρολογιού (CLKin0 και CLKin1) και οχτώ διαφορετικές εξόδους (CLKout0-CLKout7). Ο χρήστης μπορεί να επιλέξει ποια από τις δύο εισόδους ρολογιού θα κατανέμεται στις οχτώ εξόδους. Κάθε έξοδος μπορεί να προγραμματιστεί ξεχωριστά ώστε να διαιρεί τη συχνότητα του ρολογιού εισόδου ή να εισάγει μία συγκεκριμένη χρονική καθυστέρηση στο σήμα (ή και τα δύο). Στο σχήμα 4.4 παρουσιάζεται η συνδεσμολογία μίας εξόδου ρολογιού του LMK01000.



Σχήμα 4.4: Κύκλωμα εξόδου ρολογιού του LMK01000.

## Καθυστέρηση φάσης

Η σύνδεση της πλακέτας του 1-bit DAC με το FPGA πραγματοποιείται με ομοαξονικά καλώδια, τα οποία εισάγουν καθυστέρηση φάσης στο σήμα. Υποθέτουμε ότι στο διαφορικό σήμα του ρολογιού (CLKout1) που τροφοδοτείται στο FPGA, εισάγεται λόγω των ομοαξονικών καλωδίων μία καθυστέρηση φάσης  $\phi_1$ . Το σήμα πληροφορίας στην έξοδο του FPGA χαρακτηρίζεται επίσης από μία καθυστέρηση φάσης  $\phi_2$ , λόγω των εσωτερικών κυκλωμάτων του FPGA. Το ομοαξονικό καλώδιο που συνδέει την έξοδο του FPGA με το D Flip-Flop εισάγει μία καθυστέρηση φάσης  $\phi_3$  στο σήμα πληροφορίας που δειγματοληπτείται στο D Flip-Flop. Συνεπώς, η συνολική καθυστέρηση φάσης που εισάγεται στο σήμα είναι  $\phi_T = \phi_1 + \phi_2 + \phi_3$ .

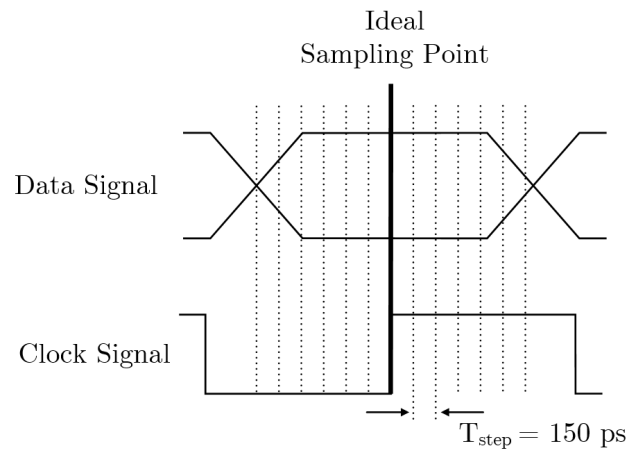


Σχήμα 4.5: Το σήμα πληροφορίας εισέρχεται στο D Flip-Flop με μία καθυστέρηση φάσης  $\phi_T + \Delta\phi$ .

Έχουμε δει ότι το *reclocking* είναι στην ουσία δειγματοληψία του ψηφιακού σήματος. Η στιγμή της δειγματοληψίας πρέπει να βρίσκεται στη μέση της χρονικής διάρκειας του ψηφίου, όπως απεικονίζεται στο σχήμα 4.2(β'). Όμως η συνολική καθυστέρηση φάσης  $\phi_T$  δεν είναι γνωστή και μεταβάλλεται με το μήκος των ομοαξονικών καλωδίων. Επομένως, αν θέλουμε να πετύχουμε βέλτιστο χρονισμό στη διαδικασία του *reclocking*, θα πρέπει να έχουμε τη δυνατότητα ελέγχου της φάσης του σήματος πληροφορίας στην είσοδο του D Flip-Flop. Το LMK01000 προσφέρει τη δυνατότητα εισαγωγής ρυθμιζόμενης χρονικής καθυστέρησης σε κάθε έξοδο ρολογιού. Η χρονική καθυστέρηση αντιστοιχεί σε κάποια καθυστέρηση φάσης  $\Delta\phi$ . Επομένως, η καθυστέρηση φάσης  $\phi'_T$  του σήματος στην είσοδο του D Flip-Flop, τελικά διαμορφώνεται με βάση τη σχέση (4.2.1). Ρυθμίζοντας κατάλληλα την καθυστέρηση φάσης  $\Delta\phi$  μπορούμε να πετύχουμε βέλτιστο χρονισμό στη διαδικασία του *reclocking*.

$$\phi'_T = \phi_T + \Delta\phi \quad (4.2.1)$$

Το LMK01000 έχει δυνατότητα εισαγωγής χρονικής καθυστέρησης από 150 - 2250 ps, με βήμα 150 ps. Το σύστημα FPGA-DAC θέλουμε να λειτουργεί με συχνότητα έως και 500 MHz. Στη συχνότητα των 500 MHz ( $T = 2000$  ps), το βήμα της χρονικής καθυστέρησης αντιστοιχεί περίπου στο 1/13 της χρονικής διάρκειας ενός ψηφίου, όπως φαίνεται στο σχήμα 4.6. Η ανάλυση που επιτυγχάνεται είναι επαρκής για τον ικανοποιητικό χρονισμό του συστήματος στα 500 MHz. Για συχνότερες ρολογιού μικρότερες των 500 MHz επιτυγχάνεται ακόμα μεγαλύτερη ανάλυση.



Σχήμα 4.6: Απεικόνιση των πιθανών θέσεων της θετικής ακμής του ρολογιού που πυροδοτεί το D Flip-Flop σε σχέση με το σήμα πληροφορίας στην είσοδο του, ανάλογα με τη χρονική καθυστέρηση που εισάγεται στο σήμα ρολογιού του FPGA (στη συχνότητα των 500 MHz).

### Διαίρεση συχνότητας

Το LMK01000 διαθέτει τη δυνατότητα διαίρεσης της συχνότητας αναφοράς (του ρολογιού εισόδου) με ακέραια πολλαπλάσια του δύο. Οι τιμές διαίρεσης κυμαίνονται από 2 έως 510. Να διευκρινίσουμε ότι το LMK01000 διαιρεί τη συχνότητα αναφοράς τουλάχιστον με δύο, βάση προκαθορισμένων ρυθμίσεων. Δηλαδή, εάν η συχνότητα αναφοράς είναι 800 MHz, η μέγιστη συχνότητα ρολογιού που μπορούμε να λάβουμε σε μία έξοδο του LMK01000 είναι 400 MHz.

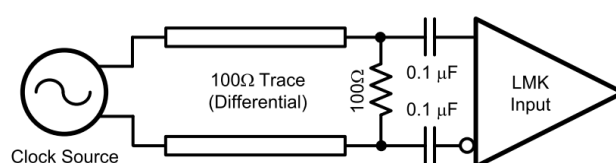
Η διαίρεση της συχνότητας του ρολογιού που τροφοδοτείται στο FPGA, συνεπάγεται μείωση του bit rate του ψηφιακού σήματος πληροφορίας που παράγει το FPGA. Η μείωση της συχνότητας του σήματος πληροφορίας, το οποίο δέχεται ως είσοδο ο 1-bit DAC, οδηγεί σε μείωση του θορύβου φάσης στην έξοδο του. Θυμίζουμε τη σχέση (3.5.11), η οποία περιγράφει το σηματοθορυβικό λόγο στην έξοδο ενός μετατροπέα, θεωρώντας ως μοναδική πηγή θορύβου το jitter του συστήματος. Η συχνότητα του ψηφιακού σήματος εισόδου συμβολίζεται  $f_{IN}$  και το jitter του σήματος εξόδου  $t_j$ .

$$SNRJ = -20 \log(2\pi \times f_{IN} \times t_j)$$

Παρατηρούμε ότι για  $t_j$  σταθερό, κάθε υποδιπλασιασμός της συχνότητας  $f_{IN}$  του σήματος πληροφορίας, βελτιώνει το σηματοθορυβικό λόγο κατά 6dB.

### Σήμα ρολογιού αναφοράς

Το LMK01000 δέχεται ως είσοδο είτε τετραγωνική, είτε ημιτονοειδή κυματομορφή. Φυσικά, ανεξάρτητα της κυματομορφής εισόδου, το LMK01000 παράγει πάντα τετραγωνικά σήματα ρολογιού στις εξόδους του. Επιλέξαμε να οδηγήσουμε τη διαφορική είσοδο CLKin0 με ημιτονοειδές σήμα ισχύος 5 dBm. Το σήμα αυτό δίνεται ως είσοδος στο κύκλωμα του 1-bit DAC (REF CLOCK) από ένα εξωτερικό κύκλωμα, χρησιμοποιώντας ομοαξονικά καλώδια. Η συνδεσμολογία παρουσιάζεται στο σχήμα 4.7. Στον πίνακα 4.1 παραθέτουμε κάποια βασικές προδιαγραφές από το datasheet του LMK01000 σχετικά με τα σήματα εισόδου.



Σχήμα 4.7

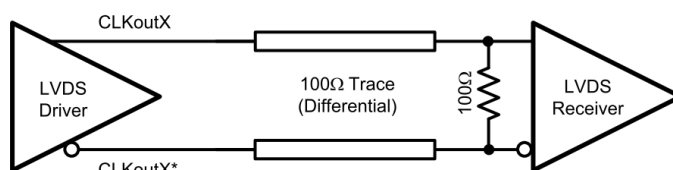
#### CLKin0, CLKin0\*, CLKin1, CLKin1\*

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$f_{CLKin}$	CLKin Frequency Range		1		1600	MHz
$SLEW_{CLKin}$	CLKin Frequency Input Slew Rate		0.5			V/ns
$DUTY_{CLKin}$	CLKin Frequency Input Duty Cycle	$f_{CLKin} \leq 800$ MHz	30		70	%
		$f_{CLKin} > 800$ MHz	40		60	
$P_{CLKin}$	Input Power Range for CLKin or CLKin*	AC coupled	-13		5	dBm

Πίνακας 4.1

### Σήμα ρολογιού για το FPGA

Το LMK01000 διαθέτει 8 διαφορικές εξόδους ρολογιού: 3 LVDS (CLKout0-CLKout2) και 5 LVPECL (CLKout3-CLKout7). Το σήμα ρολογιού για το χρονοισμό του FPGA δίνεται στη διαφορική έξοδο CLKout1, καθώς το I/O Standard της εισόδου ρολογιού του FPGA απαιτούσε σήμα LVDS. Η συνδεσμολογία φαίνεται στο σχήμα 4.8, όπου LVDS driver είναι το LMK0100 και LVDS receiver το I/O Block του FPGA (η αντίσταση των 100 Ω βρίσκεται εσωτερικά του FPGA).



Σχήμα 4.8

## Σήμα ρολογιού για το D Flip-Flop

Στον παρακάτω πίνακα παραθέτουμε κάποια βασικά χαρακτηριστικά των LVDS σημάτων εξόδου, από το datasheet του LMK01000 [36].

LVDS Clock Outputs

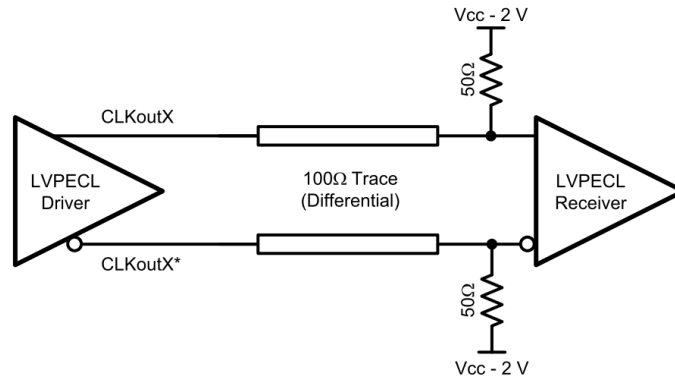
Symbol	Parameter	Conditions	Min	Typ	Max	Units	
$Jitter_{ADD}$	Additive RMS Jitter	$R_L = 100\Omega$ ,	$f_{CLKout} = 200\text{ MHz}$		80		fs
		Bandwidth = 100 Hz to 20 MHz	$f_{CLKout} = 800\text{ MHz}$		30		
			$f_{CLKout} = 1600\text{ MHz}$		25		
$Noise_{Floor}$	Divider Noise Floor	$R_L = 100\Omega$	$f_{CLKout} = 200\text{ MHz}$		-156		dBc /Hz
			$f_{CLKout} = 800\text{ MHz}$		-153		
			$f_{CLKout} = 1600\text{ MHz}$		-148		
$t_{skew}$	CLKoutX to CLKoutY	Equal loading and identical clock configuration $R_L = 100\Omega$	-30	$\pm 4$	30	ps	
$V_{OD}$	Differential Output Voltage		250	350	450	mV	
$\Delta V_{OD}$	Change in magnitude of $V_{OD}$ for complementary output states	$R_L = 100\Omega$	-50		50	mV	
$V_{OS}$	Output Offset Voltage	$R_L = 100\Omega$	1.07	1.25	1.37	V	
$\Delta V_{OD}$	Change in magnitude of $V_{OS}$ for complementary output states	$R_L = 100\Omega$	-35		35	mV	
$I_{SA}, I_{SB}$	Clock Output Short Circuit Current (single ended)	Outputs shorted to GND	-24		24	mA	
$I_{SAB}$	Clock Output Short Circuit Current (differential)	Outputs tied together	-12		12	mA	

Πίνακας 4.2

## Σήμα ρολογιού για το D Flip-Flop

Το σήμα ρολογιού που πυροδοτεί το D Flip-Flop είναι το κρισιμότερο σήμα του συστήματος, καθώς είναι εκείνο που χρησιμοποιείται για τη δειγματοληψία του σήματος πληροφορίας. Το jitter που παρουσιάζει το σήμα πληροφορίας στην έξοδο του 1-bit DAC καθορίζεται κατά κύριο λόγο από το jitter του σήματος που πυροδοτεί το D Flip-Flop. Επομένως, το σήμα ρολογιού του D Flip-Flop πρέπει να εμφανίζει όσο το δυνατόν λιγότερο jitter (ή ισοδύναμα θόρυβο φάσης). Από τις διάφορες λογικές οικογένειες (Logic Families), η ECL τεχνολογία παρουσιάζει τα καλύτερα χαρακτηριστικά θορύβου φάσης. Για το λόγο αυτό επιλέξαμε το σήμα ρολογιού του D Flip-Flop να είναι LVPECL. Το ρολόι δίνεται στη διαφορική έξοδο CLKout4 του LMK01000. Ο τερματισμός της γραμμής μεταφοράς του σήματος ρολογιού πραγματοποιήθηκε με τις εσωτερικές 50 Ω αντιστάσεις

του D Flip-Flop, σύμφωνα με τη συνδεσμολογία του σχήματος 4.9. Προκειμένου να αποφύγουμε τη χρήση regulator για τη δημιουργία επιπέδου τάσης  $V_{CC} - 2V$ , χρησιμοποιήθηκε "Y" τερματισμός [33]. Στο συγκεκριμένο τερματισμό τα ελεύθερα άκρα των  $50\ \Omega$  αντιστάσεων ενώνονται μεταξύ τους και ο κοινός τους κόμβος συνδέεται στη τάση  $V_{EE}$  μέσω αντίστασης κατάλληλης τιμής.



Σχήμα 4.9

Στον ακόλουθο πίνακα παραθέτουμε κάποια βασικά χαρακτηριστικά των LVDS σημάτων εξόδου, από το datasheet του LMK01000 [36].

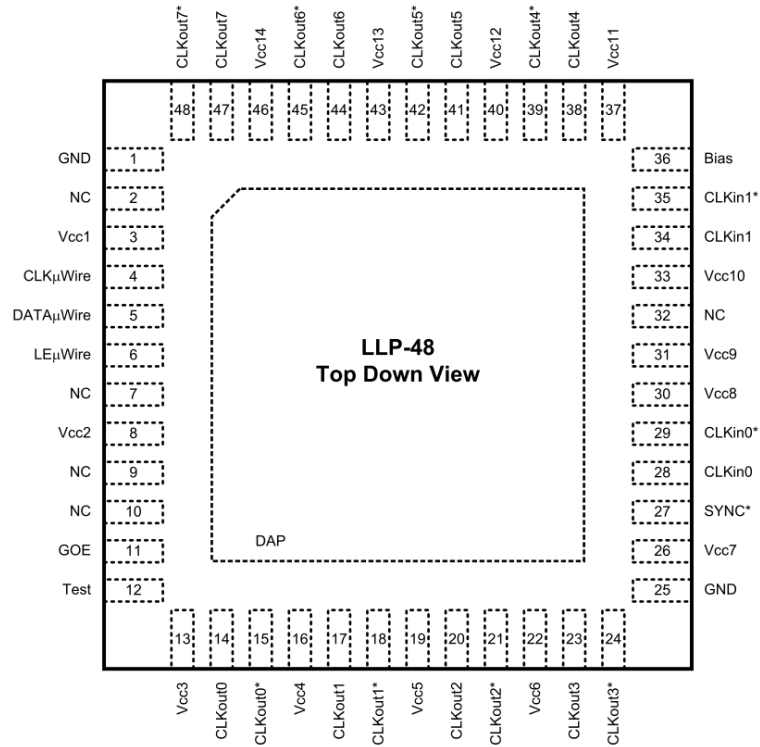
LVPECL Clock Outputs

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$Jitter_{ADD}$	Additive RMS Jitter	$R_L = 100\Omega$ , Bandwidth = 100 Hz to 20 MHz	$f_{CLKout} = 200\text{ MHz}$		65	fs
			$f_{CLKout} = 800\text{ MHz}$		25	
			$f_{CLKout} = 1600\text{ MHz}$		25	
$NoiseFloor$	Divider Noise Floor	$R_L = 100\Omega$	$f_{CLKout} = 200\text{ MHz}$		-158	dBc /Hz
			$f_{CLKout} = 800\text{ MHz}$		-154	
			$f_{CLKout} = 1600\text{ MHz}$		-148	
$t_{skew}$	CLKoutX to CLKoutY	Equal loading and identical clock configuration Termination = $50\ \Omega$ to $V_{CC} - 2$	-30	$\pm 3$	30	ps
$V_{OH}$	Output High Voltage	Termination = $50\ \Omega$ to $V_{CC} - 2$		$V_{CC} - 0.98$		V
$V_{OL}$	Output Low Voltage	Termination = $50\ \Omega$ to $V_{CC} - 2$		$V_{CC} - 1.8$		V
$V_{OD}$	Differential Output Voltage		660	810	965	mV

Πίνακας 4.3

### Προγραμματισμός του LMK01000

Το LMK01000 προγραμματίζεται μέσω 32-bit καταχωρητών. Οι καταχωρητές αποτελούνται από ένα πεδίο δεδομένων (data field) και ένα πεδίο διευθύνσεων (address field). Τα 4 τελευταία ψηφία κάθε καταχωρητή αποτελούν το πεδίο διευθύνσεων ADDR[3:0], ενώ τα υπόλοιπα 28 ψηφία αποτελούν το πεδίο δεδομένων DATA[27:0]. Η εγγραφή στους καταχωρητές γίνεται με το πρωτόκολλο Microwire (uWire), το οποίο αποτελείται από τρία σήματα: το CLKuWire (Clock Signal), το DATAuWire (Data Signal) και το LEuWire (Low Enable Signal). Όσο το σήμα LEuWire βρίσκεται χαμηλά, τα σειριακά δεδομένα του σήματος DATAuWire εισάγονται στο LMK01000 σε κάθε θετική ακμή του CLKuWire (με πρώτο το MSB). Μόλις το LEuWire γίνει "1", τα δεδομένα μεταφέρονται στον καταχωρητή που ορίζει το πεδίο διεύθυνσης. Για την παραγωγή των σημάτων του Microwire χρησιμοποιήθηκε ένας μικροελεγκτής εντός του συστήματος του 1-bit DAC. Ο προγραμματισμός του LMK01000 περιγράφεται αναλυτικά στο τέλος του κεφαλαίου.

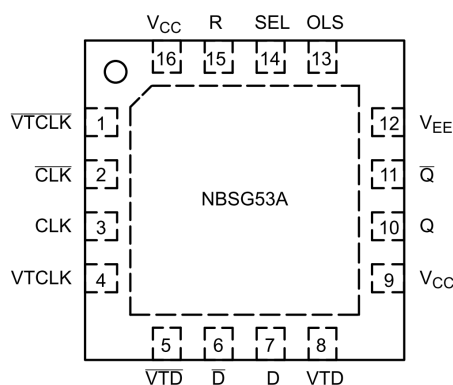


Σχήμα 4.10: Κάτοψη του ολοκληρωμένου LMK01000.

### 4.2.2 D Flip-Flop

Το D Flip-Flop που χρησιμοποιήθηκε είναι το NBSG53A (2.5V/3.3V SiGe Selectable Differential Clock and Data D Flip-Flop) της ON Semiconductor. Το NBSG53A ανήκει στην οικογένεια ολοκληρωμένων πυριτίου γερμανίου (Silicon Germanium) GigaComm<sup>TM</sup> της ON Semiconductor, η οποία περιλαμβάνει προϊόντα υψηλών επιδόσεων. Το συγκεκριμένο ολοκληρωμένο μπορεί να λει-

τουργήσει είτε ως D Flip-Flop, είτε ως γεννήτρια ρολογιού σταθερής διαίρεσης δια δύο (DIV/2), με συχνότητα ρολογιού έως και 8 GHz (στη DFF λειτουργία). Το NBSG53A δέχεται διαφορικά σήματα εισόδου PECL (Positive ECL), NECL (Negative ECL), LVCMOS/LVTTL, CML ή LVDS τεχνολογίας, ενώ η διαφορική έξοδος του είναι PECL.



Σχήμα 4.11: Κάτοψη του ολοκληρωμένου NBSG53A.

Η λειτουργία του NBSG53A (D Flip-Flop ή DIV/2 γεννήτρια ρολογιού) καθορίζεται από το pin SEL. Όταν το SEL είναι "1" το ολοκληρωμένο λειτουργεί ως D Flip-Flop, ενώ όταν είναι "0" λειτουργεί ως DIV/2 γεννήτρια ρολογιού. Ο πίνακας αληθείας του NBSG53A παρουσιάζεται στον πίνακα 4.4 Το διαφορικό σήμα εξόδου του NBSG53A είναι PECL. Το πλάτος του σήματος εξόδου μπορεί να λάβει τέσσερις προκαθορισμένες τιμές (200, 400, 600 και 800 mV), ανάλογα με την τάση που εφαρμόζεται στο pin OLS. Στο σύστημα του 1-bit DAC επιλέξαμε το μέγιστο δυνατό πλάτος (800 mV) για το σήμα εξόδου του D Flip-Flop. Η επιλογή μας βασίζεται στο γεγονός ότι η επίδραση του θορύβου φάσης ελαττώνεται όσο αυξάνεται το πλάτος του σήματος. Για την τροφοδοσία του NBSG53A επιλέχτηκε η τιμή των 3.3V, ώστε να βρίσκεται σε συμφωνία με την τροφοδοσία των άλλων ολοκληρωμένων που χρησιμοποιήθηκαν στο κύκλωμα του 1-bit DAC.

TRUTH TABLE

R	SEL	D	CLK	Q	Function
H	X	X	X	L	RESET
L	H	L	Z	L	DFF
L	H	H	Z	H	DFF
L	L	X	Z	$\bar{Q}$	DIV/2

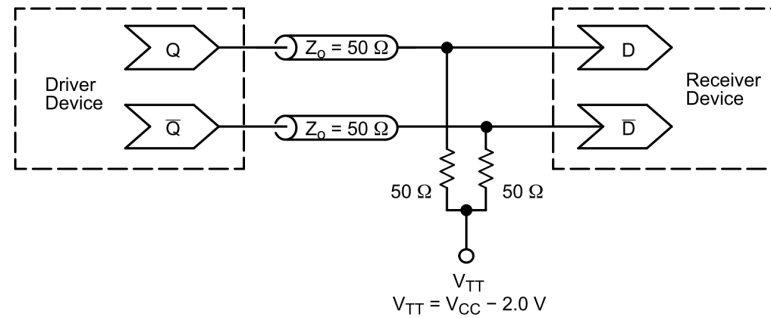
Z = LOW to HIGH Transition

Πίνακας 4.4

Το διαφορικό σήμα ρολογιού που οδηγεί το D Flip-Flop είναι LVPECL και εφαρμόζεται στις εισόδους CLK και  $\overline{CLK}$ . Τα pins CLK και  $\overline{CLK}$  συνδέονται με 50 Ω αντιστάσεις τερματισμού (εσωτερικά του τσιπ) στα pins VTCLK και  $\overline{VTCLK}$  αντίστοιχα. Ο τερματισμός του σήματος ρολογιού, το οποίο παράγεται από το ολοκληρωμένο LMK01000 της TI, παρουσιάστηκε στην

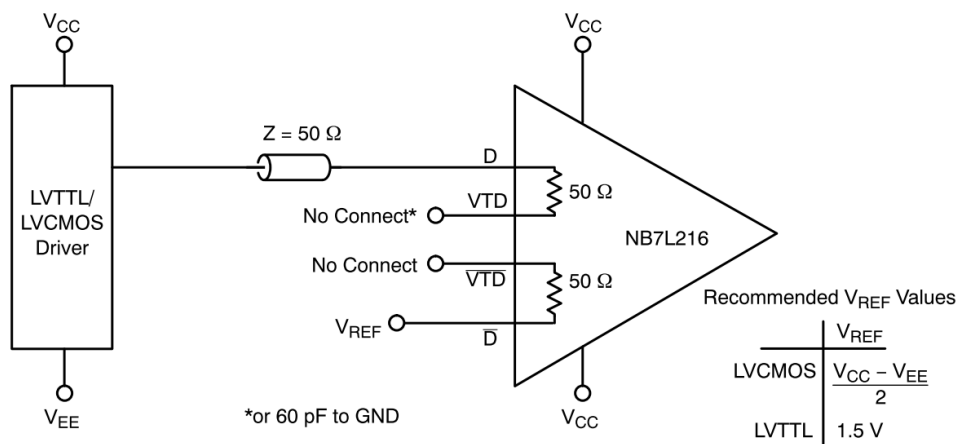


ενότητα 4.2.1 από το datasheet του LMK01000 (σχήμα 4.9), αλλά επαναλαμβάνεται εδώ (σχήμα 4.12) από το datasheet του NBSG53A. Όπως είδαμε, προκειμένου να αποφευχθεί η χρήση regulator για τη δημιουργία του επιπέδου τάσης  $V_{TT}$ , πραγματοποιήθηκε "Y" τερματισμός (ο κοινός κόμβος των 50 Ω αντιστάσεων συνδέεται στο  $V_{EE}$  μέσω κατάλληλης αντίστασης [33]).



Σχήμα 4.12: Τερματισμός του LVPECL σήματος ρολογιού.

Το σήμα πληροφορίας μπορεί να ληφθεί είτε single-ended, είτε διαφορικά από τις εξόδους του FPGA. Κάθε έξοδος του FPGA δίνει σήμα LVCMOS 2.5 V. Επομένως, η λήψη του σήματος από το FPGA με διαφορική συνδεσμολογία, συνεπάγεται σήμα πλάτους 5 V ( $2 \times 2.5$  V). Το μέγιστο επιτρεπτό πλάτος διαφορικής εισόδου  $V_{ID}$  στο NBSG53A είναι μόνο 2.6 V, όπως φαίνεται από τον πίνακα 4.5. Συνεπώς, το σήμα από το FPGA δεν μπορεί παρά να είναι single-ended με πλάτος 2.5 V. Από τον πίνακα 4.5 βλέπουμε ότι το μέγιστο επιτρεπτό πλάτος της τάσης σε μία διαφορική είσοδο, όταν αυτή οδηγείται single-ended, είναι  $V_{CC}$ , δηλαδή 3.3 V. Οι διαφορικοί είσοδοι D και  $\bar{D}$ , οδηγούνται single-ended με τη συνδεσμολογία του σχήματος 4.13. Υπάρχουν διάφοροι προτεινόμενοι τερματισμοί για την οικογένεια των LVCMOS σημάτων. Ο τερματισμός που παρουσιάζεται στο σχήμα 4.13 συνιστάται από την ON Semiconductor [35]. Για τη δημιουργία της τάσης  $V_{REF}$  χρησιμοποιήθηκε regulator, τα χαρακτηριστικά του οποίου αναλύονται σε επόμενη ενότητα.



Σχήμα 4.13: Τερματισμός του LVCMOS σήματος από το FPGA.

Στον ακόλουθο πίνακα παραθέτουμε κάποια βασικά χαρακτηριστικά από το datasheet του NBSG53A [37] σχετικά με τη DC συμπεριφορά του ολοκληρωμένου.

**DC CHARACTERISTICS** ( $V_{CC} = 3.3\text{ V}$ ,  $V_{EE} = 0\text{ V}$ , Temperature =  $25^{\circ}\text{C}$ )

Symbol	Characteristic	Min	Typ	Max	Unit
<b>POWER SUPPLY CURRENT</b>					
$I_{EE}$	Negative Power Supply Current	35	47	59	mA
<b>PECL OUTPUTS</b>					
$V_{OH}$	Output High Voltage	2290	2340	2390	mV
$V_{OL}$	Output Low Voltage (OLS = $V_{CC}$ )	1360	1510	1660	mV
$V_{OUTPP}$	Output Voltage Amplitude (OLS = $V_{CC}$ )	695	805		mV
<b>DIFFERENTIAL INPUTS DRIVEN SINGLE-ENDED</b>					
$V_{IH}$	Input HIGH Voltage (single-ended) CLK, $\overline{\text{CLK}}$ , D, $\overline{\text{D}}$ R, SEL	1200 2155		$V_{CC}$ $V_{CC}$	mV
$V_{IL}$	Input LOW Voltage (single-ended) CLK, $\overline{\text{CLK}}$ , D, $\overline{\text{D}}$ R, SEL	0 0		$V_{IH} - 150$ 1755	mV
$V_{th}$	Input Threshold Voltage Range	1125		$V_{CC} - 75$	mV
$V_{ISE}$	Single-Ended Input Voltage ( $V_{IH} - V_{IL}$ )	150		2600	mV
<b>DIFFERENTIAL INPUTS DRIVEN DIFFERENTIALY</b>					
$V_{IHD}$	Differential Input HIGH Voltage	1200		$V_{CC}$	mV
$V_{ILD}$	Differential Input LOW Voltage	0		$V_{IHD} - 75$	mV
$V_{ID}$	Differential Input Voltage ( $V_{IHD} - V_{ILD}$ )	75		2600	mV
$V_{IHCMR}$	Input HIGH Voltage Common Mode Range	1200		3300	mV
$I_{IH}$	Input HIGH Current (@ $V_{IH}$ ) CLK, $\overline{\text{CLK}}$ , D, $\overline{\text{D}}$ R, SEL		5 35	50 100	$\mu\text{A}$
$I_{IL}$	Input LOW Current (@ $V_{IL}$ ) CLK, $\overline{\text{CLK}}$ , D, $\overline{\text{D}}$ R, SEL		5 20	50 100	$\mu\text{A}$
$R_{TIN}$	Internal Input Termination Resistor	45	50	55	$\Omega$

Πίνακας 4.5

Επίσης, παραθέτουμε κάποια σημαντικά AC χαρακτηριστικά του NBSG53A από το datasheet [37], τα οποία αφορούν τη λειτουργία του ως D Flip-Flop.

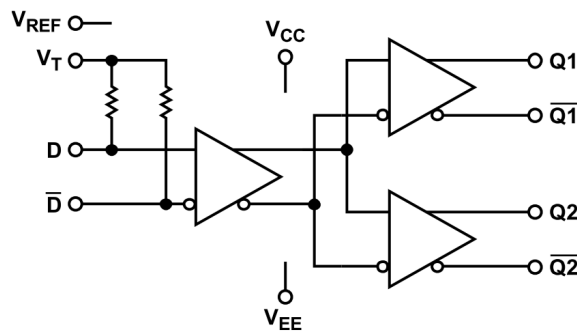
**AC CHARACTERISTICS** ( $V_{CC} = 3.3\text{ V}$ ,  $V_{EE} = 0\text{ V}$ , Temperature =  $25^\circ\text{C}$ )

Symbol	Characteristic	Min	Typ	Max	Unit
$f_{max}$	Maximum Input Clock Frequency		8		GHz
$t_{PLH}, t_{PHL}$	Propagation Delay to Output Differential				ps
	CLK $\rightarrow$ Q, $\bar{Q}$	150	215	285	
	SEL $\rightarrow$ Q, $\bar{Q}$	100	190	280	
	R $\rightarrow$ Q, $\bar{Q}$	195	270	345	
$t_{skew}$	Duty Cycle Skew		5	20	ps
$t_{jitter}$	RMS Random Clock Jitter		0.5	1	ps
$t_r, t_f$	Output Rise/Fall Times (20%-80%) @ 1GHz	28	40	65	ps
$t_s$	Setup Time (D $\rightarrow$ CLK)	30	10		ps
$t_h$	Hold Time (D $\rightarrow$ CLK)	25	7		ps
$t_{r,r}$	Reset Recovery	40	12		ps

Πίνακας 4.6

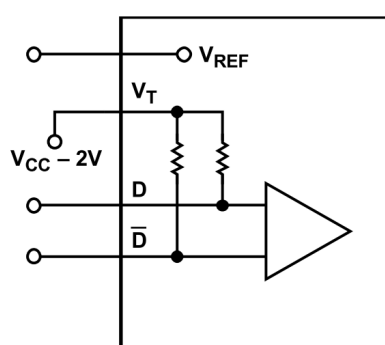
### 4.2.3 Buffer

Ο buffer επιτρέπει την οδήγηση απαιτητικότερων φορτίων και ταυτόχρονα απομονώνει την έξοδο από το υπόλοιπο κύκλωμα. Το ολοκληρωμένο που χρησιμοποιήθηκε είναι το ADCLK925 (Ultrafast SiGe ECL Clock/Data Buffer) της Analog Devices, το οποίο ανήκει στην κατηγορία προϊόντων πυριτίου γερμανίου (SiGe) υψηλών επιδόσεων. Το ADCLK925 παρουσιάζει 95 ps καθυστέρηση διάδοσης ενώ μπορεί να λειτουργήσει με συχνότητα έως και 7.5 GHz. Επιπλέον, χαρακτηρίζεται από 60 fs τυχαίο rms jitter και χαμηλό προσθετικό θόρυβο φάσης. Το σχηματικό του διάγραμμα παρουσιάζεται στο σχήμα 4.14. Η τροφοδοσία του ολοκληρωμένου επιλέχτηκε στα 3.3 V.



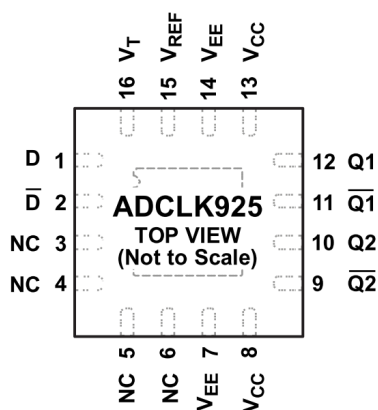
Σχήμα 4.14: Σχηματικό διάγραμμα του ADCLK925.

Ο buffer δέχεται ως είσοδο το διαφορικό σήμα εξόδου του D Flip-Flop, το οποίο είναι PECL. Το ADCLK925 διαθέτει εσωτερικές 50 Ω αντιστάσεις τερματισμού, το κοινό άκρο των οποίων συνδέεται στο pin  $V_T$ , όπως φαίνεται στο σχήμα 4.14. Η συνδεσμολογία τερματισμού της γραμμής μεταφοράς του σήματος εισόδου του buffer παρουσιάζεται στο σχήμα 4.15. Αντί του επιπέδου τάσης τερματισμού  $V_{CC} - 2V$ , στο pin  $V_T$  του ολοκληρωμένου συνδέθηκε αντίσταση κατάλληλης τιμής, το άλλο άκρο της οποίας συνδέθηκε σε δυναμικό  $V_{EE}$  ("Y" τερματισμός [33]). Το pin  $V_{REF}$  χρησιμοποιείται για την πόλωση ac-coupled σημάτων εισόδου. Στην προκειμένη περίπτωση το σήμα εισόδου του buffer δεν είναι ac-coupled και το pin  $V_{REF}$  αφήνεται στον αέρα.



Σχήμα 4.15: Τερματισμός του PECL σήματος από το D Flip-Flop.

Το σήμα εισόδου του ADCLK925 μεταφέρεται σε δύο όμοιες διαφορικές εξόδους, όπως φαίνεται στο σχήμα 4.14. Οι δύο εξόδοι είναι ECL drivers με πλάτος διαφορικής εξόδου 1.6 V. Κάθε σήμα εξόδου του data buffer εισέρχεται σε ένα balun μετασχηματιστή, στον οποίο τερματίζεται η γραμμή μεταφοράς. Η λειτουργία των balun μετασχηματιστών περιγράφεται αναλυτικά στην αντίστοιχη ενότητα. Στη συνέχεια παρουσιάζονται κάποια βασικά χαρακτηριστικά του ADCLK925 από το datasheet [38] σχετικά με τη DC συμπεριφορά και τις AC επιδόσεις ολοκληρωμένου.



Σχήμα 4.16: Κάτοψη του ολοκληρωμένου ADCLK925.

## Buffer

Parameter	Symbol	Min	Typ	Max	Unit	Comments
DC INPUT CHARACTERISTICS						
Input Voltage High Level	$V_{IH}$	$V_{EE} + 1.6$		$V_{CC}$	V	
Input Voltage Low Level	$V_{IL}$	$V_{EE}$		$V_{CC} - 0.7$	V	
Input Differential Range	$V_{ID}$	0.2		3.4	V p-p	-40°C to +85°C
	$V_{ID}$	0.2		2.8	V p-p	85°C to 125°C
Input Capacitance	$C_{IN}$		0.4		pF	
Input Resistance, Single-Ended			50		$\Omega$	
Input Resistance, Differential			100		$\Omega$	
Input Resistance, Common Mode			50		k $\Omega$	Open $V_T$
Input Bias Current			20		$\mu$ A	
DC OUTPUT CHARACTERISTICS						
Output Voltage High Level	$V_{OH}$	$V_{CC} - 1.26$		$V_{CC} - 0.76$	V	50 $\Omega$ to $(V_{CC} - 2V)$
Output Voltage Low Level	$V_{OL}$	$V_{CC} - 1.99$		$V_{CC} - 1.54$	V	50 $\Omega$ to $(V_{CC} - 2V)$
Output Voltage Differential	$V_{OD}$	610		1040	mV	50 $\Omega$ to $(V_{CC} - 2V)$
Output Resistance			250		$\Omega$	
AC PERFORMANCE						
Propagation Delay	$t_{PD}$	70	95	125	ps	$V_{ID} = 0.5$ V p-p
Propagation Delay Temperature Coefficient			50		fs/°C	
Propagation Delay Skew (Output to Output)				10	ps	$V_{ID} = 0.5$ V
Propagation Delay Skew (Device to Device)				35	ps	$V_{ID} = 0.5$ V
Toggle Rate		6	7.5		GHz	>0.8 differential output swing
Random Jitter	RJ		60		fs rms	$V_{ID} = 1600$ mV, 8 V/ns
Rise/Fall Time	$t_R/t_F$	30		85	ps	20% / 80%
Additive Phase Noise	622.08 MHz		-138		dBc/Hz	@10Hz offset
			-144		dBc/Hz	@100Hz offset
			-152		dBc/Hz	@1kHz offset
			-159		dBc/Hz	@10kHz offset
			-161		dBc/Hz	@100kHz offset
			-161		dBc/Hz	>1 MHz offset
	122.88 MHz		-135		dBc/Hz	@10Hz offset
			-145		dBc/Hz	@100Hz offset
			-153		dBc/Hz	@1kHz offset
			-160		dBc/Hz	@10kHz offset
			-161		dBc/Hz	@100kHz offset
			-161		dBc/Hz	>1 MHz offset

Πίνακας 4.7

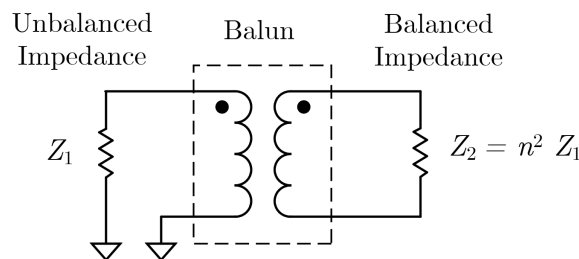
Για τις τυπικές (Typ) τιμές ισχύει  $V_{CC} - V_{EE} = 3.3 \text{ V}$  και  $T = 25^\circ\text{C}$ . Οι ελάχιστες (Min) και μέγιστες (Max) τιμές αντιστοιχούν σε εύρος διακύμανσης για την τάση τροφοδοσίας  $V_{CC} - V_{EE} = 3.3 \text{ V} \pm 10\%$  και για τη θερμοκρασία  $T = -40^\circ\text{C}$  έως  $+125^\circ\text{C}$ . Ακολούθως, παραθέτουμε κάποια χαρακτηριστικά που σχετίζονται με την κατανάλωση του ολοκληρωμένου.

Parameter	Symbol	Min	Typ	Max	Unit	Comments
POWER SUPPLY						
Supply Voltage Requirement	$V_{CC} - V_{EE}$	2.375		3.63	V	$2.5\text{V} - 5\%$ to $3.3 + 10\%$
Negative Supply Current	$I_{VEE}$		31	51	mA	$V_{CC} - V_{EE} = 3.3 \text{ V} \pm 10\%$
Positive Supply Current	$I_{VCC}$		77	97	mA	$V_{CC} - V_{EE} = 3.3 \text{ V} \pm 10\%$
Power Supply Rejection	$PSR_{VCC}$		3		ps/V	$V_{CC} - V_{EE} = 3.0 \text{ V} \pm 20\%$
Output Swing Supply Rejection	$PSR_{VCC}$		26		dB	$V_{CC} - V_{EE} = 3.0 \text{ V} \pm 20\%$

Πίνακας 4.8

#### 4.2.4 Balun

Πριν μιλήσουμε για τη λειτουργία του balun θα πρέπει να γίνει κατανοητός ο διαχωρισμός μεταξύ *balanced* και *unbalanced* γραμμής μεταφοράς. Το σήμα σε μία *balanced* γραμμή μεταφοράς μεταδίδεται μέσω δύο όμοιων αγωγών, οι οποίοι διαρρέονται από ρεύματα ίσου μέτρου και αντίθετης φοράς. Το ρεύμα του σήματος κυλάει προς το φορτίο μέσω του ενός αγωγού και επιστρέφει μέσω του άλλου. Σε μία *unbalanced* γραμμή μεταφοράς το σήμα διαδίδεται μέσα από μόνο έναν αγωγό. Το ρεύμα του σήματος φτάνει στο φορτίο μέσω του αγωγού και επιστρέφει μέσω της γης. Balun ονομάζεται η συσκευή που επιτρέπει τη σύνδεση μεταξύ μίας *balanced* και μίας *unbalanced* γραμμής μεταφοράς. Το όνομά του προέρχεται από τη σύντμηση των λέξεων *balanced* και *unbalanced*.



Σχήμα 4.17: Transformer balun.

Υπάρχουν διάφοροι τρόποι υλοποίησης ενός balun. Ο πιο συνηθισμένος είναι χρησιμοποιώντας ένα μετασχηματιστή με κατάλληλο λόγο μετασχηματισμού. Η ζεύξη μεταξύ της *unbalanced* και της *balanced* γραμμής μεταφοράς επιτυγχάνεται με τη μεταφορά ενέργειας μέσω του μαγνητικού πυρήνα του μετασχηματιστή. Το πρωτεύον του μετασχηματιστή συνδέεται στην *unbalanced* γραμμή και το δευτερεύον στη *balanced* γραμμή μεταφοράς. Η σύνθετη αντίσταση στην *unbalanced* πλευρά του μετασχηματιστή (πρωτεύον) λαμβάνει συνήθως κατάλληλες τιμές (π.χ.  $50 \Omega$  ή  $75 \Omega$ ) ώστε να

προσαρμόζεται στην *unbalanced* γραμμή μεταφοράς. Η σύνθετη αντίσταση στη *balanced* πλευρά του μετασχηματιστή (δευτερεύον) διαμορφώνεται από τη σύνθετη αντίσταση του πρωτεύοντος σύμφωνα με το λόγο μετασχηματισμού. Χρησιμοποιώντας κατάλληλο λόγο μετασχηματισμού πετυχαίνεται μέγιστη μεταφορά ισχύος μεταξύ των δύο γραμμών.

Οι balun μετασχηματιστές χρησιμοποιούνται σε διάφορες εφαρμογές. Από τις πιο συνηθισμένες είναι η μετατροπή σήματος από single-ended σε διαφορικό ή από διαφορικό σε single-ended. Στην πρώτη περίπτωση ο balun μετασχηματιστής δέχεται ως είσοδο στην *unbalanced* πλευρά το single-ended σήμα και το μετατρέπει στη *balanced* πλευρά σε διαφορικό. Ιδανικά, τα σήματα στις δύο εξόδους (μη-αναστρέφουσα και αναστρέφουσα έξοδος) στη *balanced* πλευρά του μετασχηματιστή θα πρέπει να παρουσιάζουν διαφορά φάσης  $180^\circ$  και να έχουν την ίδια ισχύ. Το μέγεθος που χρησιμοποιείται για τη μέτρηση της απόκλισης της φάσης των δύο εξόδων από τις  $180^\circ$ , ονομάζεται *phase balance* και εκφράζεται σε μοίρες. Αντίστοιχα, το μέγεθος *amplitude balance* εκφράζει σε dB τη διαφορά της ισχύος στις δύο εξόδους του μετασχηματιστή.

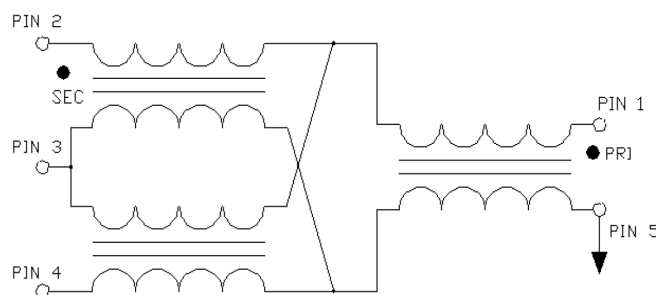
Όταν ένας balun μετασχηματιστής χρησιμοποιείται για τη μετατροπή διαφορικού σήματος σε single-ended, δέχεται ως είσοδο το διαφορικό σήμα στη *balanced* πλευρά και το μετατρέπει σε single-ended στην *unbalanced* πλευρά. Στην περίπτωση αυτή, εάν εφαρμοστούν δύο όμοια σήματα με ίδιες φάσεις στη διαφορική είσοδο του balun είτε θα ανακλαστούν, είτε θα απορροφηθούν. Η απόσβεση που υφίσταται το κοινό σήμα από τη *balanced* είσοδο στην *unbalanced* έξοδο ονομάζεται Common Mode Rejection Ratio (CMRR) και εκφράζεται σε dB. Η ιδιότητα του balun να απορρίπτει τα κοινά σήματα στη διαφορική του είσοδο είναι πολύ σημαντική, καθώς τα όμοια σήματα σε μία διαφορική γραμμή προέρχονται από πηγές θορύβου.

Υπάρχουν διάφοροι τύποι balun μετασχηματιστών. Κάθε τύπος παρουσιάζει διαφορετικά χαρακτηριστικά και εύρος ζώνης λειτουργίας. Στο κύκλωμα του 1-bit DAC χρησιμοποιήθηκαν δύο διαφορετικοί balun μετασχηματιστές για τη μετατροπή των δύο διαφορικών εξόδων του data buffer σε single-ended στην έξοδο του μετατροπέα. Η ύπαρξη δύο εξόδων στο κύκλωμα δεν ήταν αναγκαία, αλλά έγινε για λόγους πειραματισμού. Σκοπός ήταν η διερεύνηση των επιδόσεων δύο διαφορετικών τύπων μετασχηματιστών με διαφορετικές συνδεσμολογίες. Οι μετασχηματιστές που χρησιμοποιήθηκαν είναι ο MABA-011029 (Transmission Line Balun 5-1200 MHz) της MACOM και ο TC2-72T+ (RF Transformer 10-700 MHz) της Mini-Circuits. Και οι δύο μετασχηματιστές χαρακτηρίζονται από *impedance ratio* 1:2 (δηλαδή λόγο μετασχηματισμού  $1:\sqrt{2}$ ) με το πρωτεύον προσαρμοσμένο στα  $50 \Omega$  και διαθέτουν μεσαία λήψη για καλύτερο *phase balance*.

## MABA-011029

Ο μετασχηματιστής MABA-011029 της MACOM με εύρος ζώνης 5-1200 MHz ανήκει στην κατηγορία των transmission line baluns και είναι συμβατός με συστήματα  $50 \Omega$  ή  $75 \Omega$ . Η συνδεσμολογία του παρουσιάζεται στο σχήμα 4.18. Παρατηρούμε ότι η συγκεκριμένη συνδεσμολογία επιτρέπει τη ροή dc ρεύματος από το δευτερεύον στο πρωτεύον, το οποίο είναι ανεπιθύμητο για την έξοδο του 1-bit DAC. Για την απομόνωση του dc χρησιμοποιήθηκαν κατάλληλοι dc blocking πυκνωτές στη πλευρά του πρωτεύοντος (σε σειρά με τα PIN1 και PIN5). Επίσης τοποθετήθηκαν

decoupling πυκνωτές για τη σταθεροποίηση της τάσης στη μεσαία λήψη (PIN3). Το μέγιστο dc ρεύμα που μπορεί να δεχτεί ο μετασχηματιστής είναι 600 mA, ενώ η μέγιστη ισχύς 250 mW. Στον πίνακα 4.9 παραθέτουμε κάποιες βασικά χαρακτηριστικά από το datasheet του MABA-011029 [41].



Σχήμα 4.18: Σχηματικό διάγραμμα του MABA-011029 Transmission Line Balun.

**Electrical Specifications**( $Z_0 = 75 \Omega$ ,  $P_{in} = 0 \text{ dBm}$ ,  $T_A = 25 \text{ }^\circ\text{C}$ )

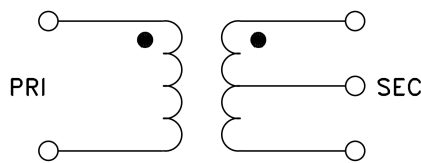
Parameter	Conditions	Min	Typ	Max	Units
Frequency Range		5		1200	MHz
Impedance			75		$\Omega$
Impedance Ratio			1:2		
Insertion Loss 1 (Pin 1 to Pin 2)	5 - 50 MHz		0.30	0.40	dB
	50 - 400 MHz		0.50	0.80	
	400 - 1000 MHz		0.90	2.00	
	1000 - 1200 MHz		1.60	2.70	
Insertion Loss 2 (Pin 1 to Pin 4)	5 - 50 MHz		0.50	0.60	dB
	50 - 400 MHz		0.70	1.20	
	400 - 1000 MHz		1.50	3.00	
	1000 - 1200 MHz		2.40	3.90	
Amplitude Balance	5 - 50 MHz	-0.30	0.10	0.30	dB
	50 - 400 MHz	-0.90	0.20	0.90	
	400 - 1200 MHz	-2.20	0.50	2.20	
Phase Balance	5 - 50 MHz	-2.0	0.20	2.0	Degree( $^\circ$ )
	50 - 400 MHz	-6.0	0.70	6.0	
	400 - 1200 MHz	-9.0	0.50	9.0	
Input Return Loss (Pin 1)	5 - 50 MHz	20	27		dB
	50 - 400 MHz	18	28		
	400 - 1000 MHz	9	16		
	1000 - 1200 MHz	7	12		

Πίνακας 4.9



**TC2-72T+**

Ο μετασχηματιστής TC2-72T+ ανήκει στην κατηγορία των wideband RF μετασχηματιστών με εύρος ζώνης λειτουργίας 10-700 MHz και είναι συμβατός με συστήματα των 50 Ω. Η τοπολογία του είναι τύπου A σύμφωνα με την κατηγοριοποίηση της Mini-Circuits και παρουσιάζεται στο σχήμα 4.19. Στη συγκεκριμένη συνδεσμολογία υπάρχει απομόνωση του dc μεταξύ πρωτεύοντος και δευτερεύοντος. Στη μεσαία λήψη του δευτερεύοντος τοποθετήθηκαν decoupling πυκνωτές για τη σταθεροποίηση της τάσης. Στον πίνακα 4.10 παραθέτουμε κάποιες βασικές προδιαγραφές του TC2-72T+ από το datasheet [42].



Σχήμα 4.19: Σχηματικό διάγραμμα του TC2-72T+ RF Transformer.

**Electrical Specifications at 25°C**

Parameter	Frequency	Min	Typ	Max	Unit
Impedance Ratio (secondary/primary)			2		Ohm
Frequency Range		10		700	MHz
Insertion Loss *	10 - 400 MHz		0.4	1.3	dB
	400 - 700 MHz		0.9	1.8	
Amplitude Unbalanced	10 - 400 MHz		0.5	0.8	dB
	400 - 700 MHz		1.3	2.0	
Phase Unbalance	10 - 400 MHz		1.5	7.0	Degree(°)
	400 - 700 MHz		2.25	9.0	

\* Insertion Loss is referenced to mid-band loss, 0.5 dB.

Πίνακας 4.10

**4.2.5 Regulators**

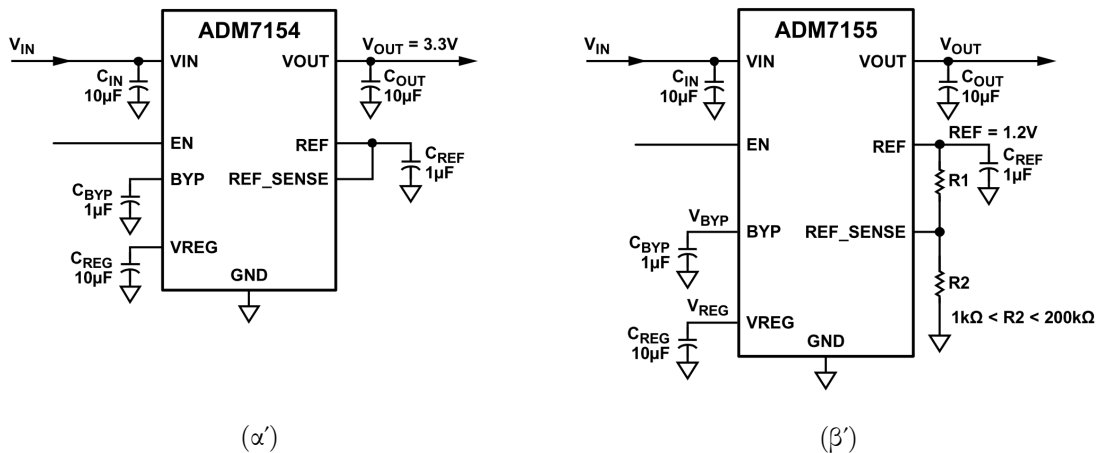
Η τάση τροφοδοσίας του κυκλώματος του 1-bit DAC επιλέχτηκε στα 3.3 V. Για τη δημιουργία του επιπέδου τάσης τροφοδοσίας χρησιμοποιήθηκε το ολοκληρωμένο ADM7154 (600mA, Ultralow Noise, High PSRR, RF Linear Regulator) της Analog Devices. Το ADM7154 λειτουργεί με τάση εισόδου από 2.3 V έως 5.5 V και παρέχει έως και 600 mA στην έξοδό του. Χαρακτηρίζεται από υψηλό PSRR (Power Supply Rejection Ratio) και εξαιρετικά χαμηλό θόρυβο εξόδου. Στο κύκλωμα του 1-bit DAC χρησιμοποιήθηκαν δύο ADM7154 προκειμένου να μοιραστεί το συνολικό φορτίο. Το πρώτο χρησιμοποιήθηκε για την τροφοδοσία του Clock Distributor (LMK01000) και του συστήματος του μικροελεγκτή (ATmega328P), ενώ το δεύτερο για την τροφοδοσία του D

Flip-Flop (NBSG53A) και του Data Buffer (ADCLK925). Η συνδεσμολογία που υλοποιήθηκε σε κάθε ADM7154 φαίνεται στο σχήμα 4.20(α').

Στην ενότητα του D Flip-Flop είδαμε ότι για τον τερματισμό της γραμμής μεταφοράς του σήματος που λαμβάνεται από το FPGA χρειαζόμαστε μία τάση αναφοράς, η οποία λειτουργεί ως τάση κατωφλίου για το single-ended σήμα εισόδου του D Flip-Flop. Το σήμα εξόδου του FPGA είναι LVCMOS 2.5 V, επομένως η τάση κατωφλίου πρέπει να βρίσκεται στα 1.25 V. Για τη δημιουργία του επιπέδου τάσης 1.25 V χρησιμοποιήθηκε το ολοκληρωμένο ADM7155 (600mA, Ultralow Noise, High PSRR, RF Linear Regulator) της Analog Devices, το οποίο εμφανίζει ακριβώς τα ίδια χαρακτηριστικά με το ADM7154. Η τάση εξόδου του ADM7155 μπορεί να ρυθμιστεί από 1.2 V έως 3.4 V με κατάλληλη επιλογή των αντιστάσεων R1 και R2. Η συνδεσμολογία παρουσιάζεται στο σχήμα 4.20(β'). Η τιμή της τάσης εξόδου προκύπτει σύμφωνα με την ακόλουθη σχέση.

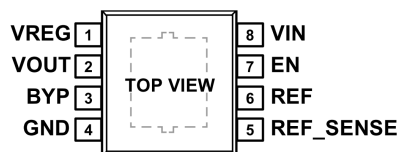
$$V_{OUT} = 1.2 \times (R1 + R2)/R2 \quad (4.2.2)$$

Λαμβάνοντας υπόψιν τους περιορισμούς για τις επιτρεπτές τιμές των αντιστάσεων, επιλέχθηκαν οι τιμές  $R1 = 5 \text{ k}\Omega$  και  $R2 = 120 \text{ k}\Omega$ . Προκειμένου η τάση εξόδου να εμφανίζει όσο το δυνατόν μικρότερη απόκλιση από την ιδανική τιμή των 1.25 V, χρησιμοποιήθηκαν αντιστάσεις χαμηλού σφάλματος (1%).



Σχήμα 4.20

Τα ολοκληρωμένα ADM7154 και ADM7155 παρουσιάζουν ακριβώς τα ίδια χαρακτηριστικά. Στον πίνακα που ακολουθεί παραθέτουμε τα σημαντικότερα εξ' αυτών από τα datasheet [43], [44].



Σχήμα 4.21: Κάτοψη των ολοκληρωμένων ADM7154 και ADM7155.

Micro-controller

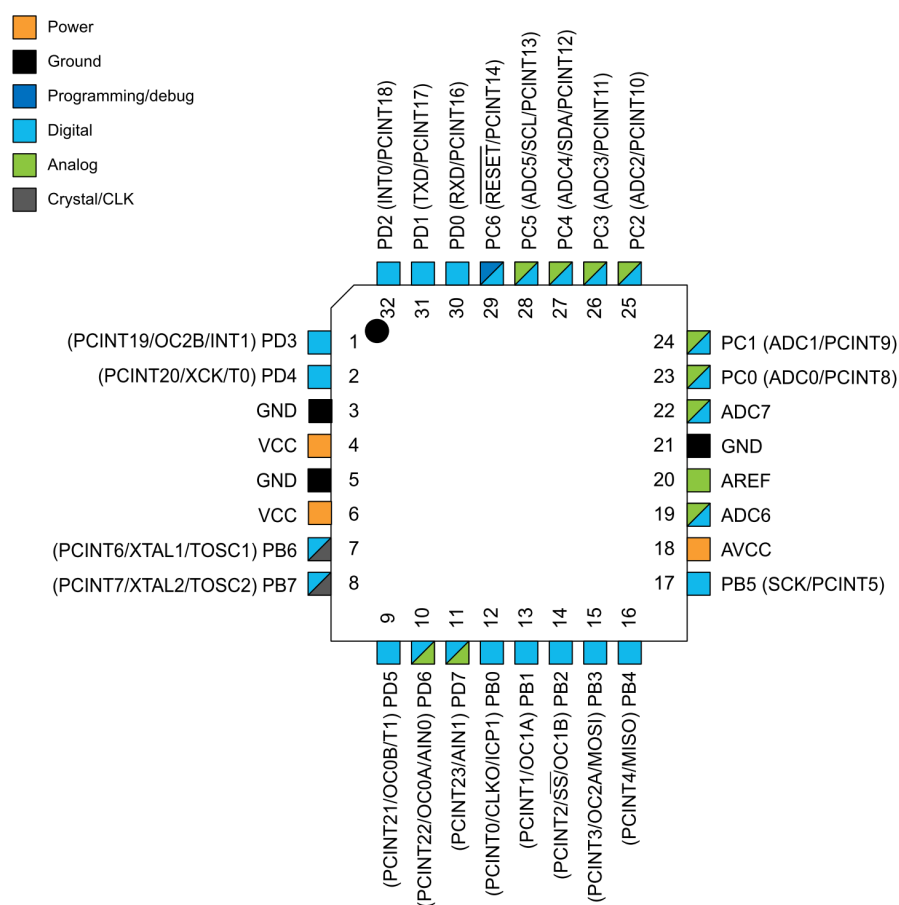
**SPECIFICATIONS**  $V_{IN} = V_{OUT\_MAX} + 0.5$  V,  $EN = V_{IN}$ ,  $I_{LOAD} = 10$  mA,  $C_{IN} = C_{OUT} = C_{REG} = 10$   $\mu$ F,  $C_{REF} = C_{BYP} = 1$   $\mu$ F,  $T_A = 25$  °C for typical applications,  $T_J = -40$ °C to  $+125$ °C for Min/Max specifications.

Parameter	Symbol	Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	$V_{IN}$		2.3		5.5	V
LOAD CURRENT	$I_{LOAD}$				600	mA
OPERATING SUPPLY CURRENT	$I_{GND}$	$I_{LOAD} = 0$ $\mu$ A		4.0	7.0	mA
		$I_{LOAD} = 600$ mA		6.5	10	mA
SHUTDOWN CURRENT	$I_{IN\_SD}$	EN = GND		0.2	2	$\mu$ A
NOISE						
Output Noise	$OUT_{NOISE}$	10 Hz to 100 kHz, $V_{OUT} = 1.2$ V to 3.3 V		1.6		$\mu$ V rms
		100 Hz to 100 kHz, $V_{OUT} = 1.2$ V to 3.3 V		0.9		$\mu$ V rms
Noise Spectral Density	$OUT_{NSD}$	10 kHz to 1 MHz, $V_{OUT} = 1.2$ to 3.3 V		1.5		$\frac{nV}{\sqrt{Hz}}$
POWER SUPPLY REJECTION RATIO (ADM7154)	PSRR	200 Hz to 200 kHz, $V_{IN} = 3.8$ V, $V_{OUT} = 3.3$ V, $I_{LOAD} = 400$ mA		90		dB
		1 MHz, $V_{IN} = 3.8$ V, $V_{OUT} = 3.3$ V, $I_{LOAD} = 400$ mA		58		dB
		200 Hz to 200 kHz, $V_{IN} = 2.3$ V, $V_{OUT} = 1.8$ V, $I_{LOAD} = 400$ mA		90		dB
		1 MHz, $V_{IN} = 2.3$ V, $V_{OUT} = 1.8$ V, $I_{LOAD} = 400$ mA		63		dB
POWER SUPPLY REJECTION RATIO (ADM7155)	PSRR	1 kHz to 100 kHz, $V_{IN} = 3.9$ V		94		dB
		1 MHz, $V_{IN} = 3.9$ V		57		dB
OUTPUT VOLTAGE ACCURACY		$V_{OUT} = V_{REF}$				
Initial Accuracy	$V_{OUT}$	$I_{LOAD} = 10$ mA, $T_J = +25$ °C	-0.5		+0.5	%
		1 mA < $I_{LOAD}$ < 600 mA	-2.0		+2.0	%
REGULATION						
Line	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = V_{OUT} + 0.5$ V to 5.5 V	-0.02		+0.02	%/V
Load	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 1$ mA to 600 mA		0.3	1.6	%/A
CURRENT-LIMIT THRESHOLD	$I_{LIMIT}$					
$V_{REF}$			700	22		mA
$V_{OUT}$				960	1200	mA
DROPOUT VOLTAGE	$V_{DROPOUT}$	$I_{OUT} = 400$ mA, $V_{OUT} = 3.3$ V		80	130	mV
		$I_{OUT} = 600$ mA, $V_{OUT} = 3.3$ V		120	210	mV
PULL-DOWN RESISTANCE						
VOUT	$V_{OUT\_PULL}$	EN = 0 V, $V_{OUT} = 1$ V, $V_{IN} = 5.5$ V		550		$\Omega$
REG	$V_{REG\_PULL}$	EN = 0 V, $V_{REG} = 1$ V, $V_{IN} = 5.5$ V		33		k $\Omega$
REF	$V_{REF\_PULL}$	EN = 0 V, $V_{REF} = 1$ V, $V_{IN} = 5.5$ V		620		$\Omega$
BYP	$V_{BYP\_PULL}$	EN = 0 V, $V_{BYP} = 1$ V, $V_{IN} = 5.5$ V		400		$\Omega$
START-UP TIME						
$V_{OUT}$	$t_{STARTUP}$	$V_{OUT} = 3.3$ V		1.2		ms
$V_{REG}$	$t_{REG\_STARTUP}$	$V_{OUT} = 3.3$ V		0.55		ms
$V_{REF}$	$t_{REF\_STARTUP}$	$V_{OUT} = 3.3$ V		0.44		ms
THERMAL SHUTDOWN						
Threshold	$TS_{SD}$	$T_J$ rising		150		°C
Hysteresis	$TS_{SD\_HYS}$			15		°C

Πίνακας 4.11

## 4.2.6 Micro-controller

Για τον προγραμματισμό του Clock Distributor (LMK01000) χρησιμοποιήθηκε ο μικροελεγκτής ATmega328P (8-bit AVR Microcontroller) της Atmel. Ο μικροελεγκτής αποτελεί τη διεπαφή του χρήστη με το LMK01000. Όπως είδαμε, το LMK01000 σε κάθε έξοδό του μπορεί να διαιρεί τη συχνότητα ή να εισάγει χρονική καθυστέρηση (ή και τα δύο) στο σήμα του ρολογιού αναφοράς. Η τιμή της διαίρεσης ή της χρονικής καθυστέρησης καθορίζεται από το χρήστη μέσω dip switches. Ο μικροελεγκτής διαβάζει την κατάσταση των dip switches και στη συνέχεια προγραμματίζει το LMK01000 αποστέλλοντας τα κατάλληλα δεδομένα. Το σύστημα του μικροελεγκτή στο κύκλωμα του 1-bit DAC παρουσιάζεται στο σχήμα 4.22.



Σχήμα 4.22: Κάτοψη του μικροελεγκτή ATmega328p.

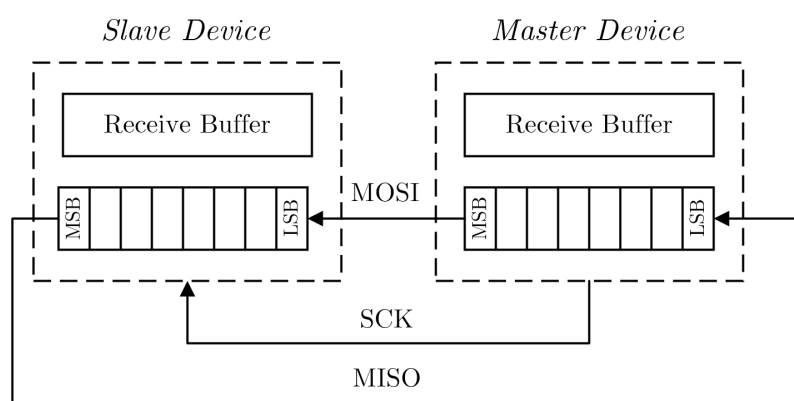
Ο μικροελεγκτής λειτουργεί με έναν εξωτερικό 16 MHz κρύσταλλο της Kyocera, ο οποίος συνδέθηκε στα pin PB6 και PB7. Προκειμένου να επιτύχουμε καλύτερη διεπαφή με το χρήστη (αλλά και για περισσότερη ευκολία στη διαδικασία του debugging) στο pin PD4 του μικροελεγκτή συνδέθηκε ένα led της Kingbright, το οποίο αναβοσβήνει κάθε φορά που μεταφέρονται δεδομένα από το μικροελεγκτή στο LMK01000. Στο pin PC6 συνδέθηκε push-button της Omron για reset

του μικροελεγκτή. Ο προγραμματισμός του μικροελεγκτή πραγματοποιήθηκε με το πρωτόκολλο SPI (Serial Peripheral Interface) μέσω των pin PB3 (MOSI), PB4 (MISO), PB5 (SCK) και PC6 (RESET), τα οποία συνδέθηκαν σε κατάλληλο shrouded header. Τέλος, τα pins PB0 έως PB2 και PD5 έως PD7 συνδέθηκαν σε headers σε περίπτωση που ο χρήστης επιθυμεί να χρησιμοποιήσει περισσότερες ψηφιακές εισόδους του μικροελεγκτή.

### Serial Peripheral Interface (SPI)

Το πρωτόκολλο SPI χρησιμοποιείται για τη σειριακή επικοινωνία συσκευών μέσα σε ένα ενσωματωμένο σύστημα. Οι δύο συσκευές που επικοινωνούν διαχωρίζονται σε Master και Slave. Ο Master είναι υπεύθυνος για την παραγωγή του σήματος ρολογιού, το οποίο αποστέλλει στο Slave μέσω της γραμμής SCK (Serial Clock). Παράλληλα στέλνει δεδομένα σειριακά μέσω της γραμμής MOSI (Master Out Slave In). Ο Slave δέχεται τα δεδομένα από το Master και παράλληλα αποστέλλει τα δικά του μέσω της γραμμής MISO (Master In Slave Out). Ο Master αποτελεί το ενεργό μέρος του συστήματος. Ο Slave απλώς λαμβάνει και αποστέλλει δεδομένα όσο ο Master τον τροφοδοτεί με το σήμα ρολογιού. Να σημειώσουμε ότι ο Master παράγει ρολόι μόνο όταν στέλνει δεδομένα. Συνεπώς, πρέπει να στείλει δεδομένα στο Slave προκειμένου να λάβει από αυτόν.

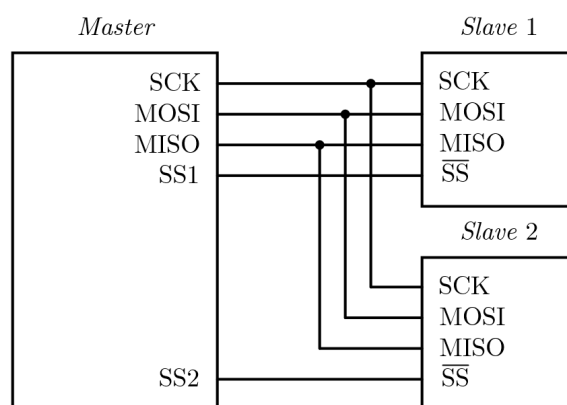
Ο τρόπος με τον οποίο ανταλλάσσονται τα δεδομένα μεταξύ Master και Slave φαίνεται στο σχήμα 4.23. Σε κάθε χτύπο ρολογιού πραγματοποιείται αριστερή ολίσθηση κατά ένα ψηφίο της τιμής του καταχωρητή του Master. Το MSB ψηφίο του Master εισέρχεται στον καταχωρητή του Slave ως LSB. Παράλληλα, ολισθαίνει αριστερά κατά ένα ψηφίο ο καταχωρητής του Slave. Επομένως, το MSB του Slave εισέρχεται στον καταχωρητή του Master ως LSB. Όταν ολοκληρωθούν οκτώ ολισθήσεις οι συσκευές αποθηκεύουν το byte που έλαβαν σε ένα buffer και τοποθετούν στο register το επόμενο προς αποστολή byte.



Σχήμα 4.23: Ανταλλαγή δεδομένων στην επικοινωνία με SPI.

Ενδεχομένως πάνω στις γραμμές MOSI, MISO και SCK να συνδέονται περισσότερες από μία συσκευές. Ο Master μπορεί κάθε φορά να επικοινωνήσει με μόνο μία συσκευή. Η επιλογή της συσκευής πραγματοποιείται με το σήμα  $\overline{SS}$  (Slave Select). Μία Slave συσκευή είναι σε θέση να

λάβει και να αποστείλει δεδομένα όσο η γραμμή της  $\overline{SS}$  βρίσκεται σε λογικό "0". Στο σχήμα 4.24 φαίνεται η συνδεσμολογία ενός Master με δύο Slaves. Όσο δεν υπάρχει επικοινωνία ο Master διατηρεί λογικό "1" στις εξόδους του SS1 και SS2, οι οποίες αντιστοιχούν στις γραμμές  $\overline{SS}$  του κάθε Slave. Όταν θέλει να επικοινωνήσει με το Slave 1, θέτει σε λογικό "0" την έξοδο SS1 και διατηρεί την τιμή του λογικού "0" για όσο διαρκεί η επικοινωνία. Μόλις ολοκληρωθεί η επικοινωνία επαναφέρει την έξοδο SS1 σε λογικό "1".



Σχήμα 4.24: Συνδεσμολογία ενός Master με δύο Slaves.

Ο προγραμματισμός του ATmega328p πραγματοποιήθηκε μετά την τοποθέτησή του στην πλακέτα του 1-bit DAC με In-System Programming (ISP). Το In-System Programming επιτρέπει τον προγραμματισμό ενός μικροελεγκτή χωρίς την αφαίρεσή του από το σύστημα, στο οποίο είναι τοποθετημένος. Η επικοινωνία με τον μικροελεγκτή έγινε με SPI, σύμφωνα με τη διεπαφή που συνιστά η Atmel για In-System Programming [47], η οποία παρουσιάζεται στο σχήμα 4.25.

MISO	1	2	VCC
SCK	3	4	MOSI
$\overline{RESET}$	5	6	GND

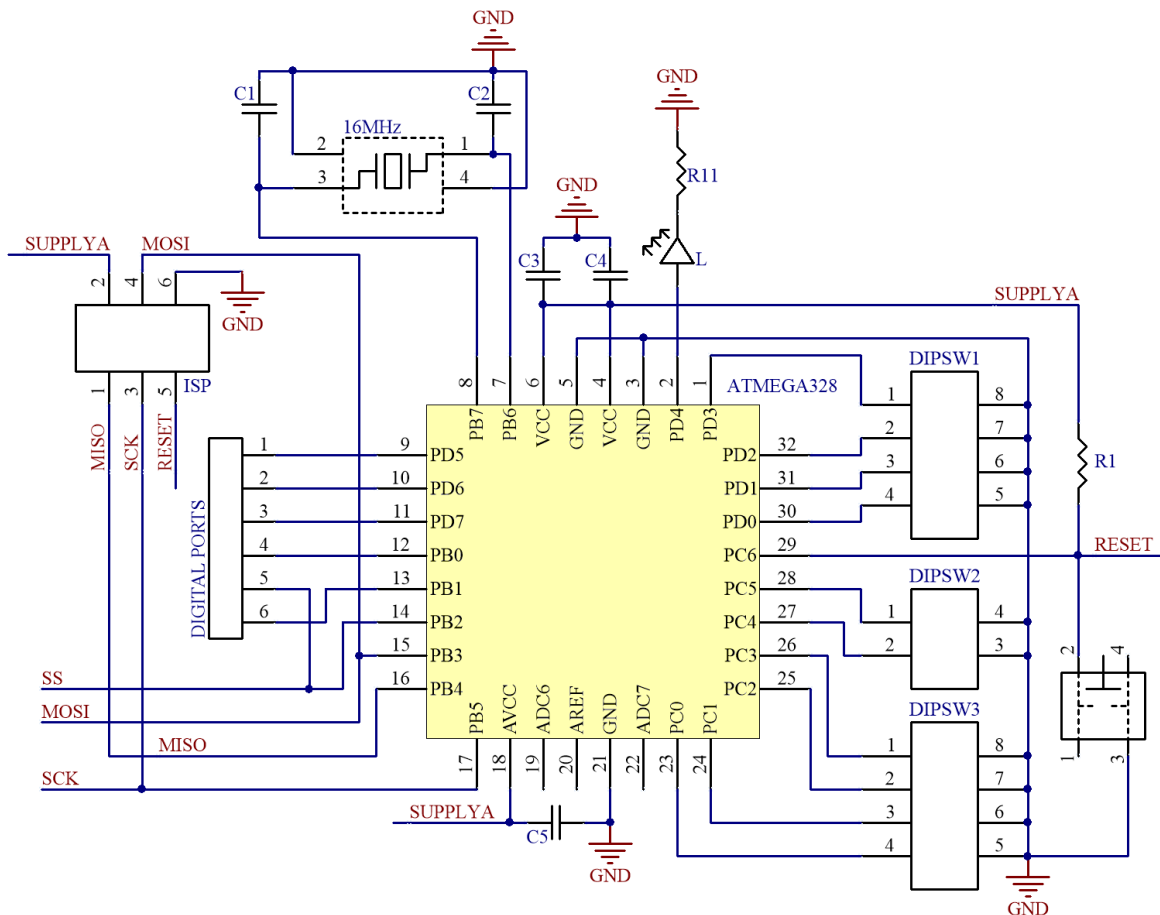
Σχήμα 4.25: In-System Programming Interface Connector Layout (Top View).

Η επικοινωνία μεταξύ ATmega328p και LMK01000 πραγματοποιείται με μία παραλλαγή του SPI πρωτοκόλλου, το οποίο ονομάζεται microWire (uWire). Το uWire αποτελείται από τρία σήματα: CLKuWire, DATAuWire και LEuWire. Το CLKuWire αντιστοιχεί στο SCK, το DATAuWire στο MOSI και το LEuWire στο  $\overline{SS}$  του SPI. Στο uWire απουσιάζει το σήμα MISO, το οποίο επιτρέπει την αποστολή δεδομένων από το Slave στο Master. Επομένως, ο ATmega328p στέλνει δεδομένα μέσω του DATAuWire, παρέχοντας παράλληλα το σήμα ρολογιού στο CLKuWire, χωρίς να λαμβάνει δεδομένα από το LMK01000. Ο κώδικας που υλοποιήθηκε για τον προγραμματισμό του LMK01000 παρουσιάζεται αναλυτικά στο τέλος του κεφαλαίου.

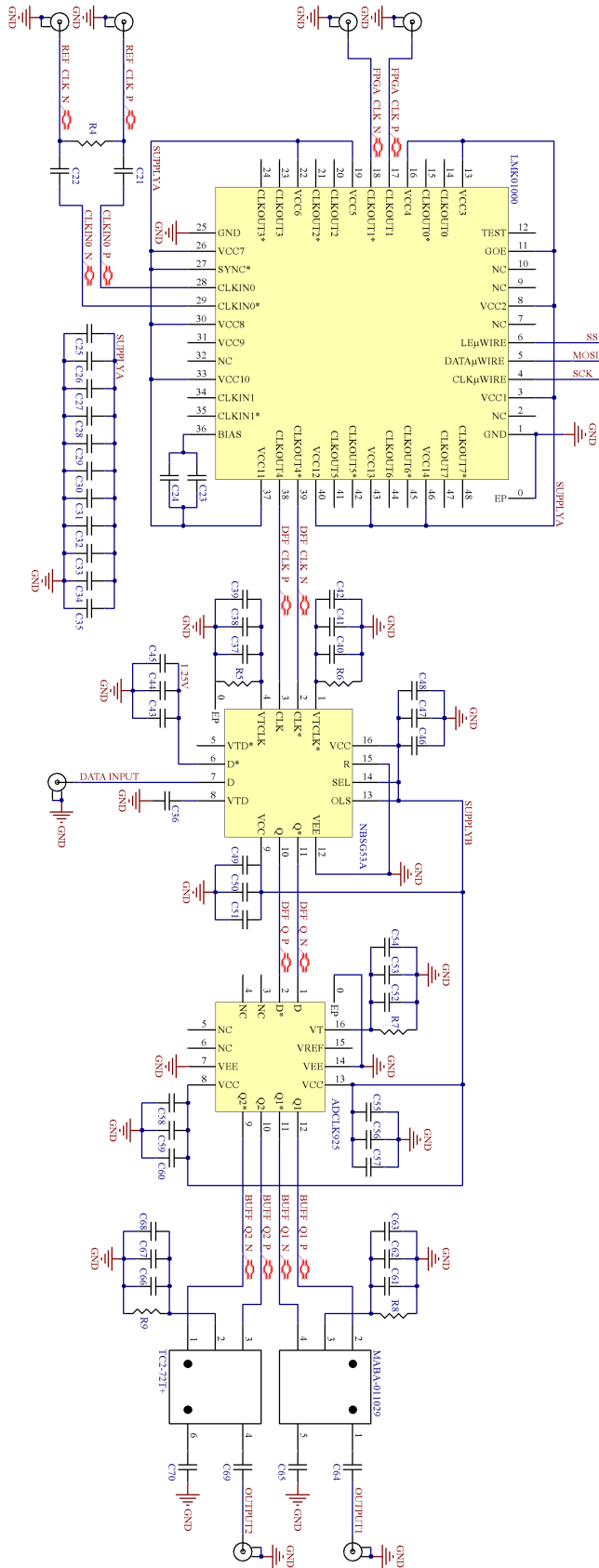
### 4.3 Σχηματικό Διάγραμμα

Στην προηγούμενη ενότητα περιγράψαμε αναλυτικά τη λειτουργία κάθε συσκευής που χρησιμοποιήθηκε στο κύκλωμα του 1-bit DAC. Παρουσιάσαμε τα χαρακτηριστικά των ολοκληρωμένων (ICs), τις προδιαγραφές των balun μετασχηματιστών και τις τεχνικές τερματισμού που χρησιμοποιήθηκαν σε κάθε γραμμή μεταφοράς του κυκλώματος. Σύμφωνα με τα παραπάνω δημιουργήσαμε το σχηματικό διάγραμμα του κυκλώματος του 1-bit DAC, το οποίο παρουσιάζεται σε τρία μέρη.

Αρχικά, παρουσιάζεται το ψηφιακό μέρος του κυκλώματος, το οποίο αποτελείται από το μικροελεγκτή (ATmega328) και τα στοιχεία που συνδέονται σε αυτόν (dip switches, led, crystal, push-button, headers). Ακολουθεί το αναλογικό μέρος του κυκλώματος, το οποίο περιλαμβάνει το Clock Distributor (LMK01000), το D Flip-Flop (NBSG53A), το buffer (ADCLK925) και τους δύο balun μετασχηματιστές (MABA-011029 και TC2-72T+). Τέλος, παραθέτουμε τα σχηματικά διαγράμματα των regulators του κυκλώματος (ADM7154 και ADM7155). Το σχηματικό διάγραμμα σχεδιάστηκε στο Altium Designer 16.0. Σημειώνουμε ότι οι κόκκινες επιγραφές αντιστοιχούν σε ονομασίες γραμμών (nets). Οι ομώνυμες γραμμές θεωρούνται συνδεδεμένες.

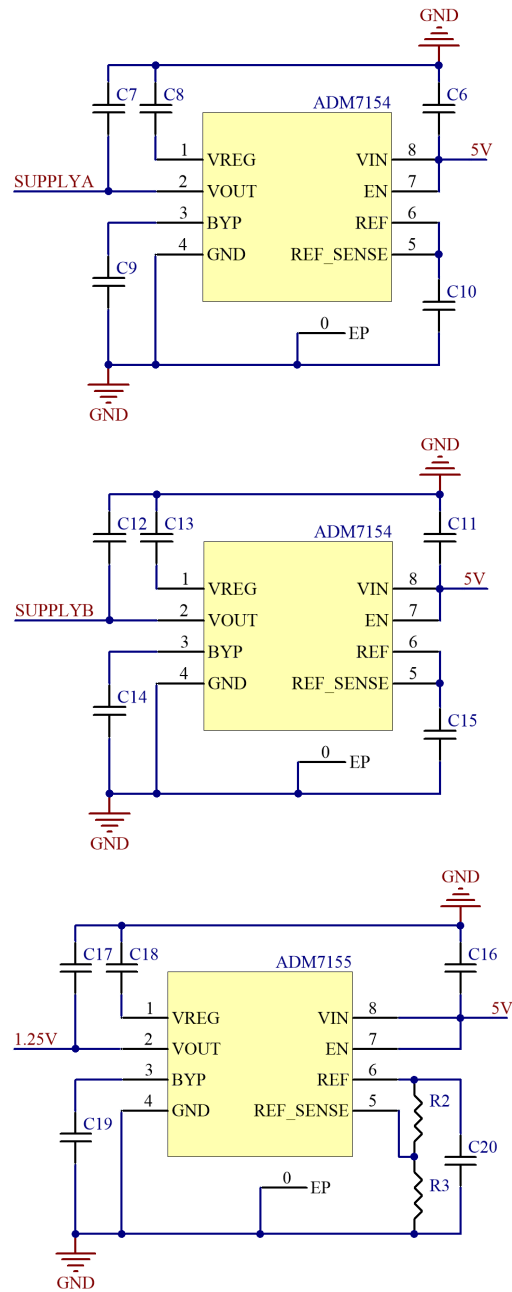


Σχήμα 4.26: Σχηματικό διάγραμμα του ψηφιακού μέρους του κυκλώματος.



Σχήμα 4.27: Σχηματικό διάγραμμα του αναλογικού μέρους του κωδικοποιητή.





Σχήμα 4.28: Σχηματικά διαγράμματα των regulators του κυκλώματος.

**CAPACITORS**

Label	Packaging	Value	Unit	Label	Packaging	Value	Unit
C1, C2	0603	18	pF	C47	0805	0.01	uF
C3-C5	0603	0.1	uF	C48	1206	1	uF
C6-C8	0805	10	uF	C49	0603	100	pF
C9, C10	0805	1	uF	C50	0805	0.01	uF
C11-C13	0805	10	uF	C51	1206	1	uF
C14, C15	0805	1	uF	C52	0603	100	pF
C16-C18	0805	10	uF	C53	0805	0.01	uF
C19, C20	0805	1	uF	C54	1206	1	uF
C21, C22	0603	0.1	uF	C55	0603	100	pF
C23	0603	0.01	uF	C56	0805	0.01	uF
C24	0805	1	uF	C57	1206	1	uF
C25, C26	0805	0.01	uF	C58	0603	100	pF
C27-C35	0603	0.01	uF	C59	0805	0.01	uF
C36	0603	60	pF	C60	1206	1	uF
C37	0603	100	pF	C61	0603	100	uF
C38	0805	0.01	uF	C62	0805	0.01	uF
C39	1206	1	uF	C63	1206	1	uF
C40	0603	100	pF	C64	0603	10	nF
C41	0805	0.01	uF	C65	0603	10	nF
C42	1206	1	uF	C66	0603	100	pF
C43	0603	100	pF	C67	0805	0.01	uF
C44	0805	0.01	uF	C68	1206	1	uF
C45	1206	1	uF	C69	0603	10	nF
C46	0603	100	pF	C70	0603	10	nF

**RESISTORS**

R1	0805	10	kΩ	R6	0603	94	Ω
R2	0805	5	kΩ	R7	0603	47	Ω
R3	0805	120	kΩ	R8	0603	86	Ω
R4	0603	100	Ω	R9	0603	86	Ω
R5	0603	94	Ω				

Πίνακας 4.12: Λίστα των πυκνωτών και των αντιστάσεων του κυκλώματος του 1-bit DAC.

## 4.4 Σχεδίαση των Γραμμών Μεταφοράς

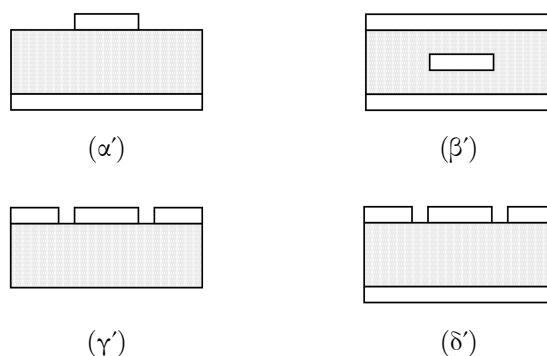
Το κύκλωμα του 1-bit DAC υλοποιήθηκε σε PCB. Η συχνότητα λειτουργίας του κυκλώματος φτάνει τα 500 MHz, επομένως για τη μεταφορά των σημάτων στο PCB καθίσταται αναγκαία η χρήση κατάλληλα τερματισμένων γραμμών μεταφοράς. Ένας απλοϊκός κανόνας για τη χρήση τεχνικών γραμμών μεταφοράς διατυπώνεται παρακάτω [52].

”Ο τερματισμός μίας γραμμής μεταφοράς στη χαρακτηριστική της αντίσταση καθίσταται απαραίτητος όταν η καθυστέρηση διάδοσης είναι μεγαλύτερη ή ίση από το μισό χρόνο ανόδου/καθόδου του σήματος.”

Η καθυστέρηση διάδοσης υπολογίζεται σύμφωνα με την ταχύτητα διάδοσης  $v_p$  του ηλεκτρομαγνητικού κύματος στη γραμμή μεταφοράς. Η ταχύτητα διάδοσης εξαρτάται από την ενεργό διηλεκτρική σταθερά του μέσου (*effective dielectric constant*), η οποία καθορίζεται από τα γεωμετρικά χαρακτηριστικά του κυματοδηγού και τις ηλεκτρομαγνητικές ιδιότητες των υλικών της διάταξης.

$$v_p = \frac{c}{\sqrt{\epsilon_{eff}}} \quad (4.4.1)$$

Ο χρόνος ανόδου/καθόδου των σημάτων του κυκλώματος κυμαίνεται από 30 ps έως 90 ps. Η ενεργός διηλεκτρική σταθερά σε μία τυπική γραμμή μεταφοράς ισούται περίπου με 4. Σύμφωνα με τον ανωτέρω κανόνα απαιτούνται τεχνικές τερματισμού σε κάθε γραμμή μεταφοράς μεγαλύτερη των 2.25 mm (υποθέτοντας ότι η καθυστέρηση διάδοσης δεν πρέπει να ξεπερνά τα 30 ps). Φυσικά η τιμή της ενεργού διηλεκτρικής σταθεράς διαφέρει ανάλογα με τον τύπο της γραμμής μεταφοράς που χρησιμοποιείται. Οι τρεις βασικές κατηγορίες γραμμών μεταφοράς που υλοποιούνται σε PCB είναι οι γραμμές μεταφοράς τύπου *microstrip*, τύπου *stripline* και τύπου *coplanar waveguide* (CPW).



Σχήμα 4.29: (α') *Microstrip*, (β') *Stripline*, (γ') *Coplanar Waveguide* (CPW) και (δ') *Grounded Coplanar Waveguide* (GCPW) γραμμές μεταφοράς.

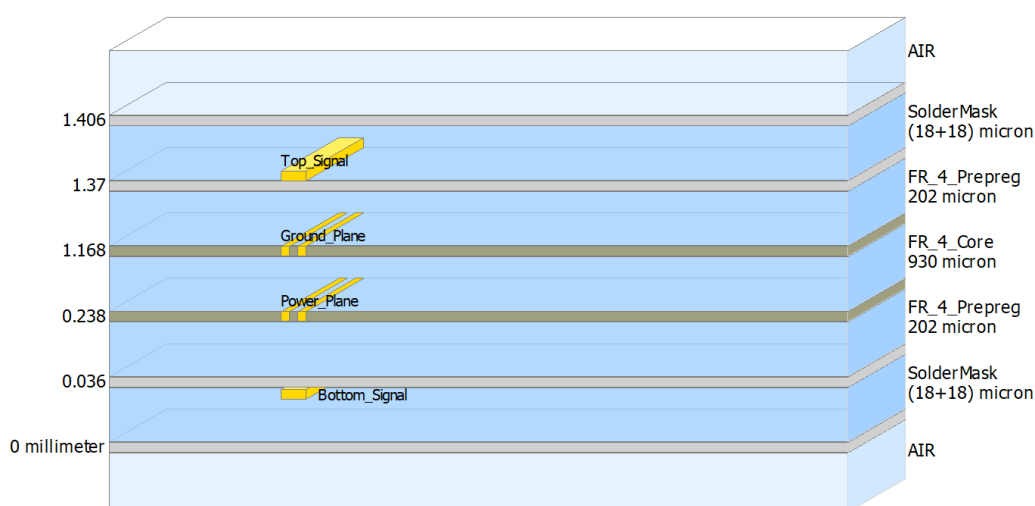
Στο PCB του 1-bit DAC χρησιμοποιήθηκαν *microstrip* γραμμές μεταφοράς. Οι *stripline* γραμμές μεταφοράς παρουσιάζουν χαμηλά επίπεδα διασποράς και εξαιρετική απομόνωση μεταξύ γειτονικών γραμμών, όμως χαρακτηρίζονται από υψηλό κόστος. Επιπλέον, δυσχεραίνουν το debugging του κυκλώματος καθώς οι γραμμές είναι θαμμένες στο εσωτερικό του PCB. Οι γραμμές μεταφοράς

τύπου *coplanar waveguide* παρουσιάζουν πολύ καλή κυκλωματική απομόνωση, όμως είναι επιρρεπείς στις κατασκευαστικές ατέλειες που προκύπτουν κατά τη διαδικασία κατασκευής του PCB. Η εύκολη σχεδίαση, το χαμηλό κόστος και η καλή ανοχή στις κατασκευαστικές ατέλειες αποτέλεσαν τους λόγους που επιλέξαμε τις *microstrip* γραμμές μεταφοράς.

Το κύκλωμα του 1-bit DAC κατασκευάστηκε σε PCB τεσσάρων επιπέδων. Στο άνω επίπεδο σχεδιάστηκαν οι γραμμές μεταφοράς των high-speed σημάτων του κυκλώματος, ενώ το κάτω επίπεδο χρησιμοποιήθηκε για τα ψηφιακά σήματα του μικροελεγκτή. Τα δύο ενδιάμεσα επίπεδα χρησιμοποιήθηκαν ως επίπεδα γης (ground plane) και τροφοδοσίας (power plane). Το 4 Layer PCB Stackup που χρησιμοποιήθηκε παρουσιάζεται αναλυτικά στον παρακάτω πίνακα.

Layer Name	Type	Material	Thickness (mm)
Top Signal	Signal	Copper	0.018
Prepreg 1	Dielectric	Prepreg (FR-4)	0.202
Ground Plane	Internal Plane	Copper	0.035
Core	Dielectric	Core	0.93
Power Plane	Internal Plane	Copper	0.035
Prepreg 2	Dielectric	Prepreg (FR-4)	0.202
Bottom Signal	Signal	Copper	0.018
Total Thickness:			<b>1.44</b>

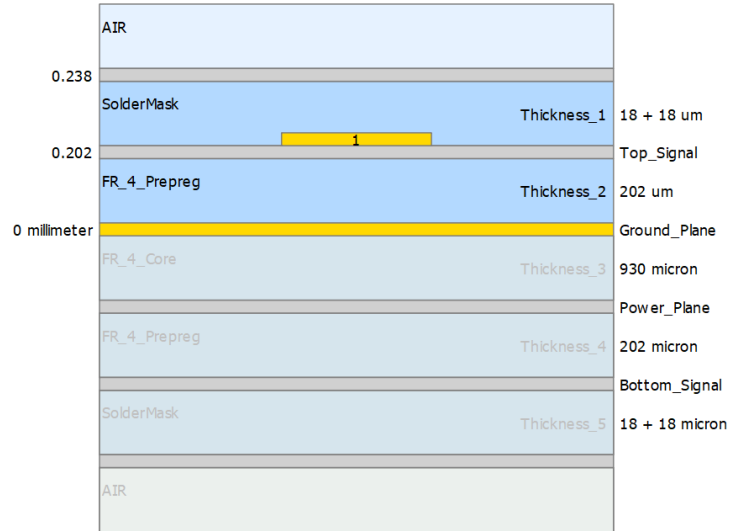
Πίνακας 4.13: Το 4 Layer Stackup των 1.6mm της εταιρείας PCB-Way.



Σχήμα 4.30: Μοντέλο του PCB στο Advanced Design System (ADS).

Για τον υπολογισμό της χαρακτηριστικής αντίστασης των γραμμών μεταφοράς χρησιμοποιήθηκε το εργαλείο Controlled Impedance Line Designer που περιλαμβάνεται στο Advanced Design System 2016.01. Το λογισμικό του Controlled Impedance Line Designer υπολογίζει τα βασικά

χαρακτηριστικά μεγέθη μίας γραμμής μεταφοράς όπως τη χαρακτηριστική αντίσταση, τη σταθερά διάδοσης, την απόσβεση σε dB/mm, την καθυστέρηση διάδοσης σε ns/mm, τη ταχύτητα διάδοσης και την ενεργό διηλεκτρική σταθερά. Τα μεγέθη υπολογίζονται με βάση το μοντέλο του PCB stackup που εισάγεται από το χρήστη. Το μοντέλο του PCB που χρησιμοποιήθηκε για τις προσομοιώσεις παρουσιάζεται στο σχήμα 4.30.



Σχήμα 4.31: Μοντέλο του PCB για τον υπολογισμό των single-ended *microstrip*.

Οι γραμμές μεταφοράς των single-ended σημάτων σχεδιάστηκαν ώστε να παρουσιάζουν χαρακτηριστική αντίσταση 50 Ω. Στο σχήμα 4.31 φαίνεται το μοντέλο του Controlled Impedance Line Designer που χρησιμοποιήθηκε για τον υπολογισμό των single-ended *microstrip*. Στο μοντέλο αυτό το επίπεδο γης θεωρείται μηδενικού πάχους και άπειρης έκτασης (slot plane). Στον πίνακα 4.14 παραθέτουμε τα χαρακτηριστικά μεγέθη των single-ended *microstrip* γραμμών μεταφοράς, όπως προέκυψαν από τη προσομοίωση. Το πλάτος των γραμμών επιλέχθηκε στα 0.34 mm.

**Single-Ended Microstrip Line Characteristics**

Symbol	Parameter	Value	Unit
$w$	Track width	0.34	mm
$Z_0$	Characteristic Impedance	$49.93 - j0.12$	Ω
$\gamma$	Propagation Constant	$0.216 + j19.979$	1/m
$\alpha$	Attenuation	0.00188	dB/mm
$t_d$	Delay	0.00636	ns/mm
$v_p$	Propagation Velocity	$1.57245 \times 10^8$	m/s
$\epsilon_{eff}$	Effective Dielectric Constant	3.635	

Πίνακας 4.14

Για τη μετάδοση των διαφορικών σημάτων του κυκλώματος χρησιμοποιήθηκαν edge-coupled *microstrip* γραμμές μεταφοράς, οι οποίες σχεδιάστηκαν ώστε να παρουσιάζουν 100 Ω διαφορική αντίσταση. Το μοντέλο του Controlled Impedance Line Designer που χρησιμοποιήθηκε για τον υπολογισμό των edge-coupled *microstrip* γραμμών απεικονίζεται στο σχήμα 4.31.



Σχήμα 4.32: Μοντέλο του PCB για τον υπολογισμό των edge-coupled *microstrip*.

Στον πίνακα 4.14 παρουσιάζονται τα χαρακτηριστικά μεγέθη των edge-coupled *microstrip* γραμμών μεταφοράς, όπως προέκυψαν από την προσομοίωση. Το πλάτος των γραμμών επιλέχθηκε στα 0.2 mm και η μεταξύ τους απόσταση ορίστηκε στα 0.15 mm.

#### Edge-Coupled Microstrip Line Characteristics

Symbol	Parameter	Value		Unit
$w$	Track width	0.2		mm
$s$	Space between tracks	0.15		mm
$Z_c$	Common Characteristic Impedance	$38.82 - j0.099$		Ω
$Z_d$	Differential Characteristic Impedance	$99.61 - j0.777$		Ω
		<b>Even</b>	<b>Odd</b>	
$Z_0$	Characteristic Impedance	$77.63 - j0.198$	$49.80 - j0.388$	Ω
$\gamma$	Propagation Constant	$0.225 + j20.261$	$0.284 + j18.956$	1/m
$\alpha$	Attenuation	0.00196	0.00247	dB/mm
$t_d$	Delay	0.00645	0.00603	ns/mm
$v_p$	Propagation Velocity	$1.55055 \times 10^8$	$1.65728 \times 10^8$	m/s
$\epsilon_{eff}$	Effective Dielectric Constant	3.738	3.272	

Πίνακας 4.15

Στον πίνακα 4.16 παραθέτουμε τα χαρακτηριστικά όλων των *microstrip* γραμμών μεταφοράς που σχεδιάστηκαν στο PCB του 1-bit DAC, σύμφωνα με τα αποτελέσματα της προσομοίωσης. Στον πίνακα παρουσιάζονται η απόσβεση σε dB, η καθυστέρηση σε ns και το ενεργό ηλεκτρικό μήκος (effective electrical length) σε μοίρες της κάθε γραμμής μεταφοράς.

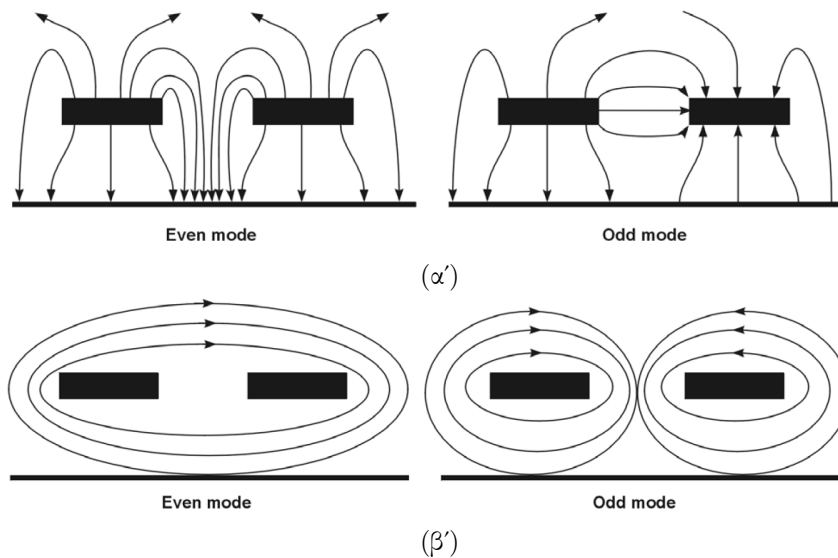
**Single-Ended Transmission Lines**

Net Name	Physical Length (mm)	Attenuation (dB)	Delay (ns)	El. Length (°)
OUTPUT2	9.23	0.0173	0.0587	10.57
OUTPUT1	9.86	0.0185	0.0627	11.29
REFCLK	14.834	0.0279	0.0943	16.98
FPGA_CLK	16.917	0.0318	0.1076	19.37
DATA_INPUT	17.53	0.0329	0.1115	20.07

**Differential Transmission Lines**

Net Name	Physical Length (mm)	Attenuation (dB)		Delay (ns)		El. Length (°)	
		Even	Odd	Even	Odd	Even	Odd
CLKIN0	3.651	0.0071	0.009	0.0235	0.022	4.24	3.97
DFF_Q	6.084	0.0119	0.015	0.0392	0.0367	7.06	6.61
BUFF_Q1	7.001	0.0136	0.0172	0.0451	0.0422	8.13	7.6
DFF_CLK	14.734	0.0288	0.0363	0.095	0.0889	17.1	16
BUFF_Q2	16.359	0.032	0.0403	0.1055	0.0987	18.99	17.77

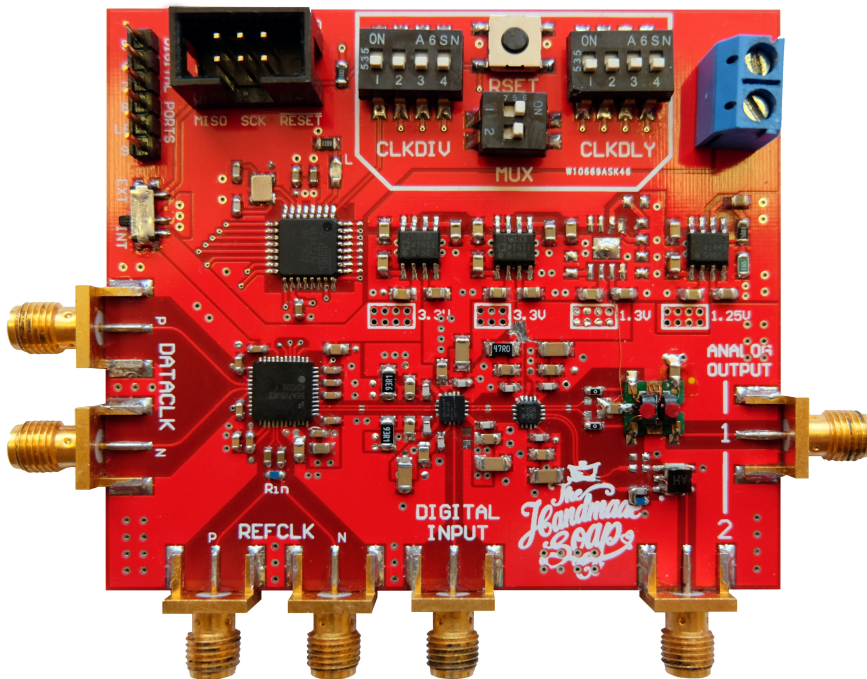
Πίνακας 4.16



Σχήμα 4.33: Οι edge-coupled *microstrip* γραμμές μεταφοράς υποστηρίζουν άρτιους και περιττούς ρυθμούς διάδοσης του (α') ηλεκτρικού και του (β') μαγνητικού πεδίου. Κάθε ρυθμός παρουσιάζει διαφορετικά χαρακτηριστικά διάδοσης. [54]

## 4.5 Τυπωμένο Κύκλωμα του 1-bit DAC

Το κύκλωμα του 1-bit DAC υλοποιήθηκε σε PCB διαστάσεων 80mm × 70mm. Η τροφοδοσία των 5 V δίνεται στο επάνω δεξιά τμήμα της πλακέτας. Η συνολική κατανάλωση του κυκλώματος είναι 300mA. Το σήμα εισόδου του ταλαντωτή αναφοράς δίνεται διαφορικά στο REFCLK (κάτω μέρος της πλακέτας) με SMA connectors των 50 Ω. Το σήμα αναφοράς πρέπει να είναι ημίτονο ισχύος τουλάχιστον 5 dBm. Η συχνότητα του ημιτόνου μπορεί να είναι από 50 MHz έως 1600 MHz. Στην έξοδο DATACLK (αριστερή πλευρά της πλακέτας) δίνεται διαφορικό σήμα ρολογιού LVDS (2.5V) με SMA connectors των 50 Ω. Το 1-bit ψηφιακό σήμα πληροφορίας δίνεται στην είσοδο DIGITAL INPUT (κάτω μέρος της πλακέτας), η οποία δέχεται single-ended σήμα LVCMOS (2.5V) μέσω SMA connector των 50 Ω. Το ψηφιακό σήμα εισόδου μετατρέπεται σε αναλογικό και δίνεται σε δύο όμοιες single-ended εξόδους με SMA connectors των 50 Ω στη δεξιά και κάτω πλευρά της πλακέτας. Οι αναλογικές εξόδους ANALOG OUTPUT 1 και 2 τερματίζονται στα 50 Ω.



Σχήμα 4.34

Η συχνότητα του σήματος ρολογιού στην έξοδο DATACLK ισούται με τη συχνότητα του σήματος REFCLK διαιρεμένη κατά μία τιμή. Η τιμή της διαίρεσης καθορίζεται από το χρήστη μέσω των dip switches CLKDIV στο επάνω μέρος της πλακέτας και λαμβάνει τιμές από 2 έως 32 (2, 4, 6, ..., 32). Ο χρήστης εισάγει μέσω των dip switches CLKDIV μία δυαδική τιμή τεσσάρων ψηφίων  $\langle a_3 a_2 a_1 a_0 \rangle$ , η οποία αντιστοιχίζεται σε μία δεκαδική τιμή  $\langle div\_value \rangle$ .

$$\langle div\_value \rangle = a_3 \times 2^3 + a_2 \times 2^2 + a_1 \times 2^1 + a_0 \times 2^0 \quad (4.5.1)$$



Η συχνότητα του σήματος ρολογιού στην έξοδο DATACLK προκύπτει από την τιμή που εισάγει ο χρήστης σύμφωνα με τη σχέση (4.5.2). Για ενεργοποιηθεί η δυνατότητα διαίρεσης της συχνότητας του σήματος ρολογιού πρέπει ο πάνω διακόπτης MUX να είναι κλειστός (δεξιά θέση).

$$f_{DATACLK} = \frac{1}{2 \times (\langle div\_value \rangle + 1)} \times f_{REFCLK} \quad (4.5.2)$$

Ο χρήστης έχει τη δυνατότητα εισαγωγής χρονική καθυστέρησης στο σήμα του ρολογιού στην έξοδο DATACLK. Η χρονική καθυστέρηση που εισάγεται στο σήμα καθορίζεται από το χρήστη μέσω των dip switches CLKDLY στο επάνω μέρος της πλακέτας και λαμβάνει τιμές από 0 έως 2250ps με βήμα 150ps. Ο χρήστης εισάγει μέσω των dip switches CLKDLY μία δυαδική τιμή τεσσάρων ψηφίων  $b_3b_2b_1b_0$ , η οποία αντιστοιχίζεται σε μία δεκαδική τιμή  $\langle dly\_value \rangle$ .

$$\langle dly\_value \rangle = b_3 \times 2^3 + b_2 \times 2^2 + b_1 \times 2^1 + b_0 \times 2^0 \quad (4.5.3)$$

Η χρονική καθυστέρηση που εισάγεται στο σήμα ρολογιού στην έξοδο DATACLK προκύπτει από τη δεκαδική τιμή  $\langle dly\_value \rangle$  που εισάγει ο χρήστης σύμφωνα με τη σχέση (4.5.4). Για ενεργοποιηθεί η δυνατότητα εισαγωγής χρονική καθυστέρησης στο σήμα ρολογιού στην έξοδο DATACLK πρέπει ο κάτω διακόπτης MUX να είναι κλειστός (δεξιά θέση).

$$t_{DATACLK} = \langle dly\_value \rangle \times 150ps \quad (4.5.4)$$

## 4.6 Προγραμματισμός του ATmega328p

Ο μικροελεγκτής ATmega328p που είναι τοποθετημένος στο κύκλωμα μπορεί να προγραμματιστεί με SPI (Serial Peripheral Interface) μέσω του shrouded header στο επάνω αριστερά τμήμα της πλακέτας. Για τον προγραμματισμό του μικροελεγκτή χρησιμοποιήθηκε ο Pocket AVR Programmer της Sparkfun. Η ανάπτυξη και το compile του κώδικα έγινε με το AVR Toolchain (avr-gcc, avr-libc και avrdude) σε μηχανήμα με λειτουργικό Windows 10 (host μηχανήμα), στο οποίο εγκαταστάθηκε το WinAVR package (<https://sourceforge.net/projects/winavr/>).

Το LMK01000 διαθέτει οχτώ εξόδους ρολογιού (CLKout0-CLKout7). Η διαίρεση της συχνότητας και η χρονική καθυστέρηση σε κάθε έξοδο ρολογιού προγραμματίζονται από έναν 32-bit καταχωρητή. Κάθε καταχωρητής περιλαμβάνει 28 bit πεδίο δεδομένων και 4 bit πεδίο διευθύνσεων, όπως φαίνεται στο σχήμα 4.35. Οι καταχωρητές R0 έως R7 αντιστοιχούν στις οχτώ εξόδους ρολογιού του LMK01000. Εκτός από τον προγραμματισμό της εξόδου CLKout0 ο καταχωρητής R0 επιτελεί μία επιπλέον λειτουργία. Το MSB του καταχωρητή R0 λειτουργεί ως RESET bit. Όταν το MSB του καταχωρητή R0 λαμβάνει την τιμή "1" το LMK01000 επανέρχεται σε default state. Οι εξόδοι ρολογιού που χρησιμοποιούνται στο κύκλωμα του 1-bit DAC είναι οι CLKout0 και CLKout4. Το LMK01000 διαθέτει δύο εισόδους ρολογιού (CLKin0 και CLKin1). Μόνο μία είσοδος οδηγείται στις οχτώ εξόδους του LMK01000. Η επιλογή της εισόδου καθορίζεται από το τρίτο ψηφίο (με πρώτο το MSB) του καταχωρητή R14. Η είσοδος ρολογιού που χρησιμοποιείται

στο κύκλωμα του 1-bit DAC είναι η CLKin0. Κάθε φορά που προγραμματίζουμε το LMK01000 ακολουθούμε την παρακάτω διαδικασία:

- Προγραμματίζουμε τον καταχωρητή R0 θέτοντας "1" το RESET bit ώστε το LMK01000 να τεθεί σε default state.
- Προγραμματίζουμε ξανά τον καταχωρητή R0, ο οποίος αντιστοιχεί στην έξοδο ρολογιού CLKout0, αυτή τη φορά μηδενίζοντας το RESET bit.
- Προγραμματίζουμε τον καταχωρητή R4, ο οποίος αντιστοιχεί στην έξοδο ρολογιού CLKout4.
- Προγραμματίζουμε τον καταχωρητή R14, επιλέγοντας ως είσοδο ρολογιού την είσοδο CLKin0.

Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Data [27:0]																										A3	A2	A1	A0			
R0	RE SE T	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
														CLKout0 MUX [1:0]	CLK out0 _E N																		
R4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
														CLKout4 MUX [1:0]	CLK out4 _E N																		
R14	0	1																															
			CLKin SEL ECT			EN _C LK out _G lob al	PO W ER DO W N																										

Σχήμα 4.35: Οι τρεις καταχωρητές του LMK01000 που προγραμματίζονται από τον ATmega328p.

Ο κώδικας που υλοποιήσαμε στον ATmega328p λειτουργεί με pin change interrupts. Ο μικροελεγκτής βρίσκεται σε μόνιμη κατάσταση sleep. Κάθε φορά που αλλάζει η τιμή ενός διακόπτη από τα dip switches ένα pin change interrupt ενεργοποιεί τον μικροελεγκτή. Όταν ενεργοποιείται, ο μικροελεγκτής διαβάζει τις τιμές όλων των dip switches, προγραμματίζει το LMK01000 και επανέρχεται σε κατάσταση sleep. Η συνάρτηση που εκτελεί ο ATmega328p κάθε φορά που λαμβάνει χώρα ένα pin change interrupt είναι η program\_lmk. Η συνάρτηση program\_lmk αναλαμβάνει να προγραμματίσει το LMK01000 σύμφωνα με τη διαδικασία που αναφέρθηκε παραπάνω. Ο προγραμματισμός των καταχωρητών R0 και R4 γίνεται με τη συνάρτηση program\_lmk\_register, η οποία δέχεται ως όρισμα τον αριθμό του καταχωρητή που πρέπει να προγραμματιστεί. Η συνάρτηση program\_lmk\_register διαβάζει τις τιμές των dip switches και στη συνέχεια αποστέλλει τα δεδομένα στο LMK01000 με τη συνάρτηση SPI\_MasterTransmit. Οι τιμές των dip switches MUX, DIV και DLY διαβάζονται από τις κατάλληλες θύρες του μικροελεγκτή με τις συναρτήσεις read\_mux, read\_div και read\_dly. Για την SPI επικοινωνία ο ATmega328p αρχικοποιεί τους κατάλληλους καταχωρητές με τη συνάρτηση SPI\_MasterInit, η οποία καλείται (μόνο μία φορά) κατά την εκκίνηση του μικροελεγκτή. Όταν ολοκληρωθεί ο προγραμματισμός του LMK01000, ο ATmega328p επανέρχεται σε κατάσταση sleep, αφού πρώτα αναβοσβήνει μία φορά το led με τη συνάρτηση blink. Στη συνέχεια παραθέτουμε τον κώδικα.

```

1 /*
2  * lmk.c
3  *
4  * Created: 3-Feb-17 00:04
5  * Author : Adam
6  *
7  * Description:
8  * This code is designed for programming TI's LMK01000. The
9  * code runs at ATmega328p, which uses microWire to program
10 * the LMK01000. ATmega328 uses 10 pins as input to read 10
11 * bits. Every time a pin changes ATmega328 programs the
12 * LMK01000 and powers down.
13 *
14 * LMK01000 is a clock distribution chip with 8 differential
15 * clock outputs, each controlled by a register. These clock
16 * outputs can be divided or delayed (or both) by programming
17 * the corresponding register. As we see from the following
18 * table 4 bits are used for the division of the clock
19 * (CLKDIV), 4 bits for the added delay to the clock (CLKDLY)
20 * and 2 bits are used to determine which operation is enabled.
21 * For more information refer to LMK01000's datasheet at
22 * <http://www.ti.com/product/LMK01000>.
23 *
24 *
25 * |          |CLKDIV |CLKDLY(ps) |          MUX          |
26 * |-----|-----|-----|-----|
27 * | 0 0 0 0 |    2  |    0  |    Bypassed          |
28 * | 0 0 0 1 |    4  |   150 |    Divided           |
29 * | 0 0 1 0 |    6  |   300 |    Delayed           |
30 * | 0 0 1 1 |    8  |   450 |    Divided and Delayed |
31 * | 0 1 0 0 |   10  |   600 |                      |
32 * | 0 1 0 1 |   12  |   750 |                      |
33 * | 0 1 1 0 |   14  |   900 |                      |
34 * | 0 1 1 1 |   16  |  1050 |                      |
35 * | 1 0 0 0 |   18  |  1200 |                      |
36 * | 1 0 0 1 |   20  |  1350 |                      |
37 * | 1 0 1 0 |   22  |  1500 |                      |
38 * | 1 0 1 1 |   24  |  1650 |                      |
39 * | 1 1 0 0 |   26  |  1800 |                      |
40 * | 1 1 0 1 |   28  |  1950 |                      |
41 * | 1 1 1 0 |   30  |  2100 |                      |
42 * | 1 1 1 1 |   32  |  2250 |                      |
43 * |-----|-----|-----|-----|
44 */
45
46 #include <avr/io.h>
47 #include <util/delay.h>
48 #include <avr/interrupt.h>
49 #include <avr/sleep.h>

```

```

50
51 #define LED_ON    PORTD |= (1<<PORTD4)
52 #define LED_OFF  PORTD &= ~(1<<PORTD4)
53
54 void blink(void)
55 {
56     LED_ON;
57     _delay_ms(200);
58     LED_OFF;
59     _delay_ms(200);
60 }
61
62 void SPI_MasterInit(void)
63 {
64     /* Set SS, MOSI and SCK as output */
65     DDRB |= (1<<DDB2);    // SS
66     DDRB |= (1<<DDB3);    // MOSI
67     DDRB |= (1<<DDB5);    // SCK
68     /* Enable SPI, Master, set clock rate fck/16 */
69     SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);
70 }
71
72 void SPI_MasterTransmit(uint8_t Data)
73 {
74     /* Start transmission */
75     SPDR = Data;
76     /* Wait for transmission complete */
77     while (!(SPSR & (1<<SPIF)));
78 }
79
80 uint8_t read_mux(void)
81 {
82     uint8_t input, mux;
83
84     input = ~(PINC & 0x30);
85     input &= 0x30;
86     mux = (input>>3);
87     return mux;
88 }
89
90 uint8_t read_div(void)
91 {
92     uint8_t input, div;
93
94     input = PIND & 0x0F;
95
96     switch(input)
97     {
98         case 0b1111:

```

```
99     div = 0x01;    // clock division by 2
100     return div;
101     case 0b1110:
102         div = 0x02;    // clock division by 4
103         return div;
104     case 0b1101:
105         div = 0x03;    // clock division by 6
106         return div;
107     case 0b1100:
108         div = 0x04;    // clock division by 8
109         return div;
110     case 0b1011:
111         div = 0x05;    // clock division by 10
112         return div;
113     case 0b1010:
114         div = 0x06;    // clock division by 12
115         return div;
116     case 0b1001:
117         div = 0x07;    // clock division by 14
118         return div;
119     case 0b1000:
120         div = 0x08;    // clock division by 16
121         return div;
122     case 0b0111:
123         div = 0x09;    // clock division by 18
124         return div;
125     case 0b0110:
126         div = 0x0A;    // clock division by 20
127         return div;
128     case 0b0101:
129         div = 0x0B;    // clock division by 22
130         return div;
131     case 0b0100:
132         div = 0x0C;    // clock division by 24
133         return div;
134     case 0b0011:
135         div = 0x0D;    // clock division by 26
136         return div;
137     case 0b0010:
138         div = 0x0E;    // clock division by 28
139         return div;
140     case 0b0001:
141         div = 0x0F;    // clock division by 30
142         return div;
143     case 0b0000:
144         div = 0x10;    // clock division by 32
145         return div;
146 }
147 return 0x01;
```

```

148 }
149
150 uint8_t read_dly(void)
151 {
152     uint8_t input, dly;
153
154     input = ~(PINC & 0x0F);
155     dly = (input<<4);
156     return dly;
157 }
158
159 void program_lmk_register(uint8_t REG)
160 {
161     uint8_t byte3, byte2, byte1, byte0, DLY, MUX;
162
163     /*
164      * LMK0100 Register Map
165      *
166      * |          byte3          |          byte2          |   byte1   |   byte0          |
167      * | RESET[1] 000 0000   | 0000 0 MUX[2] EN[1]   | CLKDIV[8] | CLKDLY[4] REG[4] |
168      *
169      */
170
171     /* Read input and configure bytes */
172     DLY = read_dly();
173     byte0 = DLY | REG;
174     byte1 = read_div();
175     MUX = read_mux();
176     byte2 = 0x01 | MUX;
177     byte3 = 0x00;
178     if (REG == 0x04) byte0 = 0x04;
179
180     /* Transmit bytes */
181     PORTB &= ~(1<<PORTB2); // clear SS
182     SPI_MasterTransmit(byte3);
183     SPI_MasterTransmit(byte2);
184     SPI_MasterTransmit(byte1);
185     SPI_MasterTransmit(byte0);
186     PORTB |= (1<<PORTB2); // set SS
187
188     /* Blink Led */
189     //blink();
190 }
191
192 void program_lmk(void)
193 {
194     /* Configure R0 (Sets LMK01000 to default state) */
195     PORTB &= ~(1<<PORTB2);
196     SPI_MasterTransmit(0x80);

```

```

197 SPI_MasterTransmit(0x00);
198 SPI_MasterTransmit(0x01);
199 SPI_MasterTransmit(0x00);
200 PORTB |= (1<<PORTB2);
201 //blink();
202
203 /* Configure R1 (CLKout1) */
204 program_lmk_register(0x01);
205
206 /* Configure R4 (CLKout4) */
207 program_lmk_register(0x04);
208
209 /* Configure R14 (CLKin_SELECT) */
210 PORTB &= ~(1<<PORTB2);
211 SPI_MasterTransmit(0x68);
212 SPI_MasterTransmit(0x00);
213 SPI_MasterTransmit(0x00);
214 SPI_MasterTransmit(0x0E);
215 PORTB |= (1<<PORTB2);
216 //blink();
217 }
218
219 ISR(PCINT1_vect)
220 {
221     program_lmk();           // program lmk
222     blink();
223 }
224
225 ISR(PCINT2_vect, ISR_ALIASOF(PCINT1_vect));
226
227 int main(void)
228 {
229     /* Configure Port C */
230     DDRC &= ~(1<<DDC0);    // configure pin PORTC0 as input
231     DDRC &= ~(1<<DDC1);    // configure pin PORTC1 as input
232     DDRC &= ~(1<<DDC2);    // configure pin PORTC2 as input
233     DDRC &= ~(1<<DDC3);    // configure pin PORTC3 as input
234     DDRC &= ~(1<<DDC4);    // configure pin PORTC4 as input
235     DDRC &= ~(1<<DDC5);    // configure pin PORTC5 as input
236
237     PORTC |= (1<<PORTC0); // activate pin's PORTC0 pull-up resistor
238     PORTC |= (1<<PORTC1); // activate pin's PORTC1 pull-up resistor
239     PORTC |= (1<<PORTC2); // activate pin's PORTC2 pull-up resistor
240     PORTC |= (1<<PORTC3); // activate pin's PORTC3 pull-up resistor
241     PORTC |= (1<<PORTC4); // activate pin's PORTC4 pull-up resistor
242     PORTC |= (1<<PORTC5); // activate pin's PORTC5 pull-up resistor
243
244     /* Configure Port D */
245     DDRD &= ~(1<<DDD0);    // configure pin PORTD0 as input

```

```

246 DDRD &= ~(1<<DDD1); // configure pin PORTD1 as input
247 DDRD &= ~(1<<DDD2); // configure pin PORTD2 as input
248 DDRD &= ~(1<<DDD3); // configure pin PORTD3 as input
249
250 PORTD |= (1<<PORTD0); // activate pin's PORTD0 pull-up resistor
251 PORTD |= (1<<PORTD1); // activate pin's PORTD1 pull-up resistor
252 PORTD |= (1<<PORTD2); // activate pin's PORTD2 pull-up resistor
253 PORTD |= (1<<PORTD3); // activate pin's PORTD3 pull-up resistor
254
255 DDRD |= (1<<DDD4); // configure pin PORTD4 as output (LED)
256
257 /* Pin Change Interrupts Setup */
258 PCMSK1 |= (1<<PCINT8); // enable pin change interrupt for PORTC0
259 PCMSK1 |= (1<<PCINT9); // enable pin change interrupt for PORTC1
260 PCMSK1 |= (1<<PCINT10); // enable pin change interrupt for PORTC2
261 PCMSK1 |= (1<<PCINT11); // enable pin change interrupt for PORTC3
262 PCMSK1 |= (1<<PCINT12); // enable pin change interrupt for PORTC4
263 PCMSK1 |= (1<<PCINT13); // enable pin change interrupt for PORTC5
264
265 PCMSK2 |= (1<<PCINT16); // enable pin change interrupt for PORTD0
266 PCMSK2 |= (1<<PCINT17); // enable pin change interrupt for PORTD1
267 PCMSK2 |= (1<<PCINT18); // enable pin change interrupt for PORTD2
268 PCMSK2 |= (1<<PCINT19); // enable pin change interrupt for PORTD3
269
270 PCICR |= (1<<PCIE1); // enable pin change interrupt 1
271 PCICR |= (1<<PCIE2); // enable pin change interrupt 2
272
273 sei(); // enables interrupts by setting the global interrupt mask
274
275 set_sleep_mode(SLEEP_MODE_PWR_DOWN);
276
277 SPI_MasterInit(); // Initialize ATmega328 as Master
278 PORTB |= (1<<PORTB2); // set SS
279
280 blink(); // wait for lmk01000 to wake up
281 blink();
282
283 program_lmk(); // program lmk
284 blink();
285
286 while(1)
287 {
288     sleep_mode(); // power down
289 }
290 }

```



Για περισσότερη ευκολία στη διαδικασία ανάπτυξης του κώδικα δημιουργήσαμε το παρακάτω Makefile. Με την εντολή "make" στο Command Prompt το Makefile παράγει το δεκαεξαδικό αρχείο lmk.hex, το οποίο στη συνέχεια φορτώνουμε στον ATmega328p με την εντολή "upload". Τα machine specific flags στο Makefile (MSFLAGS) έχουν οριστεί συγκεκριμένα για τον ATmega328p και για συχνότητα λειτουργίας στα 2 MHz.

```
1 # Makefile
2
3 CC = avr-gcc
4 GFLAGS = -O1 -funsigned-char -funsigned-bitfields -fshort-enums -fpack-struct -Wall
   -Wstrict-prototypes
5 MSFLAGS = -mmcu=atmega328p -DF_CPU=2000000 -std=gnu99
6
7 NAME = lmk
8
9 all: $(NAME).hex clean
10
11 $(NAME).hex: $(NAME).elf
12     avr-objcopy -O ihex -R .eeprom $(NAME).elf $(NAME).hex
13     @echo ">>" Hex code is ready!
14
15 $(NAME).elf: $(NAME).o
16     $(CC) $(GFLAGS) -Wa,-adhlns=$(NAME).o $(MSFLAGS) $(NAME).o --output $(NAME).elf
17     @echo ">>" Linking completed!
18
19 $(NAME).o: $(NAME).c
20     $(CC) $(GFLAGS) -Wa,-adhlns=$(NAME).lst $(MSFLAGS) -c $(NAME).c -o $(NAME).o
21     @echo ">>" Compile completed!
22
23 clean:
24     rm -i -f $(NAME).o $(NAME).lst $(NAME).elf
25     @echo ">>" Your folder has been cleaned.
26
27 upload:
28     avrdude -c usbtiny -p atmega328p -U flash:w:$(NAME).hex
29     @echo ">>" Uploading completed!
```



# 5.

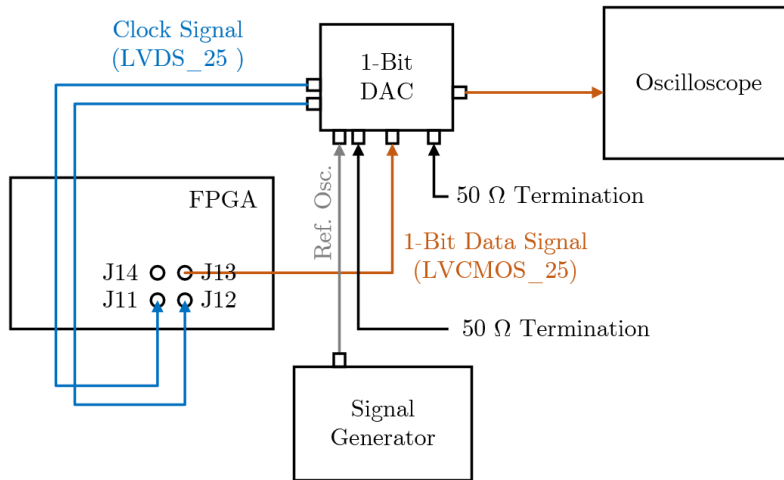
## Μετρήσεις και Αποτελέσματα

Στο παρόν κεφάλαιο παρουσιάζονται τα αποτελέσματα των μετρήσεων που πραγματοποιήθηκαν για τον προσδιορισμό των επιδόσεων του τυπωμένου κυκλώματος του 1-bit DAC. Αρχικά παρουσιάζονται τα σήματα ρολογιού και η έξοδος του 1-bit DAC στο πεδίο του χρόνου. Στη συνέχεια παρουσιάζονται οι μετρήσεις του θορύβου φάσης, βάση των οποίων κρίνεται η επίδοση του μετατροπέα. Τέλος, παρουσιάζονται τα φάσματα των  $\Sigma$ - $\Delta$  διαμορφωμένων σημάτων που παράγει το FPGA και πραγματοποιείται μία σύγκριση μεταξύ των φασμάτων που λαμβάνονται απευθείας από την έξοδο του FPGA και των φασμάτων που λαμβάνονται με την προσθήκη του 1-bit DAC.

### 5.1 Μετρήσεις στο Πεδίο του Χρόνου

Οι μετρήσεις στο πεδίο του χρόνου πραγματοποιήθηκαν περισσότερο για να επαληθευτεί η ορθή λειτουργία του κυκλώματος του 1-bit DAC, παρά για τη μελέτη των επιδόσεων του. Ο προσδιορισμός των επιδόσεων του μετατροπέα πραγματοποιείται κυρίως με τις μετρήσεις του θορύβου φάσης. Βέβαια, ο θόρυβος φάσης του σήματος στην έξοδο του 1-bit DAC εξαρτάται άμεσα από την ποιότητα των σημάτων ρολογιού που χρονίζουν το κύκλωμα. Η ύπαρξη ανακλώμενων σημάτων στις γραμμές μεταφοράς δημιουργεί ανεπιθύμητα φαινόμενα όπως *overshoot* και *ringing*, τα οποία υποβιβάζουν την ποιότητα των σημάτων ρολογιού. Οι μετρήσεις στο πεδίο του χρόνου προσφέρουν μία καλή εικόνα της ποιότητας των σημάτων του κυκλώματος.

Η διάταξη των μετρήσεων στο πεδίο του χρόνου φαίνεται στο σχήμα 5.1. Η γεννήτρια (E4438C ESG Vector Signal Generator) παράγει το ημιτονοειδές σήμα αναφοράς που χρειάζεται το κύκλωμα του 1-bit DAC. Ο 1-bit DAC τροφοδοτεί το FPGA (KC705 Evaluation Board) με διαφορικό σήμα ρολογιού συχνότητας ίσης με τη μισή συχνότητα του σήματος αναφοράς. Το FPGA προγραμματίστηκε ώστε να παράγει τετραγωνική κυματομορφή με συχνότητα ίση με τη μισή συχνότητα του ρολογιού που χρησιμοποιείται για το χρονισμό του. Επομένως, η συχνότητα της τετραγωνικής κυματομορφής στην έξοδο του FPGA ισούται με το 1/4 της συχνότητας αναφοράς που παράγει η γεννήτρια. Το σήμα εξόδου του 1-bit DAC εισάγεται στον παλμογράφο (MSO9404A Mixed Signal Oscilloscope). Όλες οι συνδέσεις πραγματοποιήθηκαν με ομοαξονικά καλώδια των 50 Ω. Οι μετρήσεις στις γραμμές μεταφοράς του τυπωμένου κυκλώματος του 1-bit DAC πραγματοποιήθηκαν με διαφορικά probes (N2752A InfiniiMode 6 GHz Active Differential Probe).



Σχήμα 5.1: Συνδεσμολογία διάταξης μετρήσεων στο πεδίο του χρόνου.

Αρχικά παρουσιάζονται τα σήματα ρολογιού της διάταξης. Η συχνότητα της γεννήτριας ορίστηκε στα 700 MHz. Τα ρολόγια που παράγονται από το Clock Distributor που βρίσκεται στο κύκλωμα του 1-bit DAC έχουν συχνότητα 350 MHz. Στο σχήμα 5.2 φαίνεται το σήμα ρολογιού που χρησιμοποιείται για το χρονισμό του FPGA, ενώ στο σχήμα 5.3 παρουσιάζεται το σήμα ρολογιού που χρονίζει το D Flip-Flop του 1-bit DAC. Στο κάτω μέρος των εικόνων εμφανίζονται μετρήσεις σχετικά με το πλάτος (peak-to-peak), τη μέση τιμή και το *overshoot* των σημάτων.



Σχήμα 5.2: Το διαφορικό ρολόι του FPGA στη συχνότητα των 350 MHz.



Σχήμα 5.3: Το διαφορικό ρολόι του D Flip-Flop στη συχνότητα των 350 MHz.

Στη συνέχεια παρουσιάζουμε το 1-bit σήμα πληροφορίας στην έξοδο του D Flip-Flop και στην τελική έξοδο του 1-bit DAC, με συχνότητα γεννήτριας στα 1.4 GHz.



Σχήμα 5.4: Το διαφορικό σήμα στην έξοδο του D Flip-Flop στη συχνότητα των 350 MHz.



Σχήμα 5.5: Στο κανάλι 1 (κίτρινο χρώμα) φαίνεται το σήμα πληροφορίας στην είσοδο του balun μετασχηματιστή MABA-011029. Στο κανάλι 2 (πράσινο χρώμα) φαίνεται η έξοδος του 1-bit DAC. Η συχνότητα των σημάτων είναι 350 MHz.

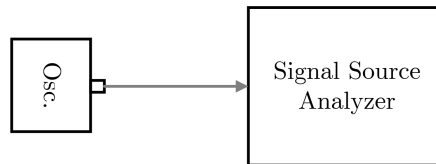
Η τετραγωνική κυματομορφή στην έξοδο του FPGA ισούται με το 1/4 της συχνότητας της γεννήτριας, επομένως για συχνότητα γεννήτριας 1.4 GHz, η συχνότητα του 1-bit ψηφιακού σήματος πληροφορίας είναι 350 MHz. Στο σχήμα 5.5 παρουσιάζονται δύο κυματομορφές. Στο κανάλι 1 (κίτρινο χρώμα) φαίνεται το σήμα πληροφορίας στη διαφορική είσοδο του balun μετασχηματιστή MABA-011029, ενώ στο κανάλι 2 (πράσινο χρώμα) φαίνεται το σήμα στη single-ended έξοδο του 1-bit DAC. Παρατηρούμε ότι το σήμα στην είσοδο του μετασχηματιστή παρουσιάζει σημαντικό *overshoot*, γεγονός που οφείλεται σε ατελή τερματισμό της γραμμής μεταφοράς. Ο συγκεκριμένος τερματισμός επιλέχθηκε ως ο καλύτερος ύστερα από πειραματισμό με διάφορες τεχνικές τερματισμού. Από άποψη θορύβου φάσης, αρκεί το σήμα εξόδου να παρουσιάζει καθαρές μεταβάσεις μεταξύ των λογικών επιπέδων, το οποίο συμβαίνει σε ικανοποιητικό βαθμό με τον ισχύοντα τερματισμό.

## 5.2 Μετρήσεις Θορύβου Φάσης

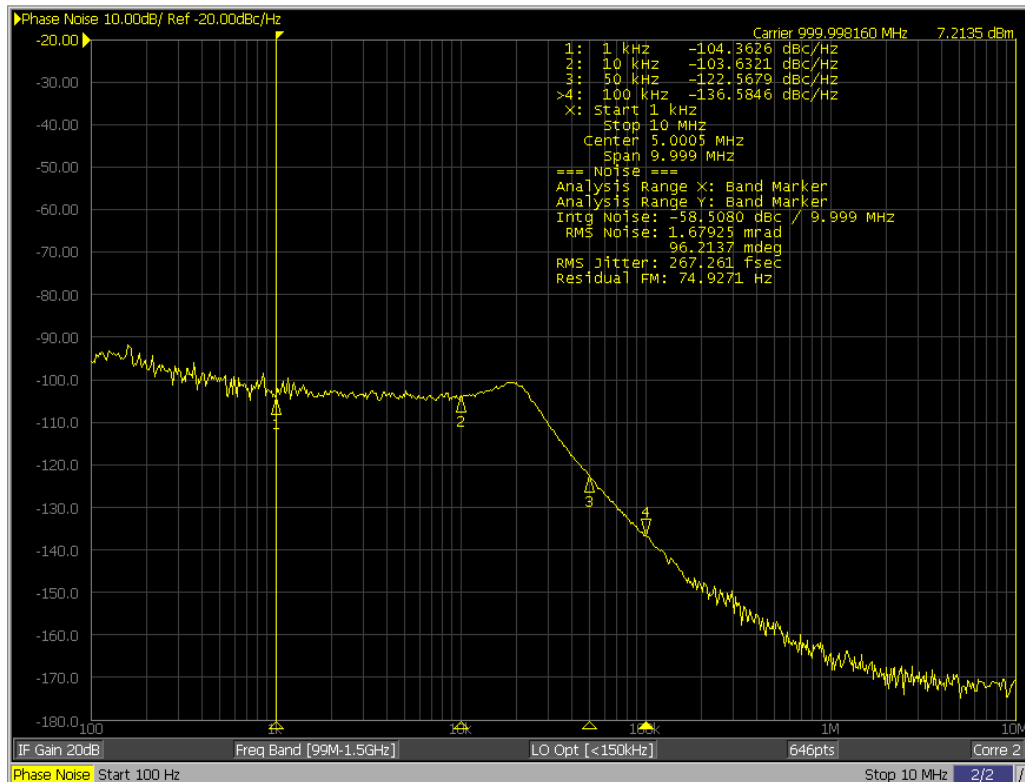
Η υλοποίηση του 1-bit DAC έγινε με σκοπό τη βελτίωση του θορύβου φάσης που παρουσιάζει το σήμα στην έξοδο του FPGA. Ιδανικά ο θόρυβος φάσης του σήματος στην έξοδο του μετατροπέα ισούται με το θόρυβο φάσης του σήματος αναφοράς. Στην πραγματικότητα οι διάφορες πηγές θορύβου στο κύκλωμα του 1-bit DAC αυξάνουν το θόρυβο φάσης του σήματος εξόδου. Η επίδοση του μετατροπέα καθορίζεται από την ισχύ του θορύβου φάσης που προσθέτει στο σήμα. Ο βασικός στόχος των μετρήσεων θορύβου φάσης είναι ο προσδιορισμός του επιπλέον θορύβου που εισάγει

το κύκλωμα του 1-bit DAC στο σήμα εξόδου συγκριτικά με το σήμα αναφοράς. Οι μετρήσεις του θορύβου φάσης πραγματοποιήθηκαν με κατάλληλο αναλυτή σήματος (E5052B SSA Signal Source Analyzer) σε offset από 100 Hz έως 10 MHz.

Για τη δημιουργία του σήματος αναφοράς χρησιμοποιήθηκε ένας ταλαντωτής εξαιρετικά χαμηλού θορύβου φάσης, ο οποίος κατασκευάστηκε στο εργαστήριο. Η συχνότητα του ημιτόνου που παράγεται από τον ταλαντωτή είναι 1 GHz. Η μέτρηση του θορύβου φάσης παρουσιάζεται στο σχήμα 5.7. Στην περιοχή 100 Hz έως 1 kHz ο θόρυβος φάσης παρουσιάζει κλίση περίπου 10dB/dec, ενώ από 1 kHz έως 20 kHz παραμένει σχεδόν σταθερός. Στα 20 kHz παρουσιάζεται το "γόνατο" του θορύβου φάσης, μετά το οποίο η καμπύλη αποκτά κλίση περίπου 50dB/dec. Παρατηρούμε ότι από τα 200 kHz και μετά ο θόρυβος φάσης βρίσκεται κάτω από τα -150 dBc/Hz.

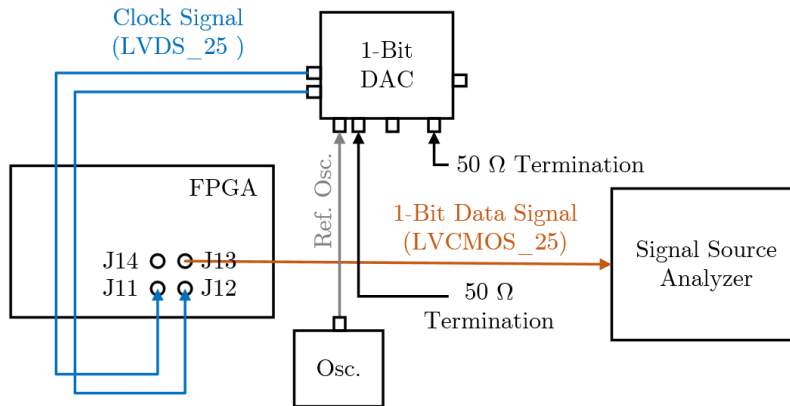


Σχήμα 5.6: Διάταξη μέτρησης του ταλαντωτή, ο οποίος παράγει ημίτονο συχνότητας 1 GHz.

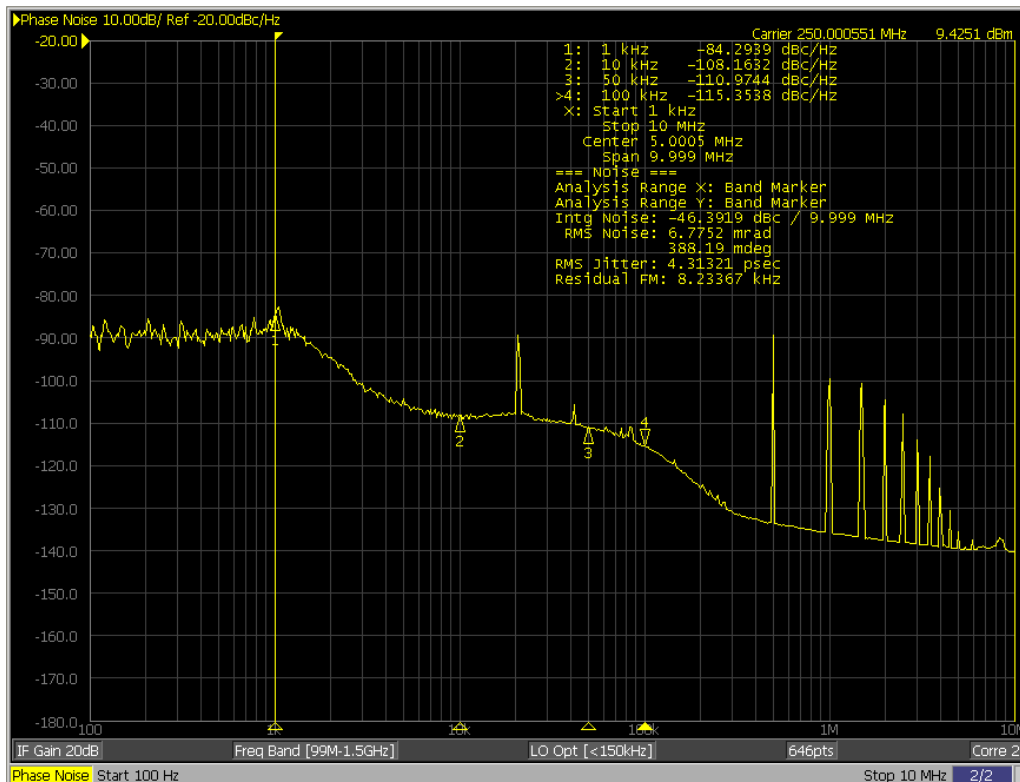


Σχήμα 5.7: Θόρυβος φάσης του ταλαντωτή αναφοράς με συχνότητα φέροντος 1 GHz.

Στη συνέχεια παρουσιάζεται η μέτρηση του θορύβου φάσης στην έξοδο του FPGA. Το FPGA παράγει τετραγωνική κυματομορφή συχνότητας 250 MHz (το 1/4 της συχνότητας του ταλαντωτή αναφοράς). Η διάταξη της μέτρησης φαίνεται στο σχήμα 5.8. Η μέτρηση του θορύβου φάσης του σήματος εξόδου του FPGA παρουσιάζεται στο σχήμα 5.9. Παρατηρούμε ότι εμφανίζονται ισχυρά spurs στις offset συχνότητες υψηλότερα των 500 kHz, καθώς και στη συχνότητα των 20 kHz.



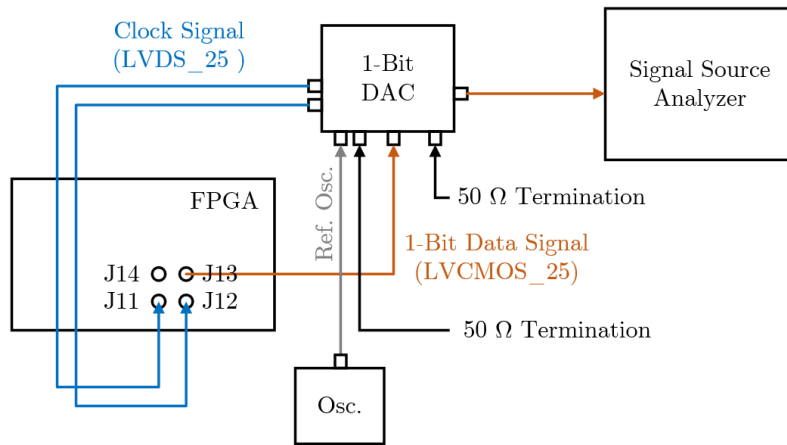
Σχήμα 5.8: Διάταξης μέτρησης θορύβου φάσης στην έξοδο του FPGA.



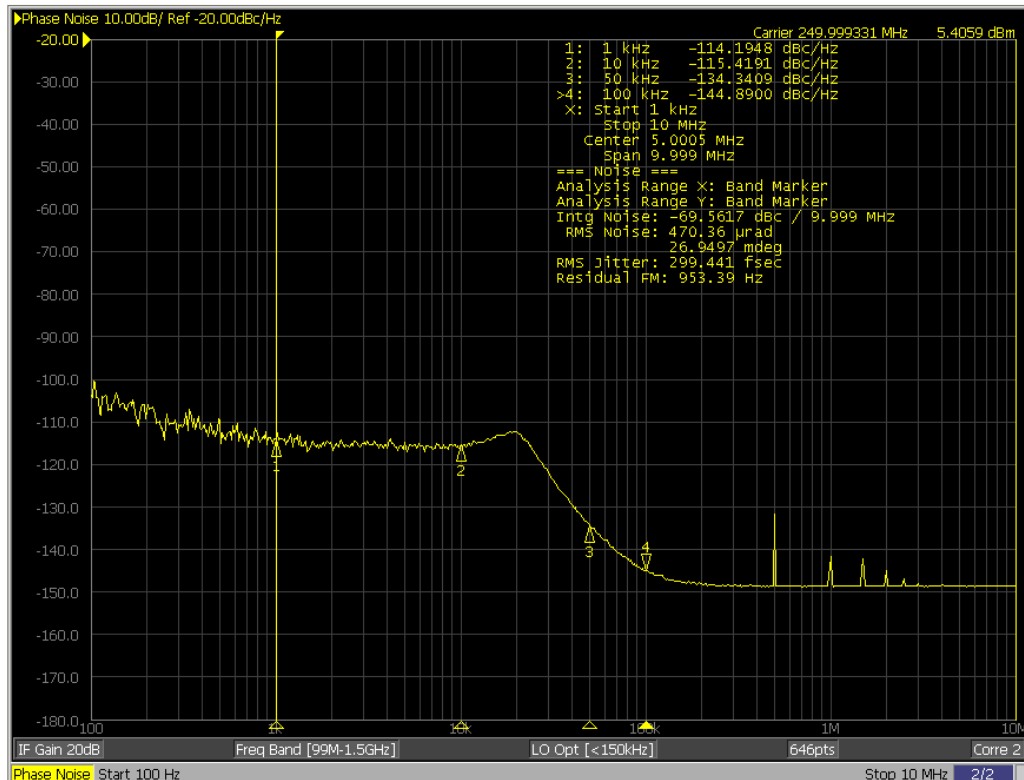
Σχήμα 5.9: Θόρυβος φάσης στην έξοδο του FPGA με συχνότητα φέροντος 350 MHz.



Τέλος, πραγματοποιήθηκε η μέτρηση του θορύβου φάσης στην έξοδο του 1-bit DAC με τη συνδεσμολογία που φαίνεται στο σχήμα 5.10. Το 1-bit σήμα πληροφορίας που παράγεται από το FPGA διέρχεται μέσα από τον μετατροπέα και στη συνέχεια μετράται στον αναλυτή σήματος. Η μέτρηση του θορύβου φάσης παρουσιάζεται στο σχήμα 5.11.



Σχήμα 5.10: Διάταξης μέτρησης θορύβου φάσης στην έξοδο του 1-bit DAC.



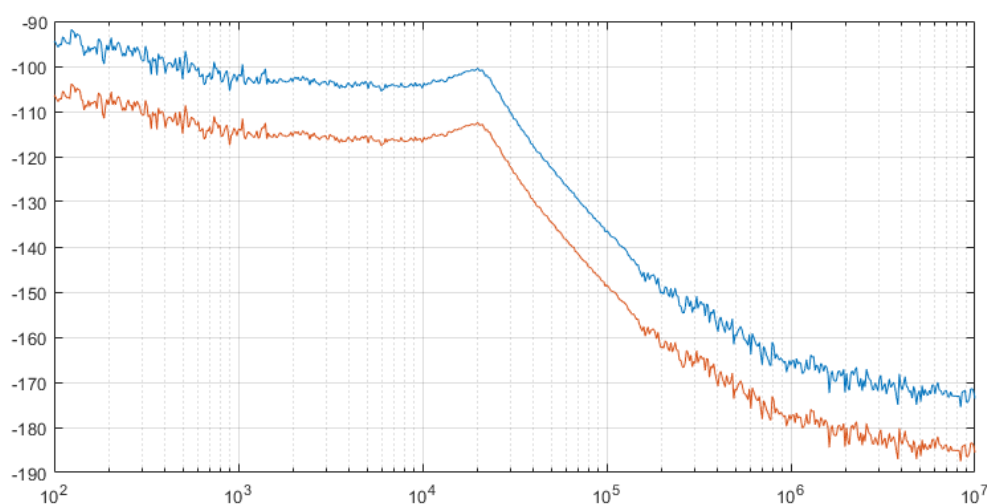
Σχήμα 5.11: Θόρυβος φάσης στην έξοδο του 1-bit DAC με συχνότητα φέροντος 350 MHz.

Παρατηρούμε ότι ο θόρυβος φάσης στην έξοδο του 1-bit DAC βρίσκεται αρκετά χαμηλότερα σε σχέση με το θόρυβο φάσης στην έξοδο του FPGA, ενώ μειώνεται σημαντικά η ισχύς των spurs. Ανεξάρτητα με τη βελτίωση στο θόρυβο φάσης του σήματος που επιτυγχάνεται με τη χρήση του 1-bit DAC, έπρεπε να προσδιοριστεί ο θόρυβος φάσης που εισάγει το ίδιο το κύκλωμα του μετατροπέα. Ο προσδιορισμός του θορύβου φάσης που προσθέτει το κύκλωμα του 1-bit DAC γίνεται με σύγκριση του θορύβου φάσης του ταλαντωτή και του θορύβου φάσης στην έξοδο του μετατροπέα. Προκειμένου να πραγματοποιήσουμε τη σύγκριση των δύο καμπυλών εξάγαμε τα αποτελέσματα των μετρήσεων σε .csv αρχεία και τα εισάγαμε στη MATLAB.

Ο θόρυβος φάσης του ταλαντωτή μετρήθηκε με φέρον στο 1 GHz, ενώ ο θόρυβος φάσης του σήματος εξόδου του 1-bit DAC μετρήθηκε με φέρον στα 250 MHz. Προκειμένου να πραγματοποιηθεί η σύγκριση μεταξύ των δύο καμπυλών θορύβου φάσης πρέπει η καμπύλη θορύβου φάσης του ταλαντωτή να μετατοπιστεί σε φέρον 250 MHz. Η μετατόπιση της καμπύλης του θορύβου φάσης γίνεται σύμφωνα με τη σχέση (3.5.11), η οποία παρουσιάστηκε στο τέλος του τρίτου κεφαλαίου.

$$PN(f) = PN_T(f) + 20 \log \left( \frac{f_{IN}}{f_s} \right)$$

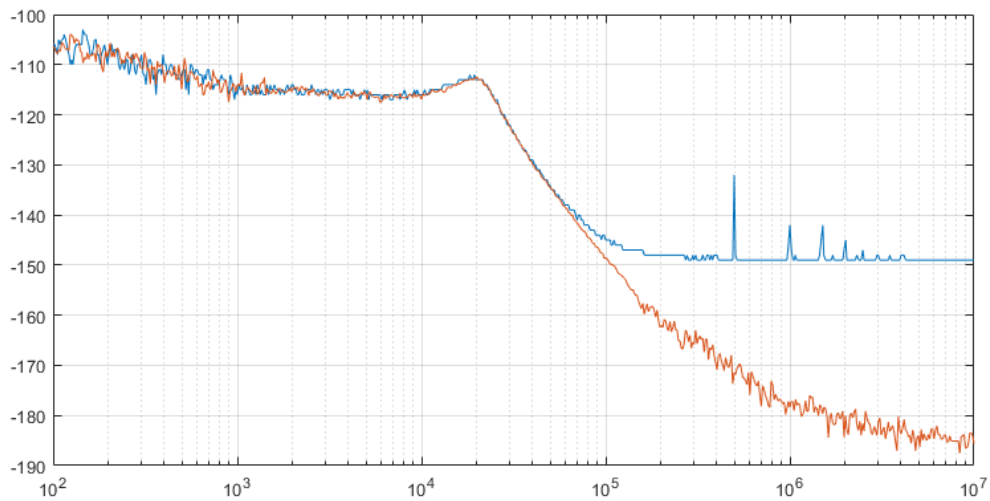
Η συχνότητα  $f_{IN}$  εκφράζει τη συχνότητα του αναλογικού σήματος πληροφορίας που δειγματοληπτείται, ενώ η συχνότητα  $f_s$  εκφράζει τη συχνότητα δειγματοληψίας. Η συχνότητα δειγματοληψίας εξαρτάται από το όργανο μέτρησης και θεωρείται σταθερή. Λόγω του υποτετραπλασιασμού της συχνότητας του ταλαντωτή ο θόρυβος φάσης βελτιώνεται κατά περίπου 12 dB. Συγκεκριμένα, η καμπύλη του θορύβου φάσης του ταλαντωτή μετατοπίζεται κατά  $-20 \log 4$ . Στο σχήμα 5.12 παρουσιάζεται η υπολογισμένη μετατόπιση.



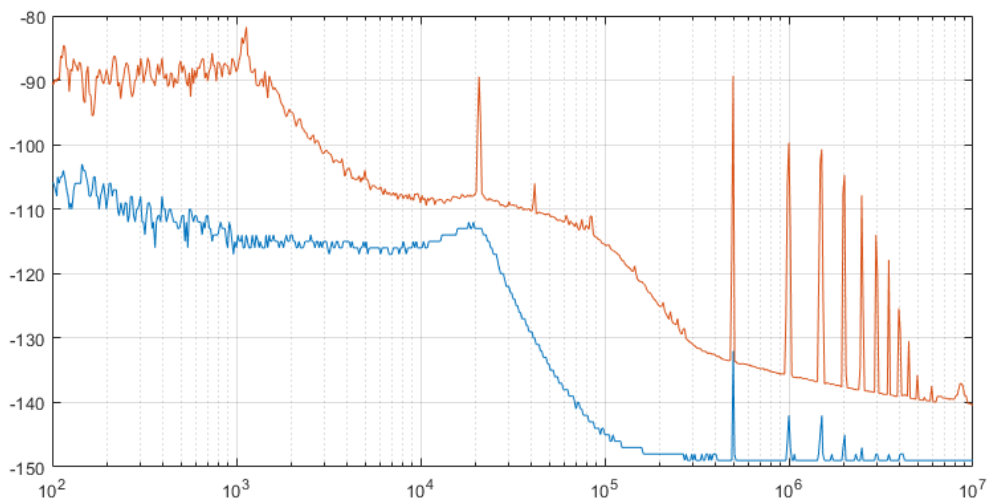
Σχήμα 5.12: Θόρυβος φάσης ταλαντωτή με συχνότητα φέροντος 1 GHz (μπλε χρώμα) και 250 MHz (κόκκινο χρώμα).

Στο σχήμα 5.13 παρουσιάζεται η μετατοπισμένη καμπύλη του θορύβου φάσης του ταλαντωτή και η καμπύλη του θορύβου φάσης στην έξοδο του 1-bit DAC. Υπενθυμίζουμε ότι το σήμα εξόδου

του 1-bit DAC είναι τετραγωνική κυματομορφή συχνότητας 250 MHz. Παρατηρούμε ότι οι δύο καμπύλες βρίσκονται πολύ κοντά μέχρι περίπου τα 100 kHz. Πέρα από τα 100 kHz το επίπεδο θορύβου στην έξοδο του 1-bit DAC παραμένει σταθερό κοντά στα -150 dBc/Hz. Ο λευκός θόρυβος φάσης που εμφανίζεται στο σήμα εξόδου οφείλεται κυρίως στη συσκευή του D Flip-Flop. Στο σχήμα 5.14 παρουσιάζεται η καμπύλη του θορύβου φάσης στην έξοδο του 1-bit DAC σε σύγκριση με την καμπύλη του θορύβου φάσης στην έξοδο του FPGA, με συχνότητα φέροντος 250 MHz. Παρατηρούμε ότι ο θόρυβος φάσης του σήματος μειώνεται σημαντικά με τη χρήση του 1-bit DAC, ενώ παράλληλα μειώνεται και η ισχύς των spurs.



Σχήμα 5.13: Σύγκριση του θορύβου φάσης στην έξοδο του 1-Bit DAC και του θορύβου φάσης του ταλαντωτή. Η συχνότητα φέροντος βρίσκεται στα 250 MHz.



Σχήμα 5.14: Σύγκριση του θορύβου φάσης στην έξοδο του 1-bit DAC και του θορύβου φάσης στην έξοδο του FPGA με συχνότητα φέροντος στα 250 MHz.

### 5.3 Φάσματα Σ-Δ διαμόρφωσης

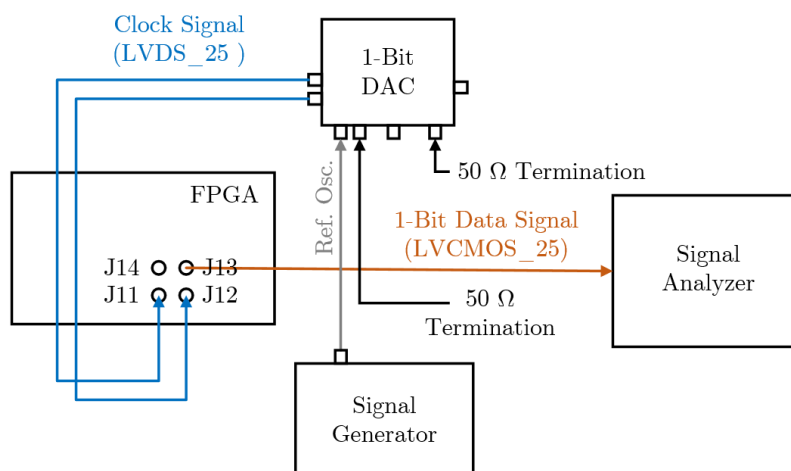
Με τις μετρήσεις των σημάτων στο πεδίο του χρόνου και τις μετρήσεις του θορύβου φάσης ολοκληρώθηκε η διαδικασία επαλήθευσης της ορθής λειτουργίας του κυκλώματος του 1-bit DAC. Απώτερος σκοπός της κατασκευής του ήταν η βελτίωση του επιπέδου θορύβου του 1-bit σήματος στην έξοδο του FPGA, προκειμένου να γίνει εφικτή η λήψη μετρήσεων στο πεδίο της συχνότητας. Για την παρούσα φάση των μετρήσεων, το FPGA προγραμματίστηκε ώστε να παράγει Σ-Δ διαμορφωμένα σήματα.

#### Βαθυπερατός Σ-Δ Διαμορφωτής 2ης Τάξης

Στο FPGA υλοποιήθηκε βαθυπερατός Σ-Δ διαμορφωτής 2ης τάξης, ο οποίος διαμορφώνει ένα ημίτονο συχνότητας 213 kHz. Αρχικά παρουσιάζεται το φάσμα του σήματος που λαμβάνεται απευθείας από την έξοδο του FPGA, προκειμένου να εκτιμηθεί η βελτίωση που επιτυγχάνεται με το κύκλωμα του 1-bit DAC. Η διάταξη της μέτρησης παρουσιάζεται στο σχήμα 1.15. Το ημιτονοειδές σήμα αναφοράς του 1-bit DAC παράγεται από τη γεννήτρια (E4438C ESG Vector Signal Generator) και έχει συχνότητα 700 MHz. Η συχνότητα του σήματος ρολογιού του FPGA είναι 350 MHz (ισούται με το 1/2 της συχνότητας της γεννήτριας) και παρέχεται από το κύκλωμα του 1-bit DAC. Το σήμα εξόδου του FPGA οδηγείται στον αναλυτή σήματος (N9010A EXA Signal Analyzer), ο οποίος χρησιμοποιείται για τη μελέτη του φάσματος του σήματος.

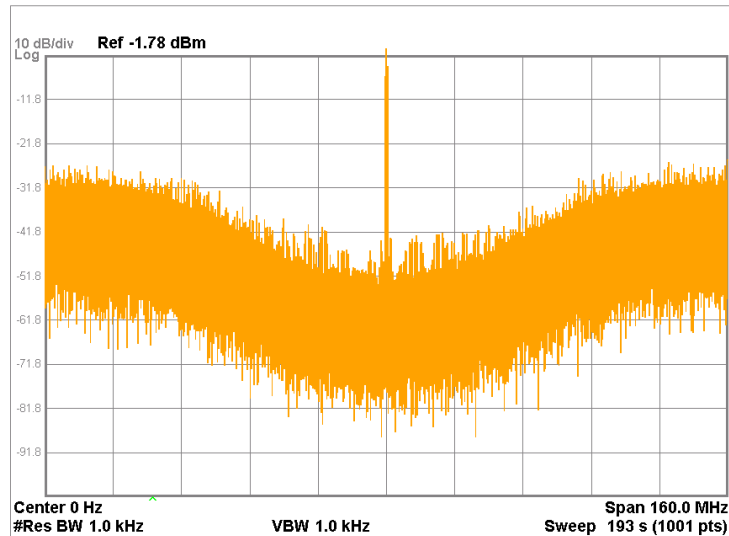
Το αναλογικό σήμα πληροφορίας που διαμορφώνεται είναι το ημίτονο των 213 kHz. Η συχνότητα του ψηφιακού σήματος στην έξοδο του FPGA είναι 350 MHz. Επομένως το OSR του σήματος δίνεται από την ακόλουθη σχέση.

$$OSR = \frac{350\text{MHz}}{2 \times 213\text{kHz}} \approx 821.6 \quad (5.3.1)$$

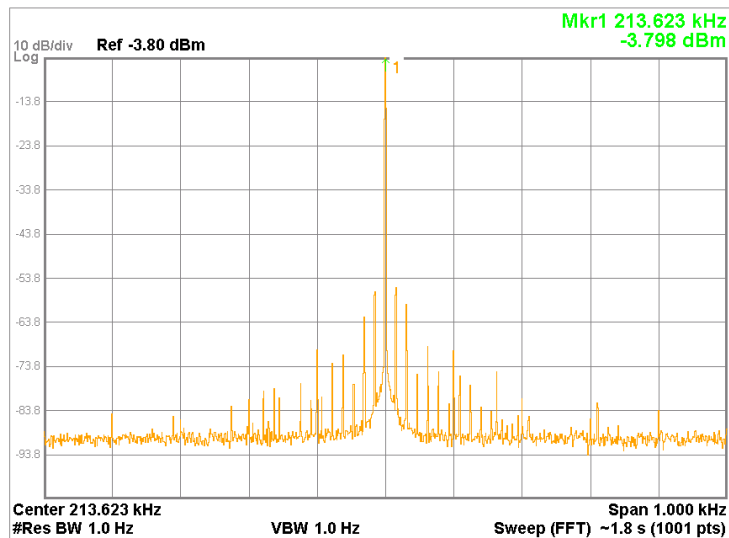


Σχήμα 5.15: Διάταξη μέτρησης του φάσματος στην έξοδο του FPGA.

Τα αποτελέσματα των μετρήσεων παρουσιάζονται στα σχήματα 5.16 και 5.17. Στο σχήμα 5.16 απεικονίζεται το φάσμα του σήματος εξόδου του FPGA γύρω από το dc σε span 160 MHz και με resolution bandwidth 1 kHz. Παρατηρούμε ότι η μορφοποίηση θορύβου 2ης τάξης που πραγματοποιεί ο  $\Sigma$ - $\Delta$  διαμορφωτής δεν εμφανίζεται καθαρά στο φάσμα του σήματος. Η αναμενόμενη βύθιση του θορύβου γύρω από το dc δεν εμφανίζεται λόγω του θορύβου φάσης που εισάγεται στο σήμα από το κύκλωμα του FPGA.



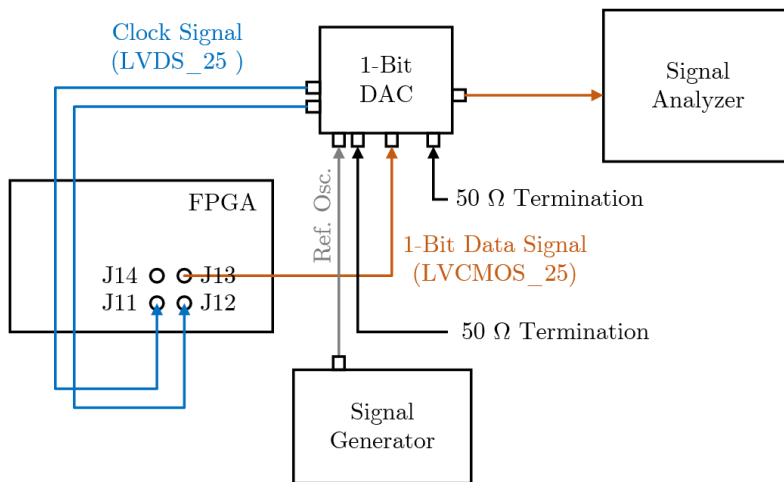
Σχήμα 5.16: Φάσμα  $\Sigma$ - $\Delta$  διαμορφωμένου ημιτόνου συχνότητας 213 kHz στην έξοδο του FPGA. Η κεντρική συχνότητα είναι 0 Hz, το span 160 MHz και το resolution bandwidth 1 kHz. Η συχνότητα του ψηφιακού σήματος εξόδου του FPGA είναι 350 MHz.



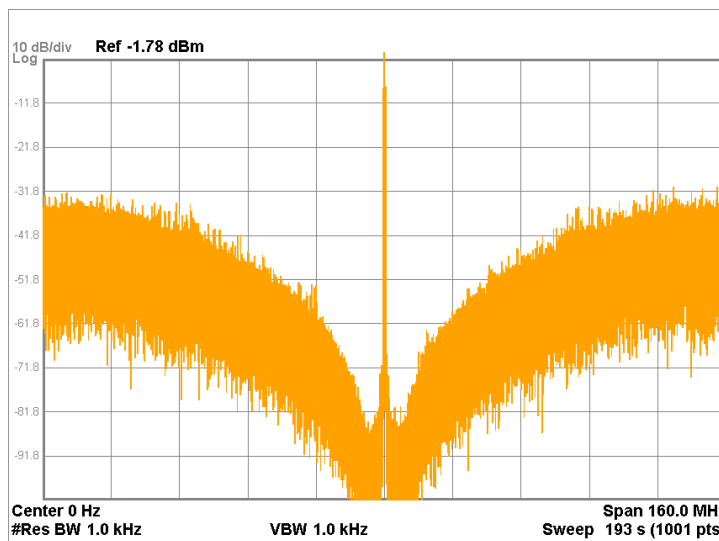
Σχήμα 5.17: Φάσμα  $\Sigma$ - $\Delta$  διαμορφωμένου ημιτόνου συχνότητας 213 kHz στην έξοδο του FPGA. Η κεντρική συχνότητα είναι 213.623 kHz, το span 1 kHz και το resolution bandwidth 1 Hz. Η συχνότητα του ψηφιακού σήματος εξόδου του FPGA είναι 350 MHz.

Στο σχήμα 5.17 παρουσιάζεται το φάσμα του σήματος εξόδου του FPGA γύρω από τα 213.623 kHz σε span 1 kHz και με resolution bandwidth 1 Hz. Παρατηρούμε ότι γύρω από τη συχνότητα του ημιτόνου εμφανίζονται spurs. Τα περισσότερα spurs οφείλονται σε idle tones που δημιουργούνται κατά τη Σ-Δ διαμόρφωση, δηλαδή σε τόνους που προκύπτουν από επαναλαμβανόμενα μοτίβα ψηφίων στο ψηφιακό σήμα.

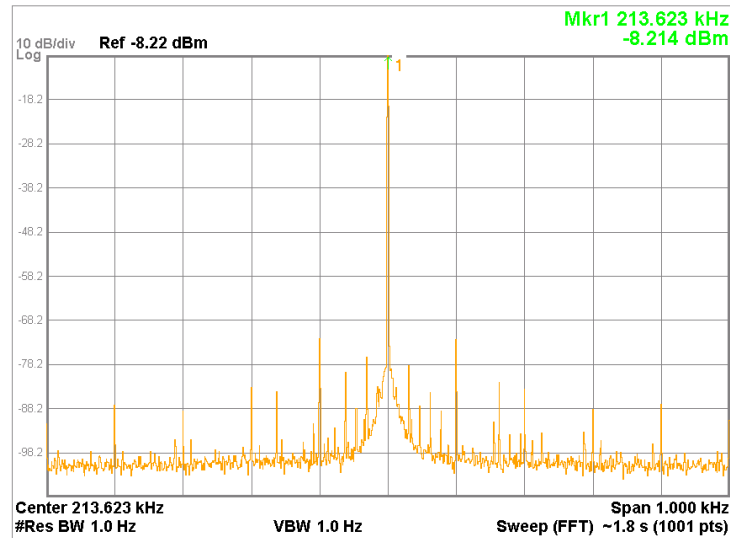
Στη συνέχεια παρουσιάζεται το φάσμα του σήματος στην έξοδο του 1-bit DAC. Η διάταξη της μέτρησης φαίνεται στο σχήμα 5.18. Το ψηφιακό σήμα εξόδου του FPGA διέρχεται από το μετατροπέα και στη συνέχεια οδηγείται στον αναλυτή σήματος.



Σχήμα 5.18: Διάταξη μέτρησης του φάσματος στην έξοδο του 1-bit DAC.



Σχήμα 5.19: Φάσμα Σ-Δ διαμορφωμένου ημιτόνου συχνότητας 213 kHz στην έξοδο του 1-bit DAC. Η κεντρική συχνότητα είναι 0 Hz, το span 160 MHz και το resolution bandwidth 1 kHz. Η συχνότητα του ψηφιακού σήματος εξόδου του FPGA είναι 350 MHz.



Σχήμα 5.20: Φάσμα Σ-Δ διαμορφωμένου ημιτόνου συχνότητας 213 kHz στην έξοδο του 1-bit DAC. Η κεντρική συχνότητα είναι 213.623 kHz, το span 1 kHz και το resolution bandwidth 1 Hz. Η συχνότητα του ψηφιακού σήματος εξόδου του FPGA είναι 350 MHz.

Στο σχήμα 5.19 παρουσιάζεται το φάσμα του σήματος στην έξοδο του 1-bit DAC γύρω από το dc, σε span 160 MHz και με resolution bandwidth 1 kHz. Η συχνότητα εξόδου του σήματος από το μετατροπέα είναι 350 MHz. Η μορφοποίηση θορύβου που πραγματοποιεί ο Σ-Δ διαμορφωτής είναι πλέον αισθητή στο φάσμα του σήματος. Συγκρίνοντας το σχήμα 5.19 με το σχήμα 5.16 παρατηρούμε ότι η διαφορά στη βύθιση του θορύβου γύρω από το dc είναι περίπου 30 dB. Στο σχήμα 5.20 παρουσιάζεται το φάσμα του σήματος εξόδου στην έξοδο του 1-bit DAC γύρω από τα 213.623 kHz σε span 1 kHz και με resolution bandwidth 1 Hz. Συγκρίνοντας το σχήμα 5.20 με το σχήμα 5.17 παρατηρούμε ότι το επίπεδο θορύβου μειώνεται κατά περίπου 10 dB, ενώ η ισχύς των περισσότερων spurs μειώνεται σημαντικά.





# Επίλογος

Το κύκλωμα του 1-bit DAC που κατασκευάστηκε αυξάνει σημαντικά την ποιότητα του 1-bit σήματος πληροφορίας, μειώνοντας το θόρυβο φάσης και βελτιώνοντας τα αναλογικά χαρακτηριστικά του. Στον επίλογο συνοψίζουμε τους λόγους κατασκευής και την αρχή λειτουργίας του 1-bit DAC και αναφέρουμε περιληπτικά τα αποτελέσματα των μετρήσεων που παρουσιάστηκαν στο προηγούμενο κεφάλαιο. Τέλος, προτείνουμε ορισμένες μελλοντικές βελτιώσεις και προεκτάσεις που θα μπορούσαν να γίνουν στο κύκλωμα του 1-bit DAC.

## Σύνοψη

Στο εργαστήριο χρησιμοποιήθηκε το KC705 Evaluation Board (Kintex-7 FPGA Family) της Xilinx για την υλοποίηση 1-bit  $\Sigma$ - $\Delta$  διαμορφωτών. Το υψηλό επίπεδο θορύβου του 1-bit ψηφιακού σήματος στην έξοδο του FPGA καθιστούσε αδύνατη τη μελέτη της επίδοσης των  $\Sigma$ - $\Delta$  διαμορφωτών στο πεδίο της συχνότητας. Ο θόρυβος που παρουσιάζει το ψηφιακό σήμα οφείλεται στο θόρυβο φάσης που εισάγουν τα κυκλώματα και τα σήματα ρολογιού του FPGA. Προκειμένου να γίνει εφικτή η μελέτη του φάσματος των  $\Sigma$ - $\Delta$  διαμορφωμένων σημάτων έπρεπε να κατασκευαστεί ένα κύκλωμα, το οποίο να "καθαρίζει" το 1-bit σήμα από το θόρυβο φάσης που εισάγει η συσκευή του FPGA. Για το λόγο αυτό κατασκευάστηκε το κύκλωμα του 1-bit DAC.

Η βασική λειτουργία που επιτελεί το κύκλωμα του 1-bit DAC είναι η δειγματοληψία του ψηφιακού σήματος εξόδου του FPGA. Η δειγματοληψία του σήματος πραγματοποιείται με ένα D Flip-Flop, το οποίο πυροδοτείται από ένα ρολόι εξαιρετικά χαμηλού θορύβου φάσης και υψηλής συχνότητας. Το ίδιο ρολόι τροφοδοτείται στο FPGA ώστε να είναι ευκολότερος ο χρονισμός του συστήματος. Προκειμένου ο θόρυβος φάσης του σήματος στην έξοδο του 1-bit DAC να βρίσκεται όσο το δυνατόν χαμηλότερα, πρέπει η δειγματοληψία του ψηφιακού σήματος να πραγματοποιείται ακριβώς στη μέση της χρονικής διάρκειας του ψηφίου (*unit interval*). Αυτό επιτυγχάνεται με κατάλληλο έλεγχο της φάσης του σήματος πληροφορίας που δειγματοληπτείται.

Η παραγωγή των σημάτων ρολογιού χαμηλού θορύβου φάσης πραγματοποιείται στο κύκλωμα του 1-bit DAC με βάση ένα σήμα αναφοράς, το οποίο παρέχεται εξωτερικά. Το εξωτερικό σήμα αναφοράς είναι ημιτονοειδούς μορφής και χαρακτηρίζεται από εξαιρετικά χαμηλό θόρυβο φάσης. Ο απαιτούμενος έλεγχος της φάσης για τη δειγματοληψία του ψηφιακού σήματος πραγματοποιείται με έλεγχο της φάσης του σήματος ρολογιού που παρέχεται στο FPGA χρησιμοποιώντας κατάλληλο ολοκληρωμένο διανομής σημάτων ρολογιού. Το ολοκληρωμένο ελέγχεται από μικροελεγκτή, ο οποίος προγραμματίζεται με In-System Programming. Το κύκλωμα του 1-bit DAC υλοποιήθηκε σε τυπωμένο κύκλωμα διαστάσεων 80mm  $\times$  70mm. Η μέγιστη συχνότητα λειτουργίας είναι 500 MHz, ενώ η κατανάλωση του κυκλώματος είναι 1.5 W.

Η ποιότητα των σημάτων ρολογιού που παράγονται στο κύκλωμα του 1-bit DAC ελέγχθηκε με μετρήσεις στο πεδίο του χρόνου. Κατάλληλοι τερματισμοί χρησιμοποιήθηκαν για την αποφυγή δημιουργίας ανακλώμενων σημάτων στις γραμμές μεταφοράς. Το σήμα εξόδου του 1-bit DAC παρουσιάζει πλάτος  $2 V_{p-p}$  με κέντρο τα 0 V (ac-coupled) στη συχνότητα των 350 MHz.

Η μέτρηση της επίδοσης του μετατροπέα πραγματοποιήθηκε συγκρίνοντας το θόρυβο φάσης στην έξοδο του 1-bit DAC με το θόρυβο φάσης του σήματος αναφοράς. Η συχνότητα φέροντος ορίστηκε στα 250 MHz. Ο θόρυβος που προσθέτει στο σήμα ο μετατροπέας είναι περίπου 5 dB για offset από 100 Hz έως 1 kHz και λιγότερο από 2dB για offset από 1 kHz έως 100 kHz. Πέρα από τα 100 kHz το κύκλωμα του 1-bit DAC παρουσιάζει λευκό θόρυβο φάσης στάθμης -150 dB.

Με τις μετρήσεις στο πεδίο του χρόνου και τις μετρήσεις θορύβου φάσης επιβεβαιώθηκε η ορθή λειτουργία του κυκλώματος του 1-bit DAC. Στη συνέχεια ο μετατροπέας χρησιμοποιήθηκε για τη μέτρηση του φάσματος του σήματος εξόδου του FPGA σε συχνότητα λειτουργίας 350 MHz. Στο FPGA υλοποιήθηκε βαθυπερατός Σ-Δ διαμορφωτής 2ης τάξης, ο οποίος διαμορφώνει ημιτονικό σήμα συχνότητας 213 kHz. Η βελτίωση του SNR του σήματος με χρήση του 1-bit DAC είναι περίπου 10 dB, ενώ υπάρχει σημαντική μείωση της ισχύος των spurs που εμφανίζονται στο φάσμα του σήματος.

## Μελλοντικές Βελτιώσεις

Στη συνέχεια παραθέτουμε κάποιες βελτιώσεις και προσθήκες που θα μπορούσαν να γίνουν στο σύστημα του 1-bit DAC και μπορούν να αποτελέσουν αντικείμενο μελλοντικής μελέτης πάνω στην ήδη υπάρχουσα εργασία. Οι σημαντικότερες από αυτές είναι οι ακόλουθες:

- Παραγωγή του ημιτονοειδούς σήματος αναφοράς εσωτερικά του κυκλώματος του 1-bit DAC. Προτεινόμενο ολοκληρωμένο είναι το LMX2531 (High Performance Frequency Synthesizer System with Integrated VCO) της Texas Instruments.
- Βελτίωση των τερματισμών και των γραμμών μεταφοράς με περισσότερες προσομοιώσεις και ακριβέστερη μοντελοποίηση της διάταξης στο ADS. Τερματισμοί που χρήζουν περαιτέρω βελτίωσης είναι ο τερματισμός του LVPECL σήματος στο balun μετασχηματιστή και του LVCMOS (2.5V) σήματος στο D Flip-Flop.
- Χρήση D Flip-Flop και Analog Buffer υψηλότερων επιδόσεων (π.χ. HMC747 και HMC744 της Analog Devices) με σκοπό την αύξηση των επιδόσεων και της συχνότητας λειτουργίας του κυκλώματος.
- Ενσωμάτωση βαθυπερατού (ή ζωνοπερατού) αναλογικού φίλτρου στο κύκλωμα του 1-bit DAC για την ανακατασκευή του αναλογικού σήματος.
- Προσθήκη USB-to-SPI Converter για απευθείας επικοινωνία του μικροελεγκτή με τον υπολογιστή, χωρίς τη χρήση SPI Programmer. Επιπλέον μπορεί να αναπτυχθεί κατάλληλο λογισμικό σε Windows ή Linux για τη ρύθμιση των ρολογιών του συστήματος του 1-bit DAC.

# Βιβλιογραφία

- [1] Alan V. Oppenheim και Ronald W. Schaffer. *Discrete-Time Signal Processing*. 2nd. Upper Saddle River, New Jersey 07458: Prentice-Hall, Inc, 1999, 1989.
- [2] Alan V. Oppenheim και Alan S. Willsky. *Signals and Systems*. 2nd. Prentice-Hall, Inc, 1997.
- [3] Walt Kester. *The Data Conversion Handbook*. Analog Devices, Inc, March 2004.
- [4] *Basic Linear Design*. Analog Devices, Inc, 2007.
- [5] George I. Bourdopoulos, Aristodemos Pnevmatikakis, Vassilis Anastassopoulos και Theodore L. Deliyannis. *Delta-Sigma Modulators. Modeling, Design and Applications*. Imperial College Press, 2003.
- [6] Richard Schreier και Gabor C. Temes. *Understanding Delta-Sigma Data Converters*. IEEE Press, 2005.
- [7] Erwin Janssen και Arthur van Roermund. *Look-Ahead Based Sigma-Delta Modulation*. Springer Netherlands, 2011.
- [8] Shaofeng Shu. «Oversampling Digital-to-Analog Converters». Διδακτορική διατρ. Oregon State University, 1995.
- [9] Walt Kester. *MT-017 Tutorial, Oversampling Interpolating DACs*. Analog Devices. 2009. url: <http://www.analog.com/media/cn/training-seminars/tutorials/MT-017.pdf>.
- [10] Walt Kester. *MT-022 Tutorial, ADC Architectures III: Sigma-Delta ADC Basics*. Analog Devices. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-022.pdf>.
- [11] Walt Kester. *MT-023 Tutorial, ADC Architectures IV: Sigma-Delta ADC Advanced Concepts and Applications*. Analog Devices. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-023.pdf>.
- [12] Bonnie Baker. *How delta-sigma ADCs work, Part 1*. Texas Instruments Inc. 2016. url: <http://www.ti.com/lit/an/slyt423a/slyt423a.pdf>.
- [13] Bonnie Baker. *How delta-sigma ADCs work, Part 2*. Texas Instruments Inc. 2011. url: <http://www.ti.com/lit/an/slyt438/slyt438.pdf>.
- [14] *AN118, Improving ADC Resolution by Oversampling and Averaging*. Silicon Labs. 2013. url: <https://www.silabs.com/documents/public/application-notes/an118.pdf>.

- [15] Enrico Rubiola. *Phase Noise and Frequency Stability in Oscillators*. Cambridge University Press, 2010.
- [16] *RF and Microwave Phase Noise Measurement Seminar*. Hewlett Packard. Ιούν. 1985.
- [17] Walt Kester. *MT-007 Tutorial, Aperture Time, Aperture Jitter, Aperture Delay Time*. Analog Devices. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-007.pdf>.
- [18] Walt Kester. *MT-008 Tutorial, Converting Oscillator Phase Noise to Time Jitter*. Analog Devices. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-008.pdf>.
- [19] Brad Brannon. *AN-756, Sampled Systems and the Effects of Clock Phase Noise and Jitter*. Analog Devices. 2004. url: <http://www.analog.com/media/en/technical-documentation/application-notes/AN-756.pdf>.
- [20] Thomas Neu. *Clocking the RF ADC: Should you worry about jitter or phase noise?* Texas Instruments. 2017. url: <http://www.ti.com/lit/an/slyt705/slyt705.pdf>.
- [21] Thomas Neu. *Clock jitter analyzed in the time domain, Part 1*. Texas Instruments Inc. 2010. url: <http://www.ti.com/lit/an/slyt379/slyt379.pdf>.
- [22] Thomas Neu. *Clock jitter analyzed in the time domain, Part 2*. Texas Instruments Inc. 2010. url: <http://www.ti.com/lit/an/slyt389/slyt389.pdf>.
- [23] Thomas Neu. *Clock jitter analyzed in the time domain, Part 3*. Texas Instruments Inc. 2011. url: <http://www.ti.com/lit/an/slyt422/slyt422.pdf>.
- [24] Steve Corrigan. *Skew definition and jitter analysis*. Texas Instruments Inc. 2005. url: <http://www.ti.com/lit/an/slyt179/slyt179.pdf>.
- [25] Thomas Neu. *How unmatched impedance at the clock input of an RF ADC affects SNR and jitter*. Texas Instruments Inc. 2016. url: <http://www.ti.com/lit/an/slyt679/slyt679.pdf>.
- [26] Naoki Kurosawa, Haruo Kobayashi, Hideyuki Kogure, Takanori Komuro και Hiroshi Sakayori. «Sampling Clock Jitter Effects in Digital-to-Analog Converters». Στο: *Elsevier* (2002).
- [27] *Clock Jitter Definitions and Measurement Methods*. SiTime Corp. Ιαν. 2014. url: <https://www.sitime.com/support2/documents/AN10007-Jitter-and-measurement.pdf>.
- [28] Hyun Choi. «Jitter Measurement of High-Speed Digital Signals Using Low-Cost Signal Acquisition Hardware and Associated Algorithms». Διδακτορική διατρ. Georgia Institute of Technology, 2010.
- [29] Charis Basetas, Thanasis Orfanos και Paul P. Sotiriadis. «A Class of 1-Bit Multi-Step Look-Ahead  $\Sigma$ - $\Delta$  Modulators». Στο: *IEEE ISCAS* (2017).
- [30] Stephen C. Thierauf. *Understanding Signal Integrity*. Artech House, 2011.

- [31] Eric Bogatin. *Signal and Power Integrity - Simplified*. Pearson Education, 2009.
- [32] Conal Watterson. *AN-1177, LVDS and M-LVDS Circuit Implementation Guide*. Analog Devices Inc. 2013. url: <http://www.analog.com/media/en/technical-documentation/application-notes/AN-1177.pdf>.
- [33] Paul Shockman. *AND8020/D, Termination of ECL Devices with EF (Emitter Follower) OUTPUT Structure*. ON Semiconductor. 2007. url: <https://www.onsemi.com/pub/Collateral/AND8020-D.PDF>.
- [34] *AN-610, Terminations for Advanced CMOS Logic*. Fairchild Semiconductor Corp. 2006. url: <https://www.fairchildsemi.com/application-notes/AN/AN-610.pdf>.
- [35] *NB7L216 Datasheet*. ON Semiconductor. 2016. url: <http://www.onsemi.com/pub/Collateral/NB7L216-D.PDF>.
- [36] *LMK01000 Datasheet*. Texas Instruments Inc. 2009. url: <http://www.ti.com/lit/ds/symlink/lmk01000.pdf>.
- [37] *NBSG53A Datasheet*. ON Semiconductor. 2014. url: <https://www.onsemi.com/pub/Collateral/NBSG53A-D.PDF>.
- [38] *ADCLK905/ADCLK907/ADCLK925 Datasheet*. Analog Devices Inc. 2017. url: [http://www.analog.com/media/en/technical-documentation/data-sheets/ADCLK905\\_907\\_925.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/ADCLK905_907_925.pdf).
- [39] *Balun Basics Primer*. Marki Microwave Inc. 2014. url: [http://www.markimicrowave.com/assets/appnotes/balun\\_basics\\_primer.pdf](http://www.markimicrowave.com/assets/appnotes/balun_basics_primer.pdf).
- [40] *AN-20-002, Application Note on Transformers*. Mini-Circuits. 2015. url: <https://www.minicircuits.com/app/AN20-002.pdf>.
- [41] *MABA-011029 Datasheet*. MACOM. url: <https://cdn.macom.com/datasheets/MABA-011029.pdf>.
- [42] *TC2-72T+ Datasheet*. Mini-Circuits. url: <https://www.minicircuits.com/pdfs/TC2-72T+.pdf>.
- [43] *ADM7154 Datasheet*. Analog Devices Inc. 2016. url: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADM7154.pdf>.
- [44] *ADM7155 Datasheet*. Analog Devices Inc. 2016. url: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADM7155.pdf>.
- [45] *ATmega328/P Datasheet*. Atmel Corp. 2016. url: [http://www.atmel.com/Images/Atmel-42735-8-bit-AVR-Microcontroller-ATmega328-328P\\_Datasheet.pdf](http://www.atmel.com/Images/Atmel-42735-8-bit-AVR-Microcontroller-ATmega328-328P_Datasheet.pdf).
- [46] *AVR151: Setup and Use of the SPI*. Atmel Corp. 2016. url: [http://www.atmel.com/Images/Atmel-2585-Setup-and-Use-of-the-SPI\\_ApplicationNote\\_AVR151.pdf](http://www.atmel.com/Images/Atmel-2585-Setup-and-Use-of-the-SPI_ApplicationNote_AVR151.pdf).
- [47] *AVR910: In-System Programming*. Atmel Corp. 2016. url: [http://www.atmel.com/Images/Atmel-0943-In-System-Programming\\_ApplicationNote\\_AVR910.pdf](http://www.atmel.com/Images/Atmel-0943-In-System-Programming_ApplicationNote_AVR910.pdf).

- 
- [48] Walt Kester. *MT-019 Tutorial, DAC Interface Fundamentals*. Analog Devices Inc. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-019.pdf>.
  - [49] Howard W. Johnson και Martin Graham. *High-speed Digital Design. A Handbook of Black Magic*. Prentice Hall, 1993.
  - [50] *MT-101 Tutorial, Decoupling Techniques*. Analog Devices Inc. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-101.pdf>.
  - [51] Rajesh Mongia, I. J. Bahl, P. Bhartia και Sung Je Hong. *RF and Microwave Coupled-line Circuits*. 2nd ed. Artech House, 1999.
  - [52] *MT-094 Tutorial, Microstrip and Stripline Desing*. Analog Devices Inc. 2009. url: <http://www.analog.com/media/en/training-seminars/tutorials/MT-094.pdf>.
  - [53] *Keysight W2307EP/ET Controlled Impedance Line Designer (CILD)*. Keysight Technologies. 2014. url: <http://literature.cdn.keysight.com/litweb/pdf/5991-3924EN.pdf?id=2425552>.
  - [54] *AP157, Even Mode Impedance - An Introduction*. Keysight Technologies. 2014. url: <http://www.polarinstruments.com/support/cits/AP157.pdf>.